

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610064419.9

[51] Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

H05B 33/14 (2006.01)

H05B 37/02 (2006.01)

[43] 公开日 2007年8月8日

[11] 公开号 CN 101013556A

[51] Int. Cl. (续)

G09F 9/33 (2006.01)

[22] 申请日 2006.11.7

[21] 申请号 200610064419.9

[30] 优先权

[32] 2005.11.7 [33] KR [31] 106171/05

[71] 申请人 三星 SDI 株式会社

地址 韩国京畿道

[72] 发明人 申东蓉

[74] 专利代理机构 北京市柳沈律师事务所

代理人 郭定辉 邵亚丽

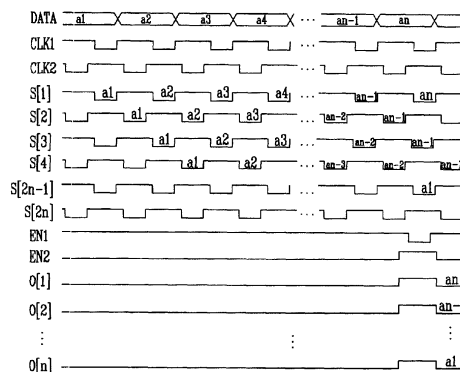
权利要求书 4 页 说明书 11 页 附图 10 页

[54] 发明名称

数据驱动电路及应用它的电致发光显示器

[57] 摘要

本发明涉及数据驱动电路，其包括移位寄存器单元，所述移位寄存器单元进一步包括串联连接并可接收数据信号和可以输出数据信号的多个第一级，其中每个第一级可以接收从之前的第一级输出的数据信号，其还包括有多个第二级的锁存单元，其中每个第二级可以连接至不同的预定第一级并接收从该预定第一级输出的数据信号，其中第二级的数量基本上可以为第一级数量的一半，其进一步包括连接至锁存单元的 D/A 转换器，其可以接收数字数据信号并输出模拟数据信号。



1、一种数据驱动电路，包括：

移位寄存器单元，其包括串联连接的多个第一级，其中每个第一级接收从之前的第一级输出的数据信号；以及

锁存单元，其包括多个第二级，其中每个第二级连接至不同的预定第一级并接收从该预定第一级输出的数据信号，其中第二级的数量基本上为第一级数量的一半。

2、如权利要求1所述的数据驱动电路，其中该预定第一级是第偶数个第一级。

3、如权利要求1所述的数据驱动电路，其中该预定第一级是第奇数个第一级。

4、如权利要求1所述的数据驱动电路，其中每个第一级连接至第一时钟和第二时钟并接收第一时钟信号和第二时钟信号作为输入，其中，每个第一级当第一和第二时钟信号彼此相同时储存数据信号，而当第一和第二时钟信号彼此不同时输出所储存的数据信号。

5、如权利要求4所述的数据驱动电路，其中每个第一级包括：

第一晶体管，其连接在输入端和第一节点之间并基于第二时钟导通；

第二晶体管，其连接在第一时钟和第二节点之间并基于第一节点的电压导通；

第三晶体管，其连接在第三节点和第一电源之间并基于第二时钟导通；

第四晶体管，其连接在第二时钟和第三节点之间并基于第一节点的电压导通；

第五晶体管，其连接在第二电源和输出端之间并基于第三节点的电压导通；以及

第一电容器，其连接在第一节点和输出端之间并维持输出端和第一节点的电压。

6、如权利要求5所述的数据驱动电路，其中每个第一级包括 PMOS 或 NMOS 晶体管。

7、如权利要求4所述的数据驱动电路，其中第一和第二时钟信号包括数据读入周期和数据传送周期，且数据读入周期比数据传送周期短。

8、如权利要求7所述的数据驱动电路，其中第二时钟信号与经延迟的第一时钟信号相似。

9、如权利要求1所述的数据驱动电路，其中每个第二级接收在相同的周期上输入的第一使能信号和第二使能信号，其中，每个第二级当第一和第二使能信号彼此相同时储存数据信号，而当第一和第二使能信号彼此不同时输出所储存的数据信号。

10、如权利要求9所述的数据驱动电路，其中每个第二级包括：

第六晶体管，其连接在输入端和第四节点之间并基于第一使能信号发生器导通；

第七晶体管，其连接在第二使能信号发生器和第五节点之间并基于第四节点的电压导通；

第八晶体管，其连接在第一电源和第六节点之间并基于第一使能信号发生器导通；

第九晶体管，其连接在第一使能信号发生器和第六节点之间并基于第四节点的电压导通；

第十晶体管，其连接在第二电源和输出端之间并基于第六节点的电压导通；以及

第二电容器，其连接在第四节点和输出端之间，该第二电容器维持输出端和第四节点的电压。

11、如权利要求10所述的数据驱动电路，其中每个第二级包括 PMOS 或 NMOS 晶体管。

12、如权利要求9所述的数据驱动电路，其中第二级基于第一和第二使能信号同时并行地输出数据信号。

13、如权利要求12所述的数据驱动电路，其中第一和第二使能信号具有在施加点上的第一时钟信号和第二时钟信号的波形。

14、如权利要求1所述的数据驱动电路，包括连接至锁存单元的 D/A 转换器，其中该 D/A 转换器接收来自锁存单元的数字数据信号并输出模拟数据信号。

15、一种电致发光显示器，包括：

像素单元，包括接收数据信号和扫描信号的像素；

扫描驱动电路，传送扫描信号至像素；以及

数据驱动电路，传送数据信号至像素；

其中该数据驱动电路包括：

移位寄存器单元，其包括串联连接的多个第一级，其中每个第一级接收从之前的第一级输出的数据信号；以及

锁存单元，其包括多个第二级，其中每个第二级连接至不同的预定第一级并接收从该预定第一级输出的数据信号，其中第二级的数量基本为第一级数量的一半。

16、如权利要求 15 所述的电致发光显示器，其中该预定第一级是第偶数个第一级。

17、如权利要求 15 所述的电致发光显示器，其中该预定第一级是第奇数个第一级。

18、如权利要求 15 所述的电致发光显示器，其中每个第一级连接至第一时钟和第二时钟并接收第一时钟信号和第二时钟信号作为输入，其中，每个第一级当第一和第二时钟信号彼此相同时储存数据信号，而当第一和第二时钟信号彼此不同时输出所储存的数据信号。

19、如权利要求 18 所述的电致发光显示器，其中每个第一级包括：

第一晶体管，其连接在输入端和第一节点之间并基于第二时钟导通；

第二晶体管，其连接在第一时钟和第二节点之间并基于第一节点的电压导通；

第三晶体管，其连接在第三节点和第一电源之间并基于第二时钟导通；

第四晶体管，其连接在第二时钟和第三节点之间并基于第一节点的电压导通；

第五晶体管，其连接在第二电源和输出端之间并基于第三节点的电压导通；以及

第一电容器，其连接在第一节点和输出端之间并维持输出端和第一节点的电压。

20、如权利要求 18 所述的电致发光显示器，其中第一和第二时钟信号包括数据读入周期和数据传送周期，数据读入周期比数据传送周期短。

21、如权利要求 20 所述的电致发光显示器，其中第二时钟信号与延迟的第一时钟信号相似。

22、如权利要求 15 所述的电致发光显示器，其中每个第二级接收在相同

的周期上输入的第一使能信号和第二使能信号，其中，每个第二级当第一和第二使能信号彼此相同时储存数据信号，而当第一和第二使能信号彼此不同时输出所储存的数据信号。

23、如权利要求 22 所述的电致发光显示器，其中每个第二级包括：

第六晶体管，其连接在输入端和第四节点之间并基于第一使能信号发生器导通；

第七晶体管，其连接在第二使能信号发生器和第五节点之间并基于第四节点的电压导通；

第八晶体管，其连接在第一电源和第六节点之间并基于第一使能信号发生器导通；

第九晶体管，其连接在第一使能信号发生器和第六节点之间并基于第四节点的电压导通；

第十晶体管，其连接在第二电源和输出端之间并基于第六节点的电压导通；以及

第二电容器，其连接在第四节点和输出端之间，该第二电容器维持输出端和第四节点的电压。

24、如权利要求 22 所述的电致发光显示器，其中第二级基于第一和第二使能信号同时并行地输出数据信号。

数据驱动电路及应用它的电致发光显示器

技术领域

本发明涉及用于驱动有源矩阵显示器的驱动电路。特别是，本发明涉及给电致发光显示器施加数据信号的数据驱动电路。本发明还涉及电致发光显示器。

背景技术

诸如电致发光显示器之类的有源矩阵显示器可包括以矩阵形式排列的像素阵列，即矩阵像素单元，其中该矩阵由数据线和扫描线之间的交叉点组成。也就是说，数据线可构成该矩阵像素单元的垂直线（即列线），而扫描线可构成该矩阵像素单元的水平线（即行线）。该数据驱动电路可在预定时间给矩阵像素单元提供数据信号。

图 1 是数据驱动电路的典型结构的方框图。参见图 1，数据驱动电路可包括移位寄存器 10，锁存单元 20 和 D/A 转换器 30。

该移位寄存器 10 可接收启动脉冲（/CLK）和时钟（CLK）信号，以产生多个移位信号。移位信号可以被顺序地产生并传送至锁存单元 20。该锁存单元 20 可接收数据信号（例如视频数据）以及移位信号。取样锁存可串行地接收数据信号并且可并行地输出移位信号。因此，一行数据信号可同时施加至一行像素单元上（未示出）。

该 D/A 转换器单元 30 可将从锁存单元 20 以数字数据信号输出的数据信号转换成模拟数据信号。然后该 D/A 转换器单元 30 可以输出模拟数据信号至像素单元（未示出）。根据灰度级比值，可以使用转换成模拟数据信号的数字数据信号来显示颜色。

图 2 是移位寄存器的典型结构的示意图，其可被用于图 1 所示的数据驱动电路。参见图 2，移位寄存器可采用主从触发器配置，在一个典型的操作中，当时钟处在低电平时，该移位寄存器可接收和输出信号。否则当时钟处的高电平时，该移位寄存器可以不输出信号。

在这个典型电路中，可能存在这样一个问题，因为当反相器的输入处在

低电平时，该反相器会输出静态电流。而且，该静态电流可以在触发器内的一半反相器中产生。因此，由于触发器内接收高电平输入的反相器的数量可以与接收低电平输入的反相器的数量相同，所以该电路的总功率消耗可能会增加。

如图 2 所示，高电平输出电压可通过说明可能存在于电源电压电位与地之间的电压和电阻而计算出来，低电平输出电压可高于晶体管的阈值电压。换句话说，在每一级接收到的高电平输入电压可根据晶体管性能的偏差而不同。因此，该电路可能会由于在高电平时产生的这些电平变化而误操作。而且，该输出电压的低电平偏差可通过图 2 所示电路的反相器中的输入晶体管的 ON 电阻偏差来表示，这可能增加输入电压的高电平偏差。例如，用在电致发光显示器中的晶体管可能会由于可能存在实际的性能偏差而导致上述问题，甚至更糟糕。

另外，反相器通过使电流经过输入晶体管流向输出端来对输出端充电。输出端可能通过使电流从输出端流向负载晶体管来进行放电。因此，当输出端被充电时，负载晶体管的源极-栅极电压可能会逐渐地减少。因此放电电流可能会发生波动，放电的效率可能会恶化。

发明内容

因此，本发明针对数据驱动电路及应用它的电致发光显示器，其基本上克服了由于相关现有技术的限制和缺陷而导致的一个或多个问题。

因此，本发明的典型实施例的特点是提供数据驱动电路，其由于移位寄存器可包括多个 PMOS 或 NMOS 晶体管和电容器而能够通过移除静态电流可能流经的路径而减少功率消耗并利用引导方法 (bootstrap technique) 在正电源电压到负电源电压的范围内切换输出电压，其还可通过 2-相时钟信号进行操作。本发明还提供应用该数据驱动电路的电致发光显示器。

本发明的上述或其它的特点和优点中的至少一个可通过下述方案实现：提供数据驱动电路，其包括移位寄存器单元，所述移位寄存器单元进一步包括串联连接并可以接收数据信号和输出数据信号的多个第一级，在其中，每个第一级接收从之前的第一级输出的数据信号，其还包括有多个第二级的锁存单元，其中每个第二级可以连接至不同的预定第一级并可以接收从该预定第一级输出的数据信号，其中第二级的数量基本为第一级数量的一半。

该预定第一级可为第偶数个第一级。该预定第一级可为第奇数个第一级。

每个第一级可连接至第一时钟和第二时钟并接收第一时钟信号和第二时钟信号作为输入，其中，每个第一级当第一和第二时钟信号彼此相同时储存数据信号，而当第一和第二时钟信号彼此不同时输出所储存的数据信号。

第一级可以包括：第一晶体管，其连接在输入端和第一节点之间并基于第二时钟导通，第二晶体管，其连接在第一时钟和第二节点之间并基于第一节点的电压导通，第三晶体管，其连接在第一电源和第三节点之间并基于第二时钟导通，第四晶体管，其连接在第二时钟和第三节点之间并基于第一节点的电压导通，第五晶体管，其连接在第二电源和输出端之间并基于第三节点的电压导通，以及第一电容器，其连接在第一节点和输出端之间并维持着输出端和第一节点的电压。

每个第一级包括 PMOS 晶体管或 NMOS 晶体管。

第一和第二时钟信号可包括数据读入周期和数据传送周期，数据读入周期比数据传送周期短。第二时钟信号可以与经延迟的第一时钟信号相似。

每个第二级可接收在相同的周期输入的第一使能信号和第二使能信号，其中，每个第二级当第一和第二使能信号彼此相同时可以储存数据信号，而当第一和第二使能信号彼此不同时可以输出储存的数据信号。

第二级可以包括：第六晶体管，其连接在输入端和第四节点之间并基于第一使能信号发生器导通，第七晶体管，其连接在第二使能信号发生器和第五节点之间并基于第四节点的电压导通，第八晶体管，其连接在第一电源和第六节点之间并基于第一使能信号发生器导通，第九晶体管，其连接在第一使能信号发生器和第六节点之间并基于第四节点的电压导通，第十晶体管，其连接在第二电源和输出端之间并基于第六节点的电压导通，以及第二电容器，其连接在第四节点和输出端之间并维持着输出端和第四节点的电压。

每个第二级可以包括 PMOS 晶体管或 NMOS 晶体管。

第二级可以基于第一和第二使能信号同时并行地输出数据信号。

第一和第二使能信号可以具有在施加点上的第一时钟信号和第二时钟信号的波形。

数据驱动电路可以包括连接至锁存单元的 D/A 转换器，其中 D/A 转换器可以接收来自锁存单元的数字数据信号并输出模拟数据信号。

本发明的上述或其它的特点和优点中的至少一个可通过下述内容实现：

提供一种电致发光显示器，其可以包括像素单元，所述像素单元进一步包括接收数据信号和扫描信号的像素，传送扫描信号给像素的扫描驱动电路，传送数据信号给像素的数据驱动电路，其中数据驱动电路可以包括移位寄存器单元，所述移位寄存器单元进一步包括多个串联连接并接收数据信号和输出数据信号的第一级，其中每个第一级可以接收从之前的第一级输出的数据信号，以及可以包括多个第二级的锁存单元，其中每个第二级可以连接至不同的预定第一级并可以接收从该预定第一级输出的数据信号，其中第二级的数量基本为第一级数量的一半。

该预定第一级可为第偶数个第一级。该预定第一级可为第奇数个第一级。

每个第一级可连接至第一时钟和第二时钟并接收第一时钟信号和第二时钟信号作为输入，其中，每个第一级当第一和第二时钟信号彼此相同时可以储存数据信号，而当第一和第二时钟信号彼此不同时可以输出所储存的数据信号。

第一级可以包括：第一晶体管，其连接在输入端和第一节点之间并基于第二时钟导通，第二晶体管，其连接在第一时钟和第二节点之间并基于第一节点的电压导通，第三晶体管，其连接在第一电源和第三节点之间并基于第二时钟导通，第四晶体管，其连接在第二时钟和第三节点之间并基于第一节点的电压导通，第五晶体管，其连接在第二电源和输出端之间并基于第三节点的电压导通，以及第一电容器，其连接在第一节点和输出端之间并维持着输出端和第一节点的电压。

第一和第二时钟信号可包括数据读入周期和数据传送周期，数据读入周期比数据传送周期短。第二时钟信号可以与延迟的第一时钟信号相似。

每个第二级可接收在相同的周期上输入的第一使能信号和第二使能信号，其中，每个第二级当第一和第二使能信号彼此相同时可以储存数据信号，而当第一和第二使能信号彼此不同时可以输出所储存的数据信号。

第二级可以包括：第六晶体管，其连接在输入端和第四节点之间并基于第一使能信号发生器导通，第七晶体管，其连接在第二使能信号发生器和第五节点之间并基于第四节点的电压导通，第八晶体管，其连接在第一电源和第六节点之间并基于第一使能信号发生器导通，第九晶体管，其连接在第一使能信号发生器和第六节点之间并基于第四节点的电压导通，第十晶体管，其连接在第二电源和输出端之间并基于第六节点的电压导通，以及第二电容

器，其连接在第四节点和输出端之间并维持着输出端和第四节点的电压。

第二级可基于第一和第二使能信号同时并行地输出数据信号。

附图说明

通过参照附图对实施方案进行详细描述，对本领域技术人员来说，本发明的上述以及其它特点和优点将会更明白，其中：

图 1 是数据驱动电路的典型结构的方框图；

图 2 是可用于图 1 所示的数据驱动电路的移位寄存器的典型结构的示意图；

图 3 是根据本发明的典型实施例的有机电致发光显示器的典型结构的示意图；

图 4 是根据本发明的典型实施例、可由图 3 所示的电致发光显示器使用的典型数据驱动电路的示意图；

图 5 是图 4 所示的数据驱动电路的典型操作的时序图；

图 6 是根据本发明的典型实施例、可由图 3 所示的电致发光显示器使用的典型数据驱动电路的示意图；

图 7 是图 6 所示的数据驱动电路的典型操作的时序图；

图 8 是根据本发明的典型实施例、可由图 4 和图 6 所示的数据驱动电路使用的典型第一级的电路图；

图 9 是根据本发明的典型实施例、可由图 4 和图 6 所示的数据驱动电路使用的典型第二级的电路图；

图 10 是根据本发明的典型实施例、可由图 4 和图 6 所示的数据驱动电路使用的另一个典型第一级的电路图；

图 11 是根据本发明的典型实施例、可由图 4 和图 6 所示的数据驱动电路使用的另一个典型第二级的电路图；

图 12 是图 4 所示的数据驱动电路的典型操作的时序图，在其中可以使用图 10 和图 11 所示的第一级和第二级；以及

图 13 是图 6 所示的数据驱动电路的典型操作的时序图，在其中可以使用图 10 和图 11 所示的第一级和第二级。

具体实施方式

于2005年11月7日在韩国知识产权局提交的,题为“数据驱动电路及使用其的有机电致发光显示器”的韩国专利申请第10-2005-0106171号,在此将其全部内容作为参考引入。

以下参照附图对本发明进行详细描述,在附图中示出了本发明的典型实施例。然而,本发明可以以不同的形式得到体现,而不应当解释为局限于这里所提出的实施例。更精确地说,这些实施例的提供是为了公开更完全更彻底,并向本领域技术人员完整地传达本发明的范围。在附图中,为了更清楚地示出,元件的尺寸被夸大。相同的附图标记始终代表相同的组成部分。

图3是根据本发明的典型实施例的有机电致发光显示器(OLED)的典型结构的示意图。然而,应当理解,OLED作为电致发光显示器中的特殊类型,其不应当限制本发明的范围。更确切地说,仅仅是出于说明和讨论的目的,在此将OLED提出作为电致发光显示器的示例。而且,OLED本身实质上是有代表性的,这里的讨论不应当限制这类显示器的实现,包括所用的组件,进行的操作以及到那里的连接。参见图3,OLED可以具有像素单元100,其包括与扫描线S1至Sn以及数据线D1至Dm连接的多个像素110,用于驱动数据线D1至Dm的数据驱动电路200,用于驱动扫描线S1至Sn的扫描驱动电路300,以及用于控制扫描驱动电路300和数据驱动电路200的定时控制单元400。

像素单元100可接收来自外部电源(未示出)的第一电源(ELVDD)以及第二电源(ELVSS),并可以给每个像素110供电。接收第一电源(ELVDD)以及第二电源(ELVSS)的每个像素110可以通过控制经由例如与数据信号对应的发光二极管(未图示)从第一电源(ELVDD)流向第二电源(ELVSS)的电流,来产生对应于数据信号的光。

数据驱动电路200可接收来自定时控制单元400的数据驱动控制信号(DCS)。接收数据驱动控制信号(DCS)的数据驱动电路200可产生数据信号,并且可将所产生的数据信号提供给数据线D1至Dm,以便它们与扫描信号同步。数据驱动电路200可以包括多个开关元件。这些开关元件可以是也可以不全是同一种类型的。例如,该开关元件可通过PMOS晶体管、NMOS晶体管或其他适合的元件中的一种、多种或者它们的结合来实现。

扫描驱动电路300可接收来自定时控制单元400的扫描驱动控制信号(SCS)。接收扫描驱动控制信号(SCS)的扫描驱动电路300可产生扫描信

号并且顺序地将所产生的扫描信号提供给扫描线 S1 至 Sn。即扫描驱动电路 300 可操作来顺序地产生扫描信号并将所产生的扫描信号提供给像素单元 100, 该扫描信号可以驱动多个像素。

定时控制单元 400 可产生数据驱动控制信号 (DCS) 和扫描驱动控制信号 (SCS), 以与可以从外部电源 (未示出) 提供的同步信号相对应。在定时控制单元 400 中产生的 DCS 可被提供给数据驱动电路 200, 而 SCS 可被提供给扫描驱动电路 300。定时控制单元 400 还可以将可以从外部电源 (未示出) 产生的 DATA 提供给数据驱动电路 200。

图 4 是根据本发明的典型实施例、可与图 3 所示的典型 OLED 一起使用的典型数据驱动电路的示意图。然而, 应当理解, 该典型的数据驱动电路不应当限制于图 3 的典型的 OLED。更确切地说, 该典型数据驱动电路可与其它电致发光显示器一起使用。参见图 4, 该数据驱动电路 200 可包括移位寄存器和锁存单元。

该移位寄存器可包括多个第一级 2101 至 2102n, 且每个第一级可通过第一时钟 (CLK1) 和第二时钟 (CLK2) 进行操作, 然后第一级 2101 可输出第一载波 (s[1]) 并可以将第 1 载波 (s[1]) 传送至第 2 个第一级 2102。数据信号 (例如, 视频数据) 可以与第 1 载波 (s[1]) 一起输出。第 2 个第一级 2102 可接收第 1 载波, 然后可以将第 2 载波传送至第 3 个第一级和第 1 个第二级 2201, 然后第 3 个第一级可将第 3 载波传送至第 4 个第一级 2104。即, 第偶数个第一级 2102、2104、.....、2102n-2、2102n 可将载波传送至相邻的第一级 (第奇数个第一级 2103、2105、.....、2102n-3、2102n-1) 和第二级。

锁存单元可包括多个第二级 2201 至 220n, 且每个第二级可通过由第一和第二使能信号发生器提供的第一使能信号 (EN1) 和第二使能信号 (EN2) 进行操作。多个第二级 2201 至 220n 可连接至第偶数个第一级 2102、2104、.....、2102n-2、2102n 的输出线, 以接收从第偶数个第一级 2102、2104、.....、2102n-2、2102n 传送至载波 (s2, s4,、.....、s2n-2, s2n) 的数据信号 (a1 至 an)。因此, 多个第二级 2201 至 220n 可为多个第一级 2101 至 2102n 的数量的一半。而且, 每个第二级可同时基于第一使能信号 (EN1) 和第二使能信号 (EN2) 输出数据信号 (例如, 视频数据)。因此, 数据信号 (例如, 视频数据) 可被串行地输入至多个第一级 2101 至 2102n, 而且可通过多个第二级 2201 至 220n 并行地输出。

图 5 是图 4 所示的数据驱动电路的典型操作的时序图。参见图 5，第一时钟 CLK1 可为可以周期性地产生并且具有较长高电平周期和较短低电平周期的脉冲。第二时钟 (CLK2) 也可为与第一时钟 (CLK1) 相比延迟一预定周期的脉冲。从第 1 个第一级 2101 输出的载波 (s1) 可以以与第一时钟 (CLK1) 相同的周期产生，而且当信号处在低电平时，载波 (s1) 输出第 1 数据 (a1)。可以串行地接收输入数据的第 1 个第一级 2101 可持续，以在载波 (s[1]) 上顺序地输出该第 1 数据 (a1) 的第 n 个数据。依次，第 2 个第一级 2102 接收来自第 1 个第一级 2101 的第一载波，然后输出第 2 载波 (s2)。因此，在第 1 数据 (a1) 与第 1 载波 (s1) 相比被延迟一预定时间后，第 2 载波 (s2) 输出第 1 数据 (a1)，并顺序输出从第 1 数据 (a1) 至第 n 数据 (an) 的数据。以这种方式，第 n 载波 (sn) 输出从第 1 数据 (a1) 至第 n 数据 (an) 的数据。第一和第二使能信号 (EN1, EN2) 可以在第 1 载波至第 n 载波 (sn) 上输出第 1 数据 (a1) 至第 n 数据 (an) 的点上输入，然后由多个第二级 2201 至 220n 同时输出。

图 6 是根据本发明的典型实施例的可与图 3 所示的 OLED 一起使用的另一个典型数据驱动电路的示意图。此外，应当理解，该典型数据驱动电路不应当限于图 3 中的典型 OLED。更确切地说，该典型数据驱动电路可与其它电致发光显示器一起使用。参见图 6，数据驱动电路 200 可包括移位寄存器和锁存单元。

移位寄存器可包括多个第一级 2101 至 2102n，且每个第一级可由第一时钟 (CLK1) 和第二时钟 (CLK2) 操作。第一级 2101 可输出第一载波 (s1) 并将第 1 载波 (s1) 传送至第 2 个第一级 2102 和第 1 个第二级 2201。可以承载数据信号 (例如，视频数据) 并以第 1 载波 (s1) 输出。因此，该第 2 个第一级 2102 可接收第 1 载波 (s1) 并可将第 2 载波传送至第 3 个第一级 2103，然后该第 3 个第一级 2103 可将第 3 载波 (s3) 传送至第 4 个第一级和第 2 个第二级 2202。即，第奇数个第一级 2101、2103、.....、2102n-3、2102n-1 可将载波传送至相邻的第一级 (第偶数个第一级 2102、2104、.....、2102n-2、2102n) 和第二级。

锁存单元可包括多个第二级 2201 至 220n，且每个第二级可由第一使能信号 (EN1) 和第二使能信号 (EN2) 操作。多个第二级 2201 至 220n 可连接至第奇数个第一级 2101、2103、.....、2102n-3、2102n-1 的输出线，以接收

从第奇数个第一级 2101、2103、.....、2102n-3、2102n-1 传送来的数据信号 (a1 至 an)。因此, 多个第二级 2201 至 220n 可为多个第一级 2101 至 2102n 的数量的一半。而且, 每个第二级可同时基于第一使能信号 (EN1) 和第二使能信号 (EN2) 输出数据信号 (例如, 视频数据)。因此, 数据信号 (例如, 视频数据) 可被串行输入至多个第一级 2101 至 2102n, 而且可通过多个第二级 2201 至 220n 并行地输出。

图 7 是图 6 所示的数据驱动电路的典型操作的时序图。参见图 7, 第一时钟 CLK1 可为可以周期性产生并可以具有较长高电平周期和较短低电平周期的脉冲。第二时钟 (CLK2) 可为与第一时钟 (CLK1) 脉冲相比延迟一预定周期的脉冲。可从第 1 个第一级 2101 输出的载波 (s1) 可以以与第一时钟 (CLK1) 相同的周期产生, 而且当信号处在低电平时, 该载波 (s1) 可以输出数据 (a1)。载波 (s1) 可以持续, 以顺序地输出第 1 数据 (a1) 至第 n 数据 (an)。

第 2 个第一级 2102 可以接收来自第 1 个第一级的第一载波 (s1) 并可以输出第 2 载波 (s2)。在第 1 数据 (a1) 与第 1 载波 (s[1]) 相比被延迟一预定时间后, 第 2 载波 (s2) 可以输出第 1 数据 (a1), 并可顺序地输出从第 1 数据 (a1) 至第 n 数据 (an) 的数据。以这种方式, 第 n 个第一级 2102n 可输出第 n 载波 (sn)。第一和第二使能信号 (EN1, EN2) 可在第 1 载波 (s1) 至第 n 载波 (sn) 上输出第 1 数据 (a1) 至第 n 数据 (an) 的点上输入, 然后可以同时由多个第二级 2201 至 220n 输出。

图 8 是根据本发明的典型实施例、可用于图 4 和图 6 所示的数据驱动电路的典型第一级的电路图。图 9 是根据本发明的典型实施例、可用于图 4 和图 6 所示的数据驱动电路的典型第二级的电路图。

参见图 8 和图 9, 除了第一级可接收第一时钟信号 (CLK1) 和第二时钟信号 (CLK2), 而第二级可接收第一使能信号 (EN1) 和第二使能信号 (EN2) 之外, 第一级和第二级可具有相同的结构。然而, 尽管未示出, 也可以考虑第一级和第二级不具有相同结构的其它实现。而且, 仅仅是出于说明和讨论的目的, 第一级和第二级可通过 PMOS 晶体管和电容器来实现。然而, 其他不具有 PMOS 晶体管和电容器的实现也能被实施。

如上所述, 既然第一级和第二级可以采用相同的方式连接, 下面将仅参照第一级的连接来描述第一级和第二级。

参见图 8, 在第一晶体管 (M1) 中, 源极可以连接至输入端 (IN), 漏极可以连接至第一节点 (N1), 而栅极可以连接至第二时钟 (CLK2)。在第二晶体管 (M2) 中, 源极可以连接至第一时钟 (CLK1), 漏极可以连接至第二节点 (N2), 而栅极可以连接至第一节点 (N1)。在第三晶体管 (M3) 中, 源极可以连接至第三节点 (N3), 漏极可以连接至第二电源 (VSS), 而栅极可以连接至第二时钟 (CLK2)。在第四晶体管 (M4) 中, 源极可以连接至第二时钟 (CLK2), 漏极可以连接至第三节点 (N3), 而栅极可以连接至第一节点 (N1)。还有, 在第五晶体管 (M5) 中, 源极可以连接至第一电源 (VDD), 漏极可以连接至输出端 (OUT), 栅极可以连接至第三节点 (N3)。最后, 在电容器 (C1) 中, 第一电极可以连接至第一节点 (N1), 而第二电极可以连接至第二节点 (N2)。第二节点 (N2) 还可以连接至输出端 (OUT)。因此, 通过输入端 (IN) 输入的数据信号被储存在电容器 (C1) 中, 然后在一预定时间后通过输出端 (OUT) 输出。

图 10 图示可用于图 4 和图 6 所示的数据驱动电路的另一个典型第一级的电路图。图 11 图示另一个典型第二级的电路图。参见图 10 和图 11, 第一级和第二级可通过 NMOS 晶体管和电容器来实现。此外, 第一级和第二级的其它实施也可以被实现。在接收到第一时钟信号和第二时钟信号后第一级开始操作, 而在接收到第一使能信号和第二使能信号后, 第二级开始操作。

图 12 图示图 4 所示的数据驱动电路的典型操作的时序图, 其中图 10 和图 11 所示的第一级和第二级可被用于此。图 13 图示图 6 所示的数据驱动电路的典型操作的时序图, 其中图 10 和图 11 所示的第一级和第二级可被用于此。参见图 12 和图 13, 在第一级和第二级中输入/输出的信号的波形可通过 NMOS 晶体管来实现。信号可以被反相, 然后输入至第一级和第二级以操作数据驱动电路, 如图 6 所示。结果, 图 12 和图 13 的描述与图 7 的描述相同。

如上所述, 根据本发明的数据驱动电路具有如下优点, 因为其可以通过消除静态电流可能流过的路径从而减少功率消耗, 并且当高电平输出通过数据驱动电路时, 由于输出端不会被再次充电而可将泄漏电流减到最少, 而且当低电平输出通过数据驱动电路时, 由于进行引导, 而使向输出端放电的电流的减少最小化, 从而增加操作速度。

在此已经公开了本发明的典型实施例, 尽管使用了特定术语, 但它们仅用于一般意义的说明和理解描述, 而不是出于限制的目的。因此, 应当理解

在不偏离由下述权利要求提出的本发明的原理和精神的情况下，本领域普通技术人员可以在形式和细节方面作出各种改变。

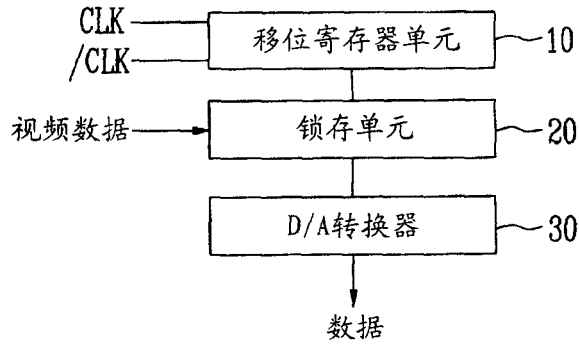


图 1

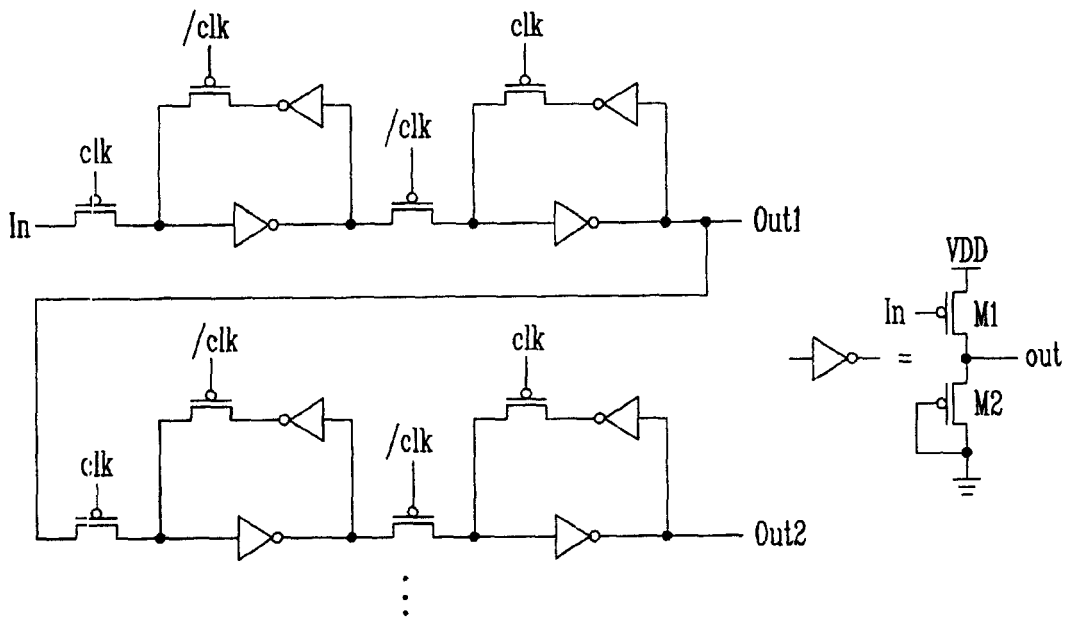


图 2

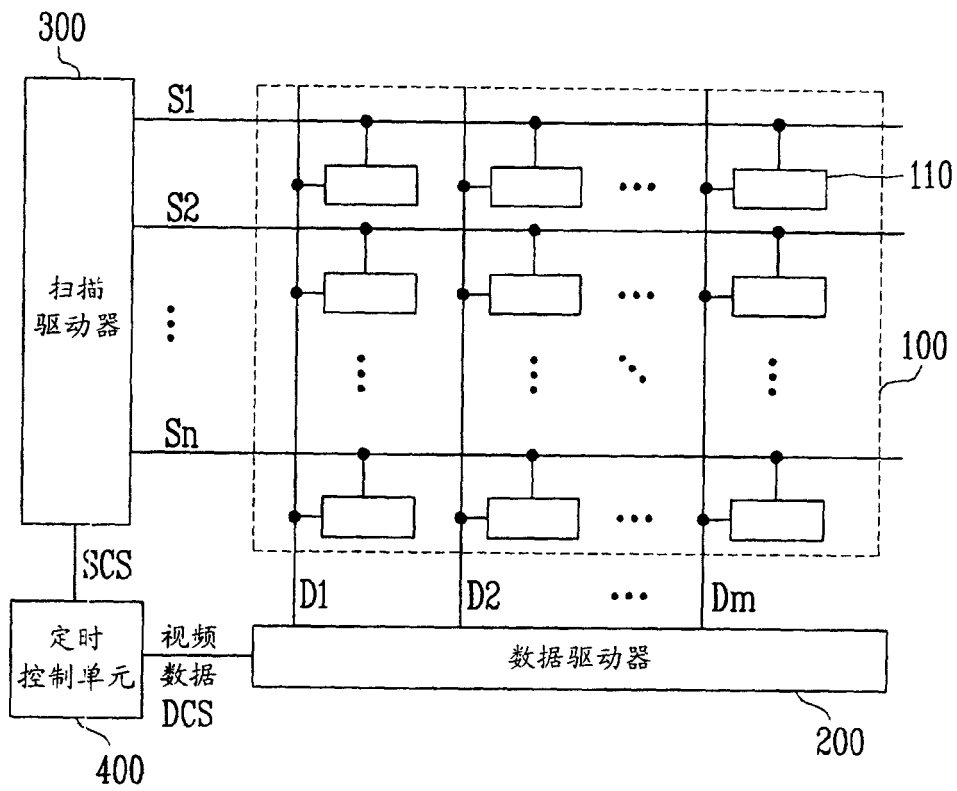


图 3

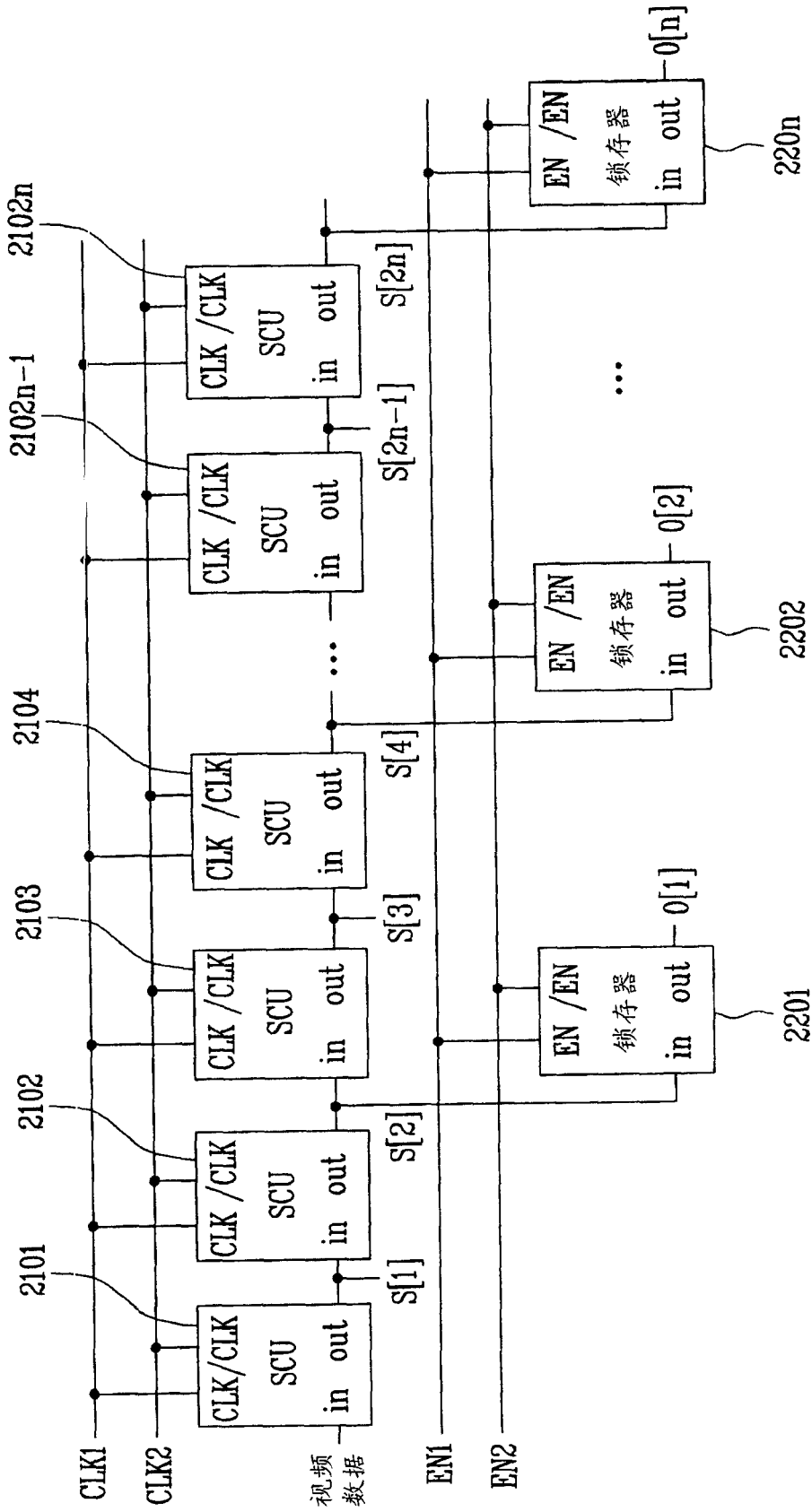


图 4

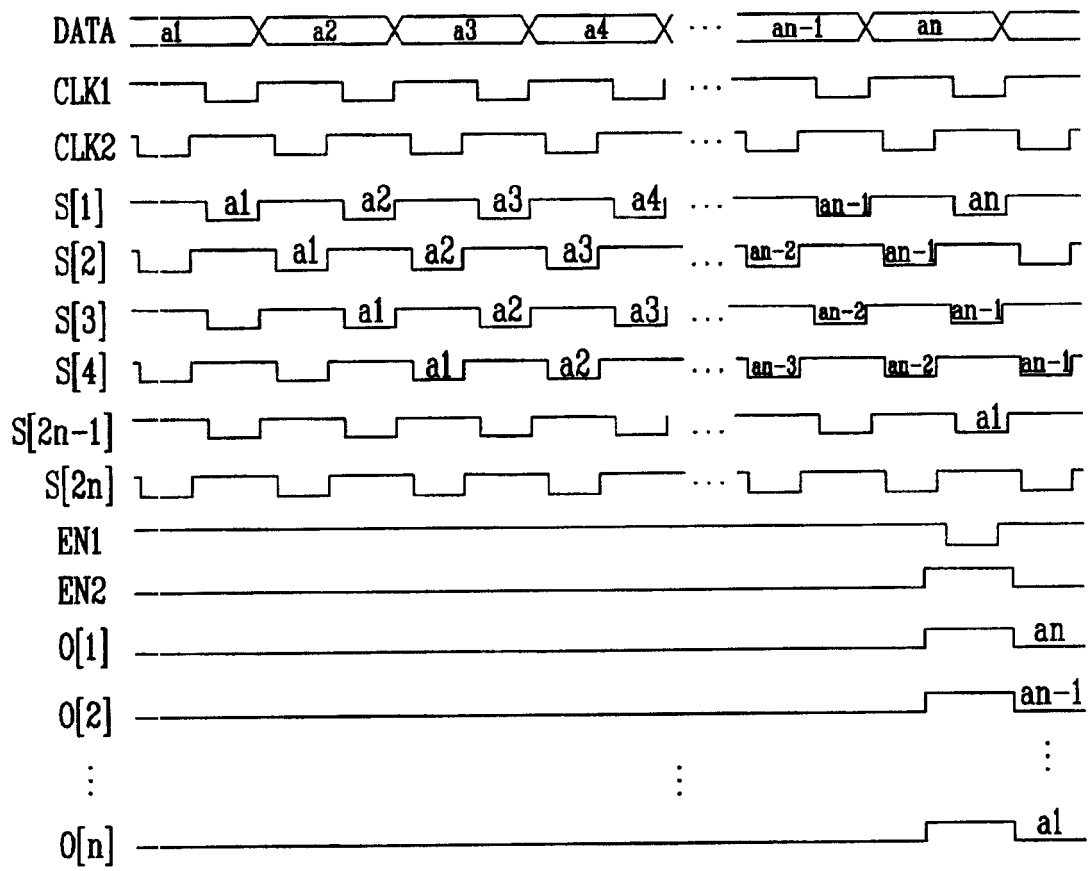


图 5

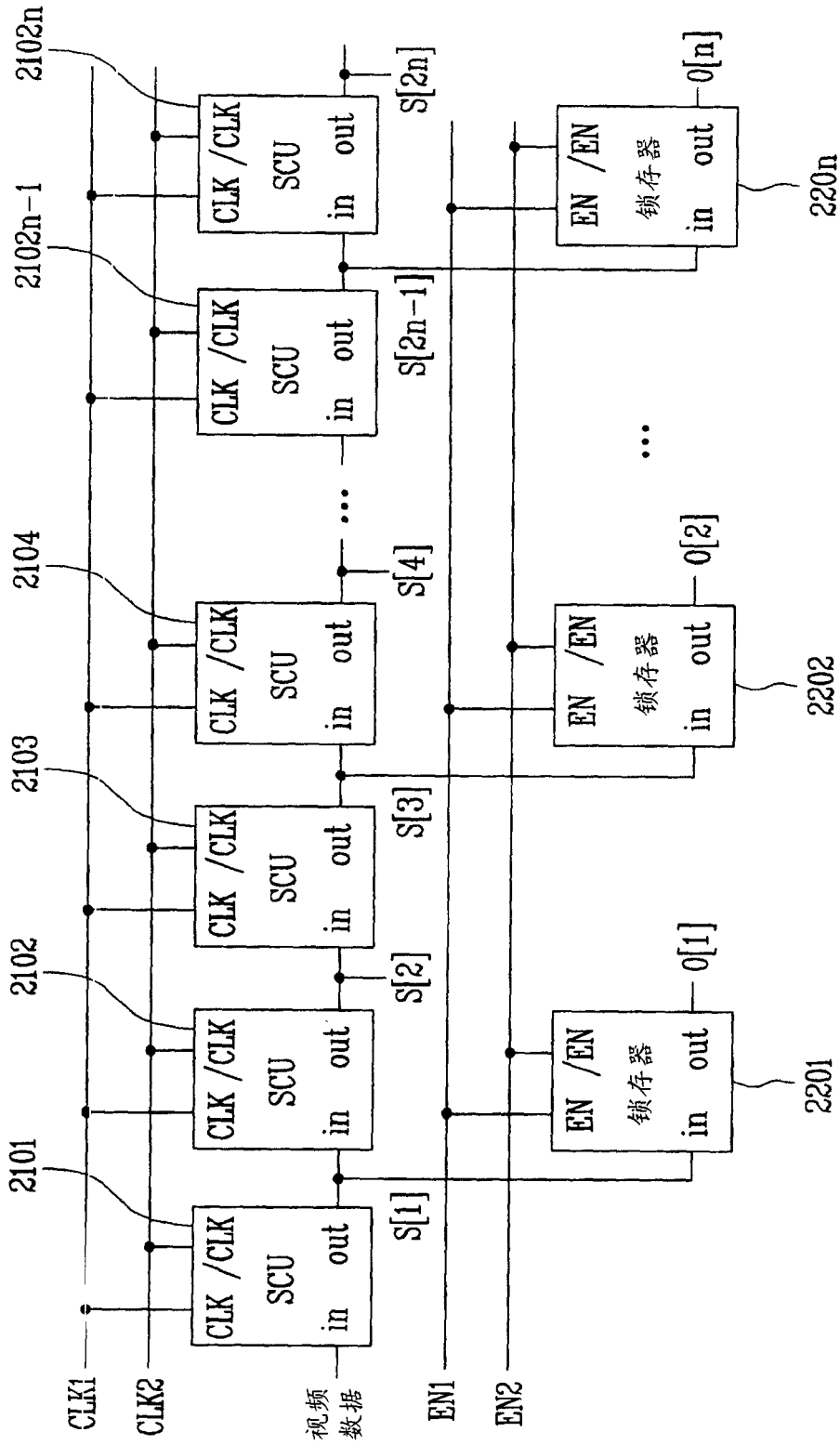


图 6

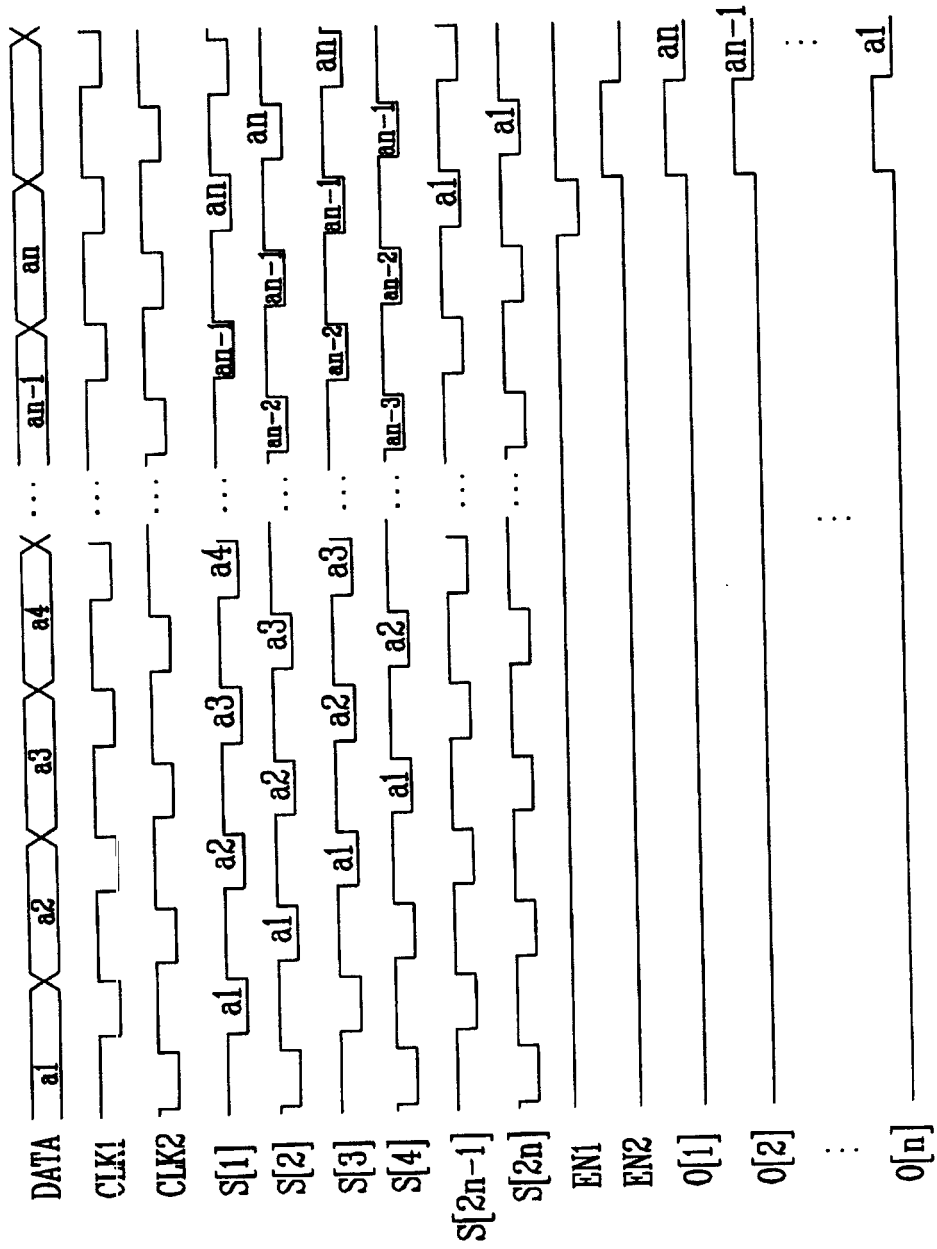


图 7

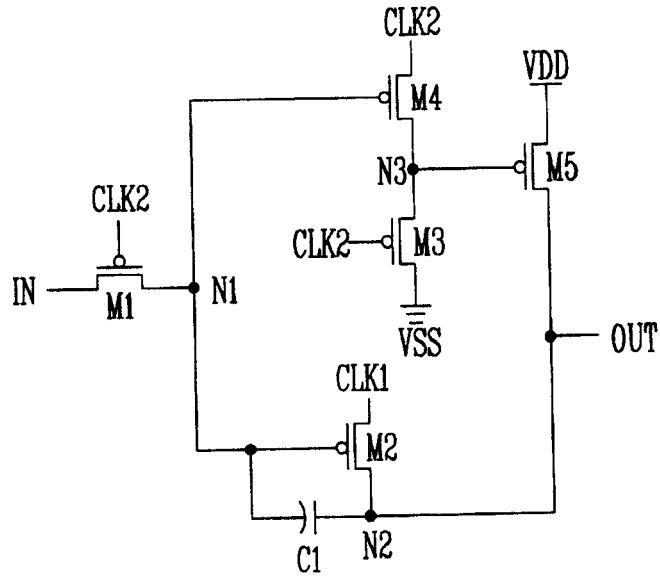


图 8

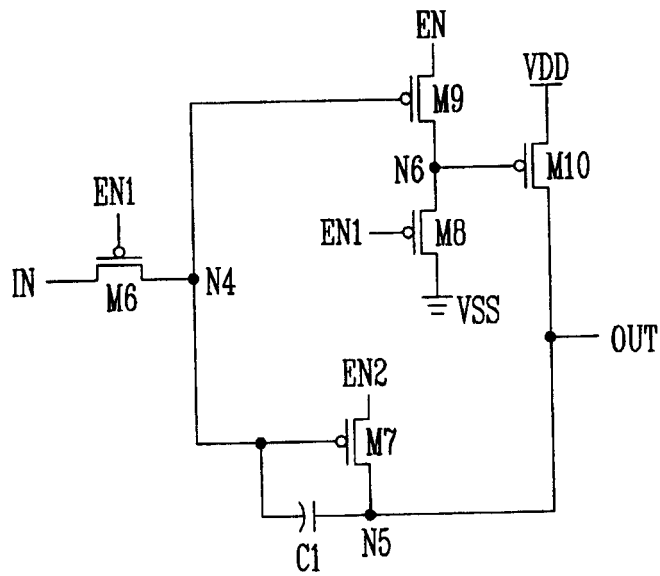


图 9

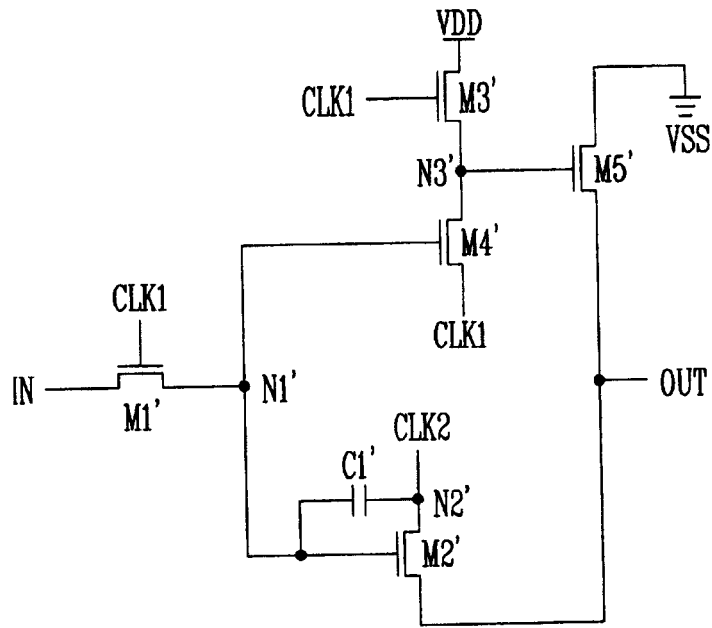


图 10

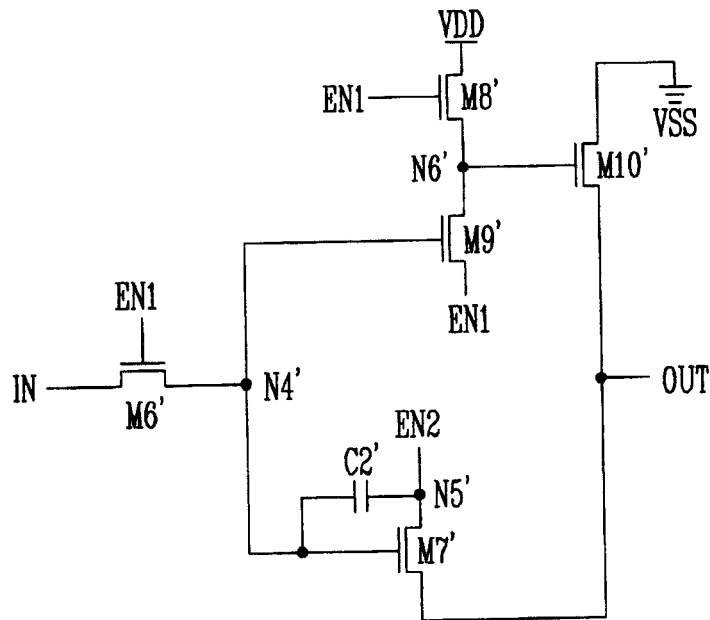


图 11

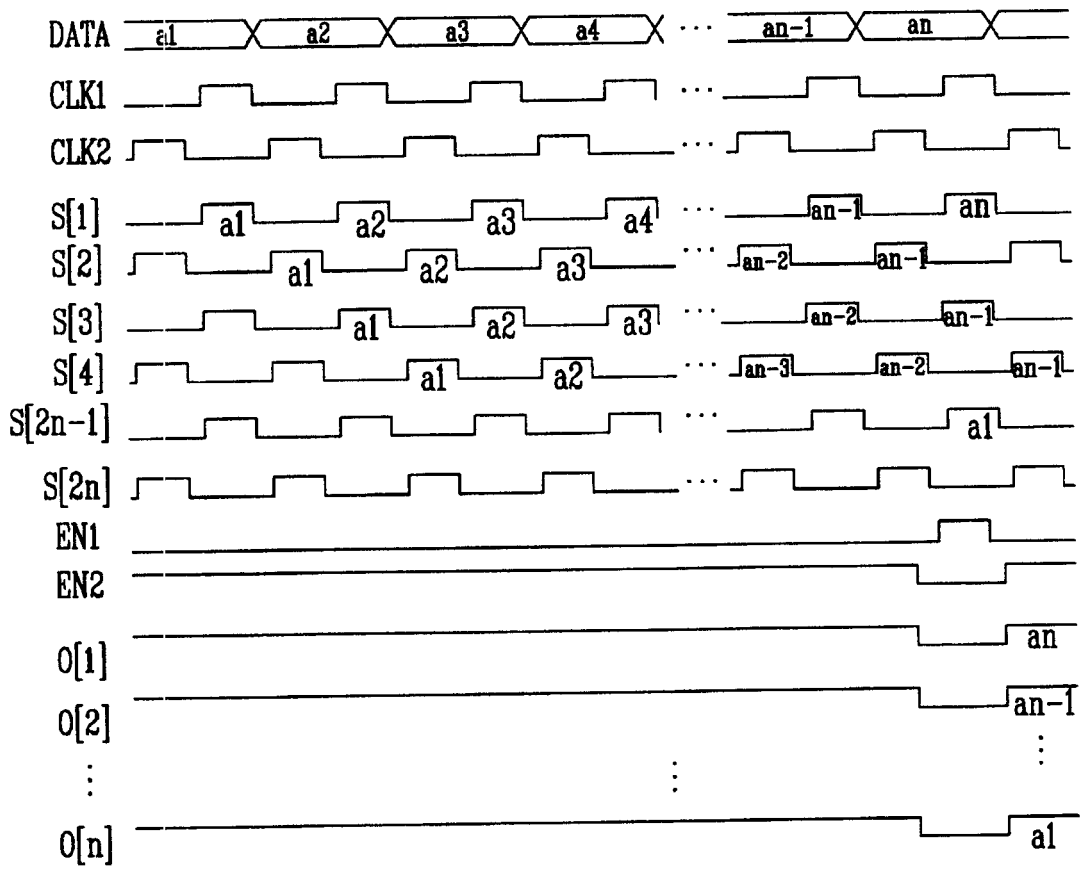


图 12

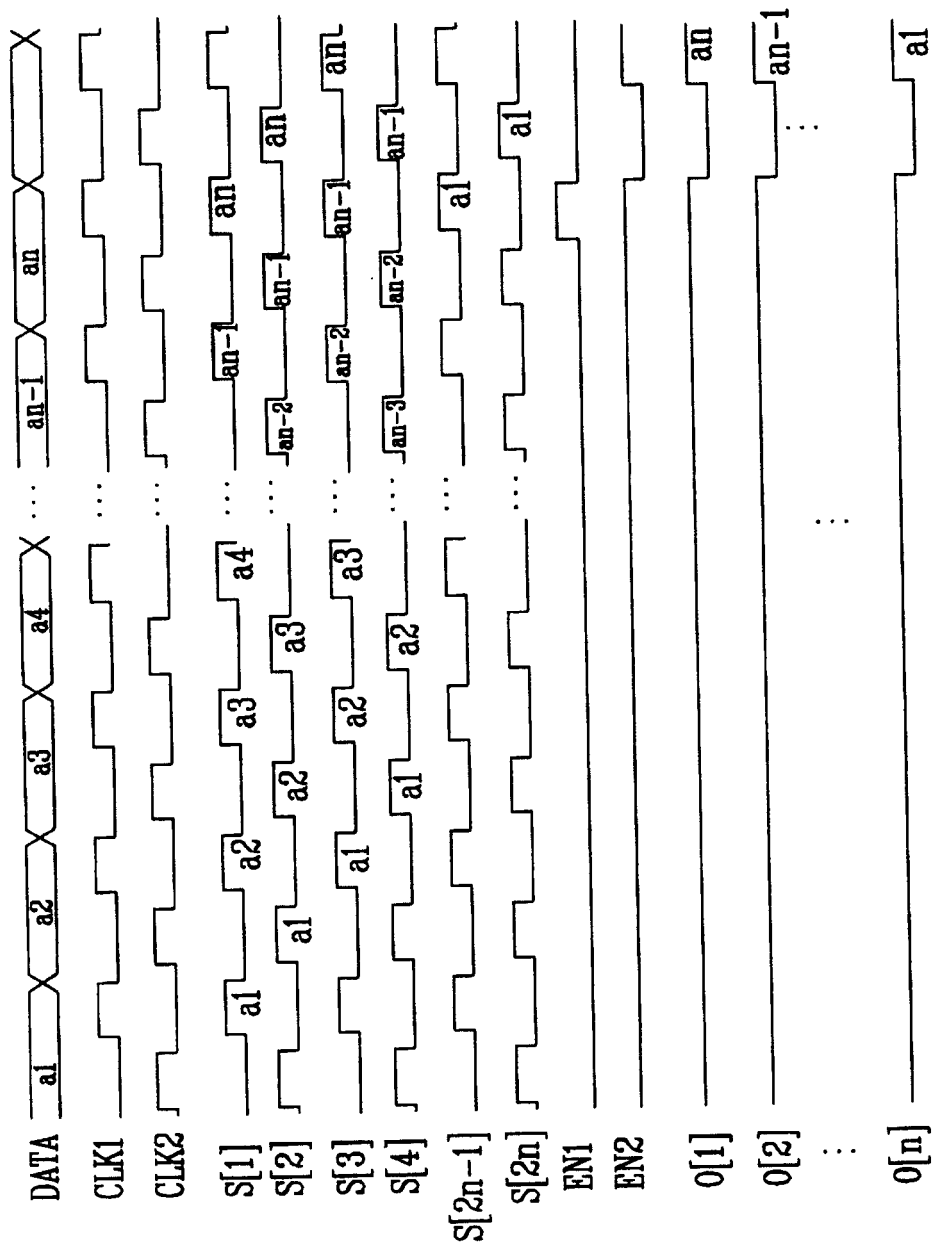


图 13

专利名称(译)	数据驱动电路及应用它的电致发光显示器		
公开(公告)号	CN101013556A	公开(公告)日	2007-08-08
申请号	CN200610064419.9	申请日	2006-11-07
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星SDI株式会社		
当前申请(专利权)人(译)	三星SDI株式会社		
[标]发明人	申东蓉		
发明人	申东蓉		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/08 H05B33/14 H05B37/02 G09F9/33		
CPC分类号	G11C19/28 G09G3/3275 G09G2310/027 G09G2330/021 G09G2310/0286 G11C19/184		
代理人(译)	邵亚丽		
优先权	1020050106171 2005-11-07 KR		
其他公开文献	CN100565640C		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及数据驱动电路，其包括移位寄存器单元，所述移位寄存器单元进一步包括串联连接并可接收数据信号和可以输出数据信号的多个第一级，其中每个第一级可以接收从之前的第一级输出的数据信号，其还包括有多个第二级的锁存单元，其中每个第二级可以连接至不同的预定第一级并接收从该预定第一级输出的数据信号，其中第二级的数量基本上可以为第一级数量的一半，其进一步包括连接至锁存单元的D/A转换器，其可以接收数字数据信号并输出模拟数据信号。

