

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/30 (2006.01)
G09G 3/22 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710097172.5

[45] 授权公告日 2009 年 12 月 2 日

[11] 授权公告号 CN 100565642C

[22] 申请日 2007.4.10

[21] 申请号 200710097172.5

[30] 优先权

[32] 2006.4.18 [33] KR [31] 10-2006-0034960

[73] 专利权人 三星移动显示器株式会社

地址 韩国京畿道水原市

[72] 发明人 申东蓉

[56] 参考文献

JP2005-251335A 2005.9.15

US2004/0227718A1 2004.11.18

审查员 穆 堃

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 李 湘 梁 永

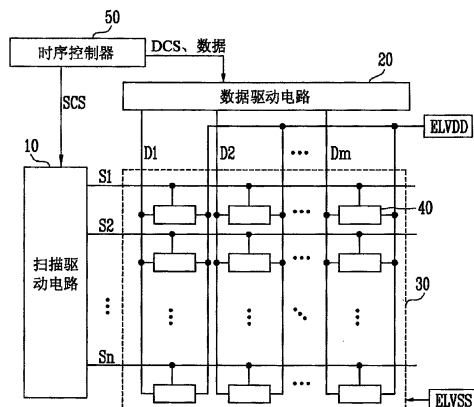
权利要求书 5 页 说明书 12 页 附图 9 页

[54] 发明名称

扫描驱动电路以及采用其的有机发光显示器

[57] 摘要

本发明提供的扫描驱动电路包括多级。每一级接收可以顺序产生的 4 个时钟中的 3 个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号。每一级的输入端与各级的前一级的输出端相连接。每一级包括晶体管、开关部分以及存储部分。该晶体管随第二时钟使输入端的连接导通/截止。该开关部分随第一时钟将第一电压送至输出端，并随输入信号防止第一电压送至输出端。该存储部分将输出端的电压保持一预定时间，并随输入信号将第三时钟的电压送至输出端。



1. 一种扫描驱动电路，包括多级，该多级用于接收4个时钟，其中该多级中的每一级配置为接收4个时钟中的3个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号，其中该多级中的每一级的输入端与各级的前一级的输出端相连接，其中该多级中的每一级包括：

晶体管，用于随各时钟当中的第二时钟使输入端的连接导通/截止，该第二时钟用于经第二时钟端输入；

开关部分，用于随各时钟当中的第一时钟将第一电压送至输出端，并用于随输入信号防止第一电压送至输出端，该第一时钟用于经第一时钟端输入；以及

存储部分，用于将输出端的电压保持一预定时间，并用于随输入信号将各时钟当中的第三时钟的电压送至输出端，该第三时钟用于经第三时钟端输入，其中

开关部分包括：

第二晶体管，用于随第一时钟的电压将第二电压送至一节点；

第三晶体管，用于随输入信号将第一时钟的电压送至该节点，其中该节点处于第二晶体管和第三晶体管两者之间；

第四晶体管，包括与该节点连接的栅极，第四晶体管用于随该节点的电压将第一电压送至输出端。

2. 如权利要求1所述的扫描驱动电路，其特征在于，存储部分包括：

与所述晶体管连接的第二晶体管，用于随接收到输入信号的第一节点的电压将第三时钟送至第二节点；以及

电容器，用于保持第一节点和第二节点两者间的电压。

3. 如权利要求1所述的扫描驱动电路，其特征在于，第二电压为接地电压。

4. 如权利要求1所述的扫描驱动电路，其特征在于，开关部分包括：

第二晶体管，包括与第一时钟端连接的栅极、与第二电压连接的

源极、以及与第二节点连接的漏极；

第三晶体管，包括与第一节点连接的栅极、与第一时钟端连接的源极、以及与第二节点连接的漏极；

第四晶体管，包括与第二节点连接的栅极、与第一电压连接的源极、以及与输出端连接的漏极。

5. 如权利要求1所述的扫描驱动电路，其特征在于，多级适于在预充电时间、输入时间、评估时间、以及静态时间期间动作，其中该多级中的每一级适于在预充电时间期间使存储部分初始化，适于在输入时间期间接收并存储一预定信号，适于在评估时间期间输出与该预定信号相对应的扫描信号，适于在静态时间期间响应第一时钟、第二时钟、以及第三时钟不动作。

6. 如权利要求5所述的扫描驱动电路，其特征在于，多级中每一级适于在各级中的前一级输出低电平信号这一输入时间期间动作。

7. 如权利要求1所述的扫描驱动电路，其特征在于，第四时钟具有相同时间周期，但彼此相位存在移位。

8. 如权利要求7所述的扫描驱动电路，其特征在于，第一电压是驱动电源的电压。

9. 一种扫描驱动电路，包括多级，该多级用于接收4个时钟，其中该多级中的每一级配置为接收4个时钟中的3个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号，其中该多级中的每一级的输入端与各级的前一级的输出端相连接，其中该多级中的每一级包括：

晶体管，用于随各时钟当中的第二时钟使输入端的连接导通/截止，该第二时钟用于经第二时钟端输入；

开关部分，用于随各时钟当中的第一时钟将第一电压送至输出端，该第一时钟用于经第一时钟端输入；以及

存储部分，用于将输出端的电压保持一预定时间，并用于随输入信号将各时钟当中的第三时钟的电压送至输出端，该第三时钟用于经第三时钟端输入，其中

开关部分包括：

第二晶体管，用于随第一时钟的电压将第二电压送至一节点；

第三晶体管，用于随输入信号将第一时钟的电压送至该节点，其

中该节点处于第二晶体管 and 第三晶体管两者之间；

第四晶体管，包括与该节点连接的栅极，第四晶体管用于随该节点的电压将第一电压送至输出端。

10. 如权利要求 9 所述的扫描驱动电路，其特征在于，存储部分包括：

第二晶体管，与晶体管连接，第二晶体管用于随接收到输入信号的第一节点的电压将第三时钟送至第二节点；以及

电容器，用于保持第一节点和第二节点两者间的电压。

11. 如权利要求 9 所述的扫描驱动电路，其特征在于，第二电压为接地电压。

12. 如权利要求 9 所述的扫描驱动电路，其特征在于，多级适于在预充电时间、输入时间、评估时间、以及静态时间期间动作，其中该多级中的每一级适于在预充电时间期间使存储部分初始化，适于在输入时间期间接收并存储一预定信号，适于在评估时间期间输出与该预定信号相对应的扫描信号，适于在静态时间期间响应第一时钟、第二时钟、以及第三时钟不动作。

13. 如权利要求 9 所述的扫描驱动电路，其特征在于，第一时钟、第二时钟、以及第三时钟具有相同时间周期，但彼此相位存在移位。

14. 如权利要求 9 所述的扫描驱动电路，其特征在于，多级中每一级适于在各级中的前一级输出低电平信号这一输入时间期间动作。

15. 如权利要求 9 所述的扫描驱动电路，其特征在于，第一电压是驱动电源的电压。

16. 一种有机发光显示器，包括：

显示区域，具有用于显示图像的多个像素；

扫描驱动电路，用于将扫描信号送至该显示区域；以及

数据驱动电路，用于将数据信号送至该显示区域；

其中该扫描驱动电路，包括多级，该多级用于接收 4 个时钟，其中该多级中的每一级配置为接收 4 个时钟中的 3 个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号，其中该多级中的每一级的输入端与各级的前一级的输出端相连接，其中该多级中的每一级包括：

晶体管，用于随各时钟当中的第二时钟使输入端的连接导通/截

止，该第二时钟用于经第二时钟端输入；

开关部分，用于随各时钟当中的第一时钟将第一电压送至输出端，并用于随输入信号防止第一电压送至输出端，该第一时钟用于经第一时钟端输入；以及

存储部分，用于将输出端的电压保持一预定时间，并用于随输入信号将各时钟当中的第三时钟的电压送至输出端，该第三时钟用于经第三时钟端输入。

17. 如权利要求 16 所述的有机发光显示器，其特征在于，多级适于在预充电时间、输入时间、以及评估时间期间动作，其中该多级中的每一级适于在预充电时间期间使存储部分初始化并输出一高电平电压，适于在输入时间期间接收输入信号并保持该高电平电压，适于在评估时间期间输出一低电平电压。

18. 一种有机发光显示器，包括：

显示区域，具有用于显示图像的多个像素；

扫描驱动电路，用于将扫描信号送至该显示区域；以及

数据驱动电路，用于将数据信号送至该显示区域；

其中该扫描驱动电路，包括多级，该多级用于接收 4 个时钟，其中该多级中的每一级配置为接收 4 个时钟中的 3 个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号，其中该多级中的每一级的输入端与各级的前一级的输出端相连接，其中该多级中的每一级包括：

晶体管，用于随各时钟当中的第二时钟使输入端的连接导通/截止，该第二时钟用于经第二时钟端输入；

开关部分，用于随各时钟当中的第一时钟将第一电压送至输出端，该第一时钟用于经第一时钟端输入；以及

存储部分，用于将输出端的电压保持一预定时间，并用于随输入信号将各时钟当中的第三时钟的电压送至输出端，该第三时钟用于经第三时钟端输入。

19. 如权利要求 18 所述的有机发光显示器，其特征在于，多级适于在预充电时间、输入时间、以及评估时间期间动作，其中该多级中的每一级适于在预充电时间期间使存储部分初始化并输出一高电平电压，适于在输入时间期间接收输入信号并保持高电平电压，适于在

评估时间期间输出一低电平电压。

扫描驱动电路以及采用其的有机发光显示器

相关申请的交叉引用

本申请要求享有 2006 年 4 月 18 日提交给韩国知识产权局的韩国专利申请 No.10-2006-0034960 的优先权以及权益，其完整内容在此通过引用结合于本文中。

技术领域

本发明涉及扫描驱动电路以及使用该扫描驱动电路的有机发光显示器。

背景技术

总体来说，诸如有机发光显示器这类有源矩阵型显示设备包括按矩阵图案配置于各数据线和各扫描线两者间的各交叉位置的像素阵列。

扫描线包括具有各像素矩阵的显示区域的水平线（即行线），并将扫描驱动电路的预定信号即扫描信号顺序提供给该像素阵列。

图 1 是示出现有扫描驱动电路的框图。参照图 1，现有扫描驱动电路包括以从属方式与启动脉冲 SP 输入线相连接的多级 ST1 至 STn。多级 ST1 至 STn 分别响应启动脉冲 SP 依次使时钟信号 C 移位来产生各输出信号 SO1 至 SOn。这种情况下，第 2 级至第 n 级 ST2 至 STn 其中每一级将前一级的输出信号作为启动脉冲接收并移位。

因而，各级以启动脉冲依次移位这种方式产生各输出信号 SO1 至 SOn，并将各输出信号提供给像素阵列。

图 2 是图 1 所示的扫描驱动电路其中一级的电路图。图 3 是图 2 所示的该级的时序图。参照图 2 和图 3，以往扫描驱动电路的每一级使用主从触发器（master-slave flip-flop）。当时钟 CLK 处于低电平时，这样一种触发器继续接收输入并保持前一输出。

与此相反，当时钟 CLK 处于高电平时，该触发器保持输入端在时钟 CLK 处于低电平时所接收到的输入 IN，并输出该接收到的输入，

但不再接收该输入 IN。

上述电路中，触发器中包括的反相器其问题在于，当其输入处于低电平时有静态电流流过。此外，触发器中接收到高电平输入的反相器其数目与接收到低电平输入的反相器的数目相同。因而，该触发器中全部反相器其中一半有静态电流流过，由此造成功率消耗增加。

此外，图 2A 电路中，电源 VDD 和接地 GND 两者间连接的电阻(即晶体管 M1'和 M2')按其电阻比分压的电压值决定输出电压 OUT 的高电平。输出电压 OUT 的低电平设定为相对于接地 GND 电平高出晶体管 M2'的阈值电压。

举例来说，由于各晶体管的特性偏差，输入电压的各电平随各自级而有所不同，因而在使用图 2 和图 2A 电路的情况下输出电压处于高电平时发生偏差，结果可能造成该电路误动作。

而且，输出电压低电平的偏差造成图 2 电路中包括的反相器其输入晶体管的导通电阻有偏差发生，由此加重输出电压的高电平偏差。尤其是，有机发光显示器的屏板使用的是具有很大特性偏差的晶体管，因而这样一种问题尤为严重。

此外，反相器中经输入晶体管流过的电流用以对输出端充电，而经负载晶体管流过的电流则用以对输出端放电。一旦对输出端放电，负载晶体管的源极-栅极电压便渐渐减小，因而放电电流迅速减小。这造成放电效率变差。

发明内容

因而，本发明其中一个实施例的一个方面在于提供一种扫描驱动电路和使用该扫描驱动电路的有机发光显示器。该扫描驱动电路可以用将该扫描驱动电路的输出电压从正电源电压切换至负电源电压的 PMOS 晶体管和 NMOS 晶体管来实施。

本发明其中一个实施例的上述和/或其他方面是通过提供一种包括多级的扫描驱动电路来实现的。该多级适于接收 4 个时钟。该多级中的每一级配置为接收 4 个时钟中的 3 个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号。该多级中的每一级的输入端与各级的前一级的输出端相连接。该多级中的每一级包括晶体

管、开关部分以及存储部分。该晶体管随各时钟当中的第二时钟使输入端的连接导通/截止，该第二时钟用于经第二时钟端输入。开关部分随各时钟当中的第一时钟将第一电压送至输出端，并随输入信号防止第一电压送至输出端，该第一时钟用于经第一时钟端输入。存储部分将输出端的电压保持一预定时间，并随输入信号将各时钟当中的第三时钟的电压送至输出端，该第三时钟用于经第三时钟端输入。

根据本发明的第二方面，提供一种具有多级的扫描驱动电路。该多级适于接收 4 个时钟。该多级中的每一级配置为接收 4 个时钟中的 3 个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号。该多级中的每一级的输入端与各级的前一级的输出端相连接。该多级中的每一级包括晶体管、开关部分以及存储部分。晶体管随各时钟当中的第二时钟使输入端的连接导通/截止，该第二时钟用于经第二时钟端输入。开关部分随各时钟当中的第一时钟将第一电压送至输出端，该第一时钟用于经第一时钟端输入。存储部分将输出端的电压保持一预定时间，并随输入信号将各时钟当中的第三时钟的电压送至输出端，该第三时钟用于经第三时钟端输入。

根据本发明的第三方面，提供一种具有显示区域的有机发光显示器，该显示区域具有用于显示图像的多个像素。该有机发光显示器同时包括扫描驱动电路和数据驱动电路。该扫描驱动电路用于将扫描信号送至该显示区域，数据驱动电路用于将数据信号送至该显示区域。该扫描驱动电路包括多级。该多级适于接收 4 个时钟。该多级中的每一级配置为接收 4 个时钟中的 3 个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号。该多级中的每一级的输入端与各级的前一级的输出端相连接。该多级中的每一级包括晶体管、开关部分以及存储部分。该晶体管随各时钟当中的第二时钟使输入端的连接导通/截止，该第二时钟用于经第二时钟端输入。开关部分随各时钟当中的第一时钟将第一电压送至输出端，并随输入信号防止第一电压送至输出端，该第一时钟用于经第一时钟端输入。存储部分将输出端的电压保持一预定时间，并随输入信号将各时钟当中的第三时钟的电压送至输出端，该第三时钟用于经第三时钟端输入。

所提供的是一种具有显示区域的有机发光显示器，该显示区域具有用于显示图像的多个像素。该有机发光显示器同时包括扫描驱动电路和数据驱动电路。该扫描驱动电路用于将扫描信号送至该显示区域，数据驱动电路用于将数据信号送至该显示区域。该扫描驱动电路包括多级。该多级适于接收4个时钟。该多级中的每一级配置为接收4个时钟中的3个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号。该多级中的每一级的输入端与各级的前一级的输出端相连接。该多级中的每一级包括晶体管、开关部分以及存储部分。该晶体管随各时钟当中的第二时钟使输入端的连接导通/截止，该第二时钟用于经第二时钟端输入。开关部分随各时钟当中的第一时钟将第一电压送至输出端，该第一时钟用于经第一时钟端输入。存储部分将输出端的电压保持一预定时间，并随输入信号将各时钟当中的第三时钟的电压送至输出端，该第三时钟用于经第三时钟端输入。

附图简述

本发明的上述和其他方面和特征通过下面参照下列附图对某些示范性实施例的说明会变得明显而且更为容易理解：

图1是示出现有扫描驱动电路的框图；

图2是图1所示的扫描驱动电路其中一级的电路图；

图2A是图2所示的该级中的反相器的电路图；

图3是图2所示的该级的时序图；

图4是示出本发明一实施例的有机发光显示器的框图；

图5是示出本发明一实施例的扫描驱动电路构成的框图；

图6是示出图5所示的扫描驱动电路其中一级的第一实施例的电路图；

图7是示出图6所示的该级的输入/输出波形其第一实施例的时序图；

图8是示出图5所示的扫描驱动电路其中一级的第二实施例的电路图；

图9是示出图5所示的扫描驱动电路其中一级的第三实施例的电路图；

图 10 是示出图 5 所示的扫描驱动电路其中一级的第四实施例的电路图;

图 11 是示出图 5 所示的扫描驱动电路其中一级的第五实施例的电路图;

图 12 是图 11 所示的该级的时序图;

图 13 是示出图 5 所示的扫描驱动电路其中一级的第六实施例的电路图; 以及

图 14 是图 13 所示的该级的时序图。

具体实施方式

下面参照附图说明本发明各示范性实施例。这里, 第一元件说明为与第二元件连接时, 第一元件不仅可以是与第二元件直接连接, 而且可以是通过第三元件与第二元件间接连接。此外, 为了清楚起见省略对本发明进行完整理解不需要的各元件。而且, 同样的参照标号指代全部同样的元件。

图 4 是示出本发明一实施例的有机发光显示器的框图。参照图 4, 该有机发光显示器包括显示区域 30、扫描驱动电路 10、数据驱动电路 20、以及时序控制器 50。

显示区域 30 包括各扫描线 S1 至 Sn 和各数据线 D1 至 Dm 两者间交叉区所形成的多个像素 40。扫描驱动电路 10 驱动各扫描线 S1 至 Sn。数据驱动电路 20 驱动各数据线 D1 至 Dm。时序控制器 50 控制扫描驱动电路 10 和数据驱动电路 20。

时序控制器 50 随外部提供的同步信号生成一数据驱动控制信号 DCS 和一扫描驱动控制信号 SCS。该时序控制器 50 所生成的该数据驱动控制信号 DCS 提供给数据驱动电路 20, 扫描驱动控制信号 SCS 提供给扫描驱动电路 10。此外, 时序控制器 50 将外部提供的数据“数据”提供给数据驱动电路 20。

数据驱动电路 20 接收时序控制器 50 的数据驱动控制信号 DCS。一旦接收到数据驱动控制信号 DCS, 数据驱动电路 20 生成各数据信号, 并将所生成的各数据信号提供给各数据线 D1 至 Dm。本实施例中, 数据驱动电路 20 每一行周期将所生成的各数据信号提供给各数据线 D1 至 Dm。

显示区域 30 接收外部源的第一电源 ELVDD 的第一电力和第二电源 ELVSS 的第二电力，并将其提供给各像素 40。一旦接收到第一电力 ELVDD 和第二电力 ELVSS，各像素 40 便控制第一电源 ELVDD 经与数据信号相对应的发光元件流至第二电压电源 ELVSS 的电流量，因而产生与数据信号相对应的光。

扫描驱动电路 10 响应时序控制器 50 输出的扫描驱动控制信号 SCS 生成一扫描信号，将所生成的扫描信号顺序提供给各扫描线 S1 至 Sn。具体来说，扫描驱动电路 10 顺序生成扫描信号来驱动多个像素，并将该扫描信号提供给显示区域 30。

下面说明本发明一实施例的有机发光显示器的扫描驱动电路的构成和动作。

图 5 是示出本发明一实施例的扫描驱动电路 30 其配置的框图。参照图 5，扫描驱动电路包括以从属方式与一启动脉冲输入线相连接以便驱动 $m \times n$ 像素阵列的 n 级。

第 1 至第 n 级的各第一输出线与像素阵列中包括的第 1 至第 n 扫描线（即各行线）相连接。有一启动脉冲 SP 提供给第 1 级。第 1 至第 $n-1$ 级的各输出信号分别作为启动脉冲提供给各自下一级。每一级随第一时钟 CLK1、第二时钟 CLK2、以及第三时钟 CLK3；或随第二时钟 CLK2、第三时钟 CLK3、以及第四时钟 CLK4；或随第三时钟 CLK3、第四时钟 CLK4、以及第一时钟 CLK1；或随第四时钟 CLK4、第一时钟 CLK1、以及第二时钟 CLK2 进行接收并动作。每一级包括第一时钟端 ck1、第二时钟端 ck2、以及第三时钟端 ck3。如图所示，这里第一时钟 CLK1、第二时钟 CLK2、以及第三时钟 CLK3 分别送至第 $(4k-3)$ 级的第一时钟端 ck1、第二时钟端 ck2、以及第三时钟端 ck3。第二时钟 CLK2、第三时钟 CLK3、以及第四时钟 CLK4 分别送至第 $(4k-2)$ 级的第一时钟端 ck1、第二时钟端 ck2、以及第三时钟端 ck3。第一时钟 CLK1、第三时钟 CLK3、以及第四时钟 CLK4 分别送至第 $(4k-1)$ 级的第三时钟端 ck3、第一时钟端 ck1、以及第二时钟端 ck2。第一时钟 CLK1、第二时钟 CLK2、以及第四时钟 CLK4 分别送至第 $(4k)$ 级的第二时钟端 ck2、第三时钟端 ck3、以及第一时钟端 ck1。其中 k 为自然数。

也就是说，每一级响应 4 个时钟：第一时钟 CLK1、第二时钟

CLK2、第三时钟 CLK3、以及第四时钟 CLK4 其中的 3 个动作。

此外，当第 1 级响应第一时钟 CLK1、第二时钟 CLK2、以及第三时钟 CLK3 输出一信号时，第 2 级随第二时钟 CLK2、第三时钟 CLK3、以及第四时钟 CLK4 进行接收并动作。当第 2 级响应第二时钟 CLK2、第三时钟 CLK3、以及第四时钟 CLK4 输出一信号时，第 3 级随第三时钟 CLK3、第四时钟 CLK4、以及第一时钟 CLK1 进行接收并动作。当第 3 级响应第三时钟 CLK3、第四时钟 CLK4、以及第一时钟 CLK1 输出一信号时，第 4 级随第四时钟 CLK4、第一时钟 CLK1、以及第二时钟 CLK2 进行接收并动作。也就是说，第 1 级、第 2 级、第 3 级、以及第 4 级顺序输出信号以便依次由各线驱动有机发光显示器的显示区域。

有一外部控制电路（未图示）提供该驱动电路的各输入信号，即启动脉冲 SP、第一至第四时钟 CLK1 至 CLK4、以及电源电压 VDD。

图 6 是示出图 5 所示的扫描驱动电路其中一级的第一实施例的电路图。图 7 是示出图 6 所示的该级的输入/输出波形其第一实施例的时序图。

如图 6 所示，本发明实施例中，每一级其中包括的各晶体管全部为 PMOS 晶体管。每一级通过扫描驱动电路顺序发送一低电平输出。具体来说，本发明一实施例的扫描驱动电路对多数时候为诸如有机发光显示器这类有源矩阵型显示设备的显示区域输出一高电平，并通过如图 6 和图 7 所示的多级顺序输出一低电平脉冲。

参照图 6，该级包括第一 PMOS 晶体管 M1、第二 PMOS 晶体管 M2、第三 PMOS 晶体管 M3、第四 PMOS 晶体管 M4、第五 PMOS 晶体管 M5、以及第一电容器 C1。第一 PMOS 晶体管 M1 包括与第二时钟端 ck2 相连接的栅极，接收前一级的输出电压 Si 或第一启动脉冲 SP，并有选择地将前一级的输出电压 Si 或第一启动脉冲 SP 送至第一节点 N1。第二 PMOS 晶体管 M2 包括与第一节点 N1 相连接的栅极，并连接于第三时钟端 ck3 和第二节点 N2 两者间。第三 PMOS 晶体管 M3 包括与第一时钟端 ck1 相连接的栅极，并连接于接地和第三节点 N3 两者间。第四 PMOS 晶体管 M4 包括与第一节点 N1 相连接的栅极，并连接于第一时钟端 ck1 和第三节点 N3 两者间。第五 PMOS 晶体管 M5 包括与第三节点 N3 相连接的栅极，并连接于电源

线 VDD 和第二节点 N2 两者间。第一电容器 C1 连接于第一节点 N1 和第二节点 N2 两者间, 并保持一预定电压。

尽管示出 M3 与地连接, 但 M3 也可以作为替代与负电压 VSS 连接。

下面通过图 6 所示的各级当中的第 (4k-3) 级电路配置、具体参照第 1 级来说明各级的动作, 该第 1 级其具有的第一时钟端 ck1 与第一时钟 CLK1 连接, 第二时钟端 ck2 与第二时钟 CLK2 连接, 第三时钟端 ck3 与第三时钟 CLK3 连接。

参照图 6 和图 7, 扫描驱动电路的每一级可以随第一时钟 CLK1、第二时钟 CLK2、第三时钟 CLK3、以及第四时钟 CLK4 将一个周期分为预充电时间、输入时间、评估时间、以及静态时间。预充电时间期间, 有一低电平信号输入至该级的第一时钟端 ck1, 有一高电平信号输入至第二时钟端 ck2 和第三时钟端 ck3 对该级的电容器 C1 进行预充电。输入时间期间, 有一低电平信号输入至第二时钟端 ck2, 有一高电平信号输入至第一时钟端 ck1 和第三时钟端 ck3。接着, 有一启动脉冲 SP 或前一级的一扫描信号 Si 经输入端输入至第一节点 N1, 并存储于电容器 C1 中。评估时间期间, 有一低电平信号输入至第三时钟端 ck3, 有一高电平信号输入至第一时钟端 ck1 和第二时钟端 ck2, 以便该级在预定时间内输出一低电平信号。接着, 有一启动脉冲 SP 或前一级的一扫描信号 Si 经输入端输入。评估时间期间, 有一低电平信号输入至第三时钟端 ck3, 有一高电平信号经第一时钟端 ck1 和第二时钟端 ck2 输入, 以便该级使一低电平脉冲的扫描信号移位一预定时间输出。此外, 静态时间为未输入至该级的第四时钟 CLK4 具有低电平这一时间周期。

预充电时间期间, 当第一时钟 CLK1 为低电平时, 第三 PMOS 晶体管 M3 导通以便第三节点 N3 的电压为接地电压。因而, 第五 PMOS 晶体管 M5 导通以便经一输出端 out 输出电源电压 VDD 的电压, 其结果是有一高电平电压输出给输出端 out。也就是说, 所输出的扫描信号具有高电平。接着, 输入时间期间, 第二时钟 CLK2 变为低电平, 启动脉冲 SP 或前一级的扫描信号 Si 经第一 PMOS 晶体管 M1 送至第一节点 N1, 并将启动脉冲 SP 或前一级的扫描信号 Si 存储于电容器 C1 中。此时, 启动脉冲 SP 或前一级的扫描信号 Si 较低, 因

而第二 PMOS 晶体管 M2 和第四 PMOS 晶体管 M4 导通。接下来，第一时钟 CLK1 变为高电平来使第三 PMOS 晶体管 M3 截止。当第三 PMOS 晶体管 M3 截止和第四 PMOS 晶体管 M4 导通时，高电平的第一时钟 CLK1 送至第三节点 N3 以使第五 PMOS 晶体管 M5 截止。此时，第二 PMOS 晶体管 M2 截止，以便输出端随高电平的第三时钟 CLK3 输出高电平信号。而且，评估时间期间，第三时钟 CLK 变为低电平来使第一 PMOS 晶体管 M1 浮动。这使得电容器 C1 保持低电平信号，由此使第二 PMOS 晶体管 M2 和第四 PMOS 晶体管 M4 导通。与之相反，第三 PMOS 晶体管 M3 和第五 PMOS 晶体管 M5 截止。因此，有一低电平信号随低电平的第三时钟 CLK3 输出至输出端 out。

也就是说，输出端 out 在预充电时间期间由电源线 VDD 输出一高电平电压，并在输入时间期间由电容器 C1 保持一高电平电压。接着，评估时间期间，输出与低电平的第三时钟 CLK3 相对应的电压。当第三时钟 CLK3 为低电平时，输出端 out 其电压降低。与之相反，当第三时钟 CLK3 变为高电平时，输出端 out 其电压再次变为高电平。因而，输出端 out 输出一扫描信号。接着，静态时间期间，所传送的第一时钟 CLK1、第二时钟 CLK2、以及第三时钟 CLK3 具有高电平，但低电平的第四时钟 CLK4 未送至该级，以便该级响应各时钟不动作。

因而，当没有低电平信号输入至每一级中的输入端时，第二 PMOS 晶体管 M2 截止，以便输出端 out 保持一高电平信号。因而，仅当每一级接收启动脉冲 SP 或前一级的低电平信号时，便输出一其结果是顺序输出该扫描信号的低电平信号。

图 8 是示出图 5 所示的扫描驱动电路其中一级的第二实施例的电路图。参照图 8，一级的第二实施例其中包括第一 PMOS 晶体管 M1、第二 PMOS 晶体管 M2、第三 PMOS 晶体管 M3、第四 PMOS 晶体管 M4、第五 PMOS 晶体管 M5、以及电容器 C1。

第一 PMOS 晶体管 M1 响应第二时钟 CLK2 将一输入信号送至第一节点 N1，第二 PMOS 晶体管 M2 将第三时钟 CLK3 送至与第一节点 N1 的电压相对应的第二节点 N2。第三 PMOS 晶体管 M3 响应第一时钟 CLK1 将接地电压送至第五 PMOS 晶体管 M5 的栅极。第

四 PMOS 晶体管 M4 的栅极与输出端 out 连接, 第四晶体管 M4 将第一时钟 CLK1 送至第五 PMOS 晶体管 M5 其与输出端 out 的电压相对应的栅极。此外, 第五 PMOS 晶体管 M5 将电源线 VDD 的电压送至与其栅极的电压相对应的输出端。而且, 电容器 C1 连接于第一节点 N1 和第二节点 N2 两者间, 并保持一预定电压。

如上所述具有此构成的该级随图 7 所示的第一至第三时钟 CLK1 至 CLK3 进行接收并动作。预充电时间期间, 第五 PMOS 晶体管 M5 响应第一时钟 CLK1 导通, 以按电源线 VDD 的电压将一高电平信号输出给输出端 out。输入时间期间, 响应第二时钟 CLK2 将启动脉冲 SP 或前一级的扫描信号 Si 存储于电容器 C1。接下来, 电容器 C1 存储的电压导致第三时钟 CLK3 的电压输出, 以便输出端 out 保持一高电平信号。此时, 当输出端的电压具有低电平时, 第四 PMOS 晶体管 M4 将一高电平信号送至第五 PMOS 晶体管 M5 的栅极, 由此防止电源线 VDD 的电压送至输出端。

图 9 是示出图 5 所示的扫描驱动电路其中一级的第三实施例的电路图。图 9 所示的该级具有与图 6 情形大体相同的构成和功能。图 9 中该级与图 6 情形不同之处在于, 第六 PMOS 晶体管 M6 与第四 PMOS 晶体管 M4 的源极连接, 电源线 VDD 与第六 PMOS 晶体管 M6 的源极连接。因而, 当第三时钟 CLK3 具有低电平时, 第四 PMOS 晶体管 M4 导通, 以便电源线 VDD 的电压送至第三节点 N3, 以使第五 PMOS 晶体管 M5 截止。换言之, 并非时钟的电源线 VDD 电压送至第五 PMOS 晶体管 M5 以确保第五 PMOS 晶体管 M5 的截止状态。因而, 当第三时钟 CLK3 具有低电平时, 该级防止电源线 VDD 的电压经第五 PMOS 晶体管 M5 送至输出端。因而, 当第三时钟 CLK3 具有低电平时, 该级确保该输出端的电压降低至低电平。

图 10 是示出图 5 所示的扫描驱动电路其中一级的第四实施例的电路图。参照图 10, 图 10 中的一级具有与图 9 情形大体相同的构成和功能。具体来说, 当第三时钟 CLK3 具有低电平时, 电源线 VDD 的电压按与图 9 情形相同的方式送至第三节点 N3。图 10 中的一级与图 9 情形不同之处在于, 第三时钟 CLK3 送至第四 PMOS 晶体管 M4 的栅极, 第六 PMOS 晶体管 M6 的栅极与第三节点 N3 连接。

图 11 是示出图 5 所示的扫描驱动电路其中一级的第五实施例的

电路图。参照图 11，除了第三 PMOS 晶体管 M3 的源极和栅极接收第一时钟 CLK1 以外，图 11 中的一级具有与图 8 情形大体相同的构成和功能。因而，当第一时钟 CLK1 具有低电平时，第五 PMOS 晶体管 M5 导通。图 11 中所示的该级的其余动作与图 8 情形相同。

图 12 是图 11 所示的该级的时序图。参照图 12，图 12 中的信号波形适用于图 8 至图 11 中的各级。图 11 示出当第一至第四时钟 CLK1 至 CLK4 其中至少两个因外部影响而彼此重叠时该级的动作。

图 11 中，由于第二至第四时钟 CLK2 至 CLK4，第一和第二时钟 CLK1 和 CLK2、第二和第三时钟 CLK2 和 CLK3、以及第三和第四时钟 CLK3 和 CLK4 彼此重叠。预充电时间、输入时间、评估时间、以及静态时间当中的评估时间期间，扫描信号与第三时钟 CLK3 的动作相对应动作。根据第四时钟 CLK4 的静态时间期间，第四时钟 CLK4 未输入至该级，因而该第四时钟 CLK4 不影响该级的动作。因而，该级所输出的扫描信号随第三时钟 CLK3 的波形而变化。结果是，即便各自时钟的某些部分彼此重叠，该扫描信号的波形也不至变差。

但响应第四时钟 CLK4 评估时间结束未到达静态时间以后，当预充电时间再次出现时，驱动电源其电压便响应第一时钟 CLK1 送至输出端 out，由此使扫描信号其波形变差。这防止预充电时间以后的静态时间期间扫描信号其波形变差。

图 13 是示出图 5 所示的扫描驱动电路其中一级的第六实施例的电路图。图 14 是图 13 所示的该级的时序图。参照图 13 和图 14，该级由 NMOS 晶体管 M6、M7、M8、M9、以及 M10 构成。图 13 中的一级具有与图 6 情形大体相同的构成，相应晶体管进行与图 6 情形大体相同的动作。换言之，各晶体管 M6、M7、M8、M9、以及 M10 分别起到与 M1、M2、M3、M4、以及 M5 大体相同的作用。

本发明各示范性实施例的扫描驱动电路和使用该扫描驱动电路的有机发光显示器将输出电压从正电源电压切换至负电源电压，因而工作速度有所提高。而且，即便是送至该扫描驱动电路的时钟有误动作，扫描信号其波形的变化也不大。

尽管图示说明了本发明某些示范性实施例，本领域技术人员会理解，可以在不背离本发明原理和实质、以及权利要求及其等同方

案所限定的范围的情况下对上述实施例进行种种变化。

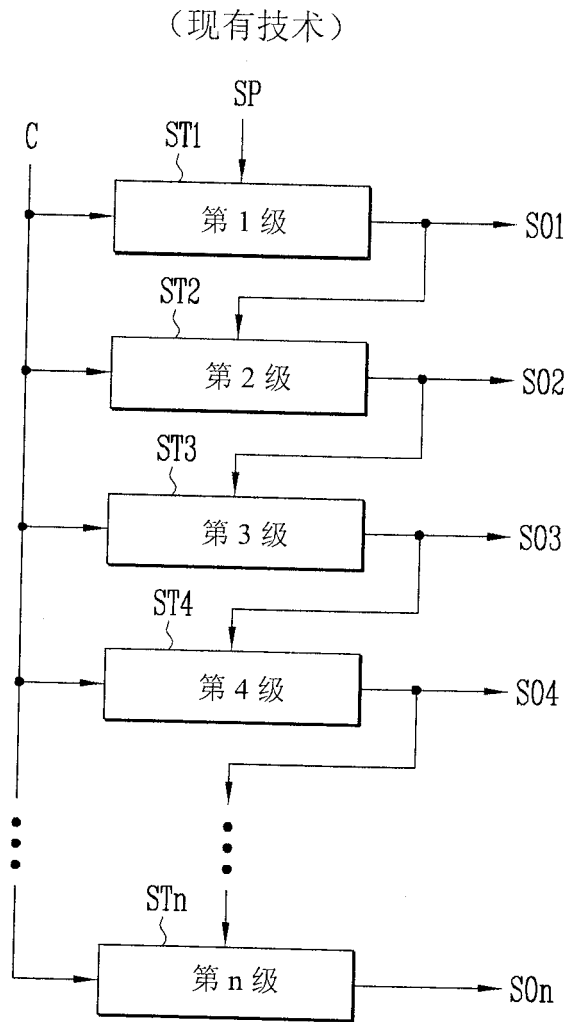


图 1

(现有技术)

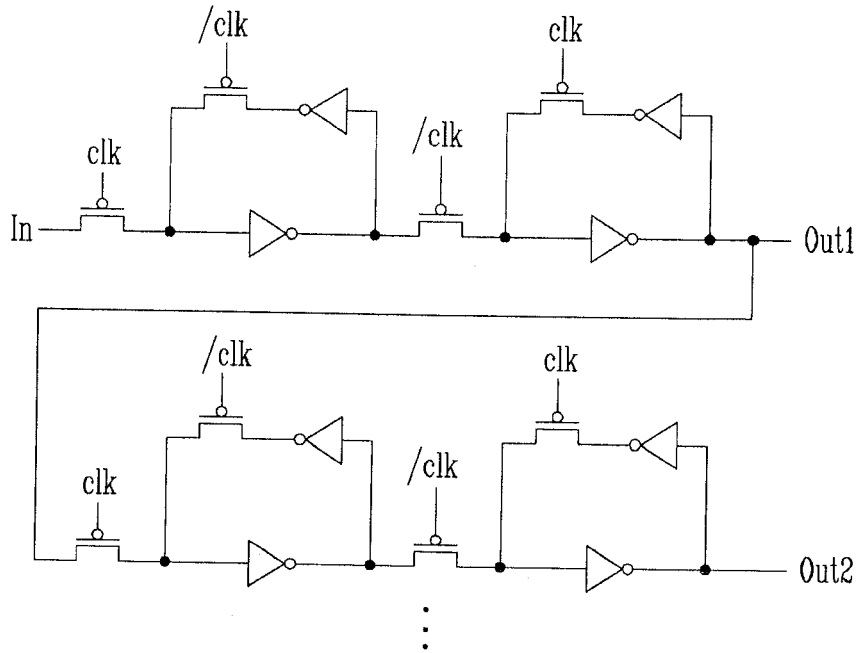


图 2

(现有技术)

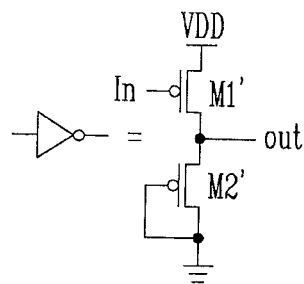


图 2A

(现有技术)

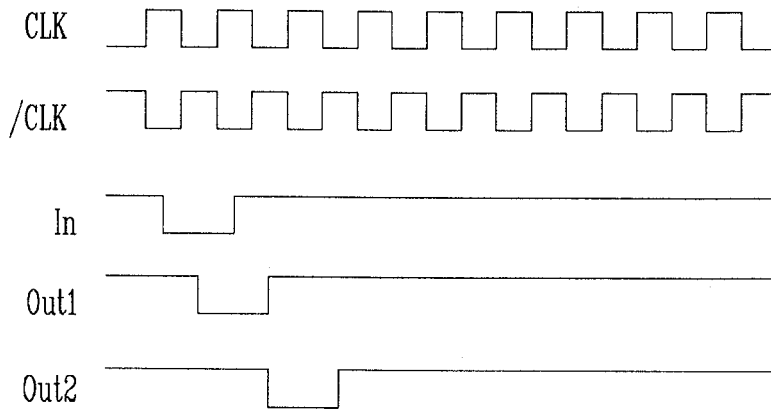


图 3

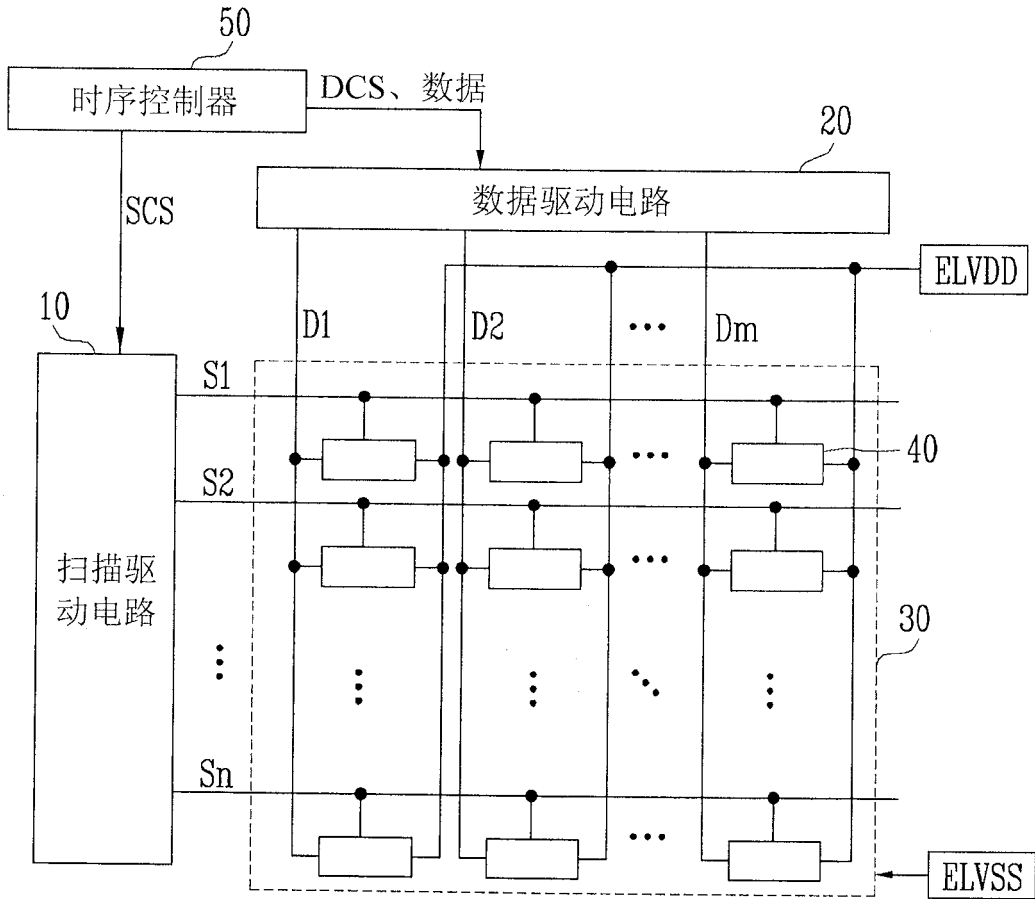


图 4

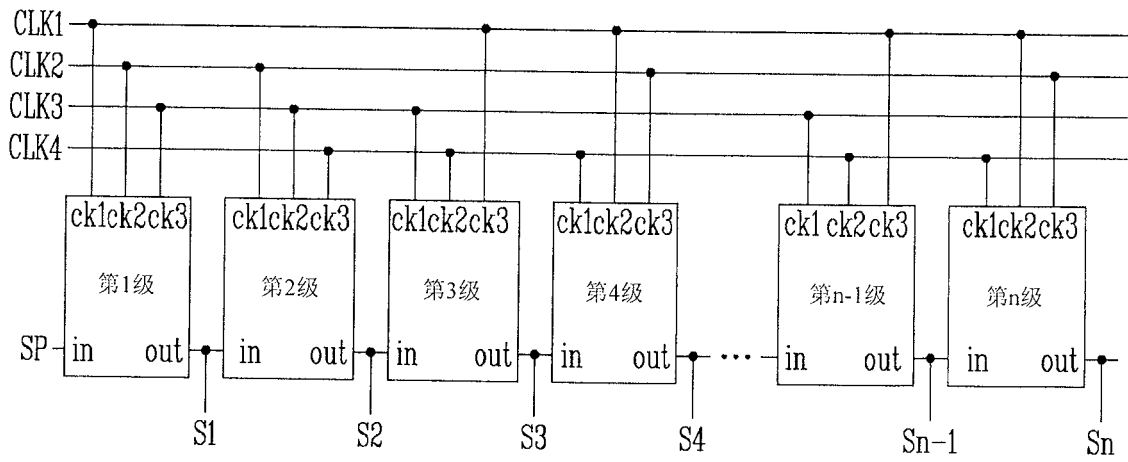


图 5

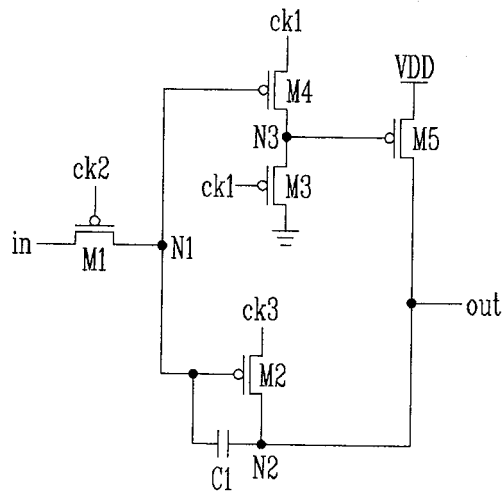


图 6

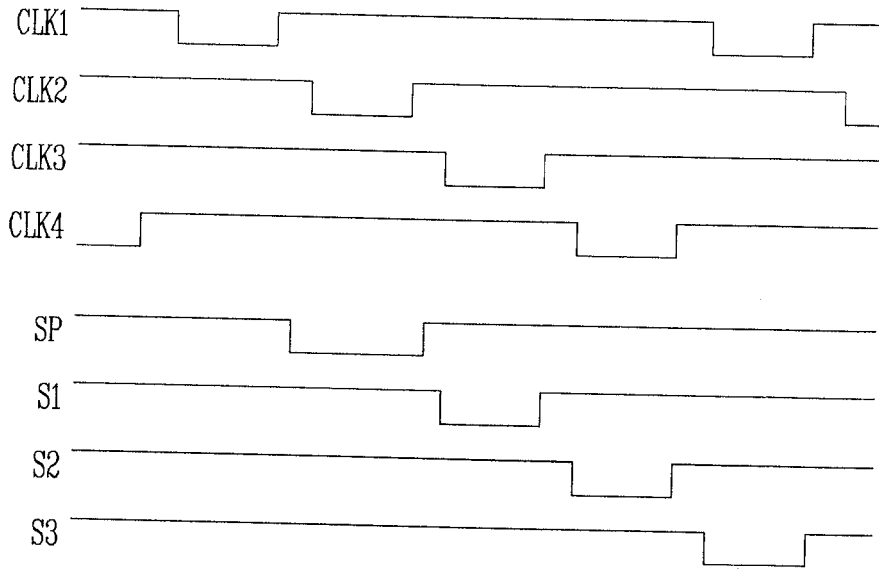


图 7

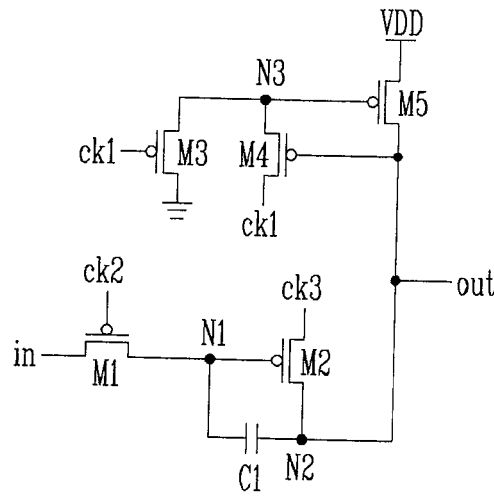


图 8

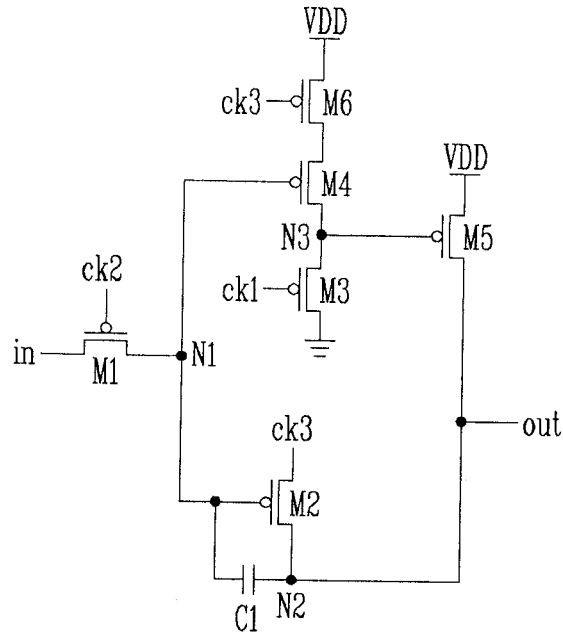


图 9

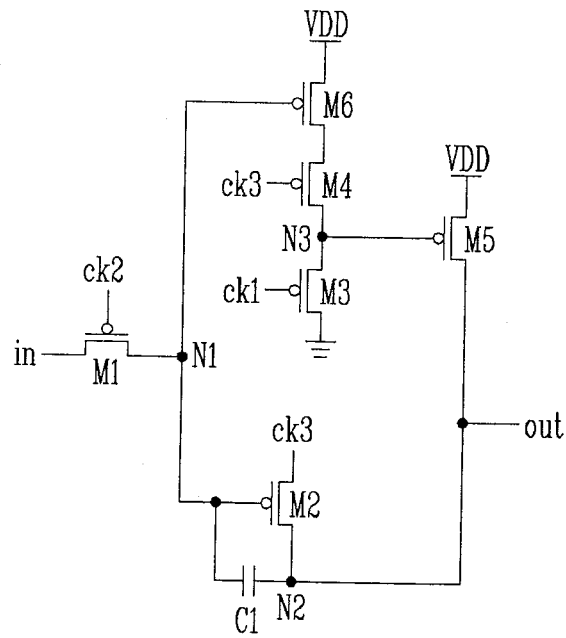


图 10

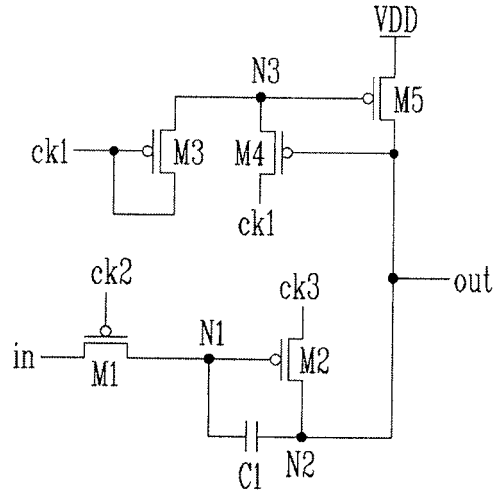


图 11

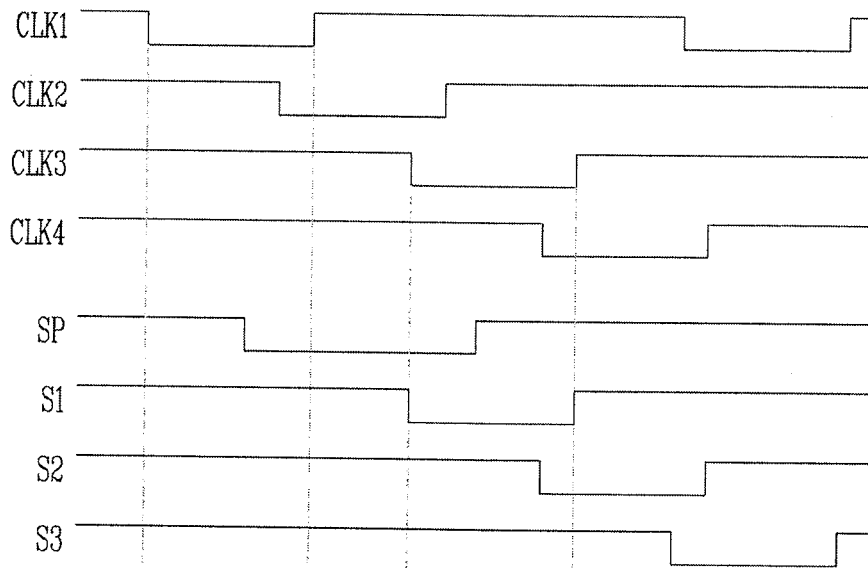


图 12

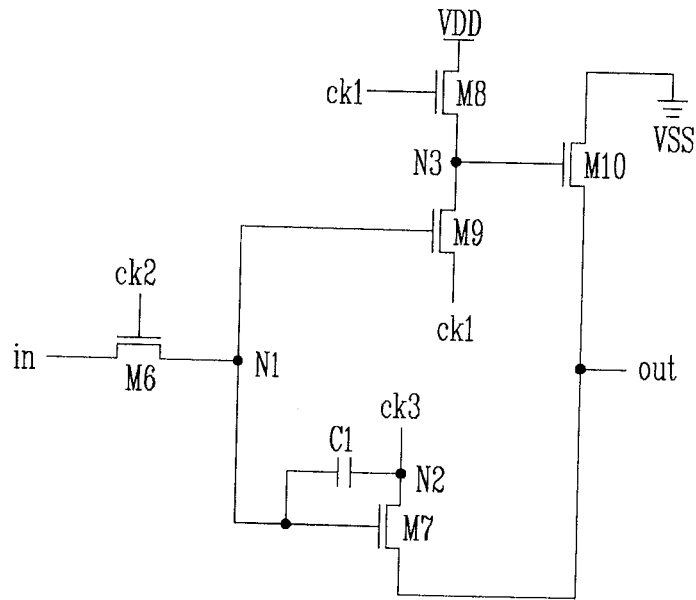


图 13

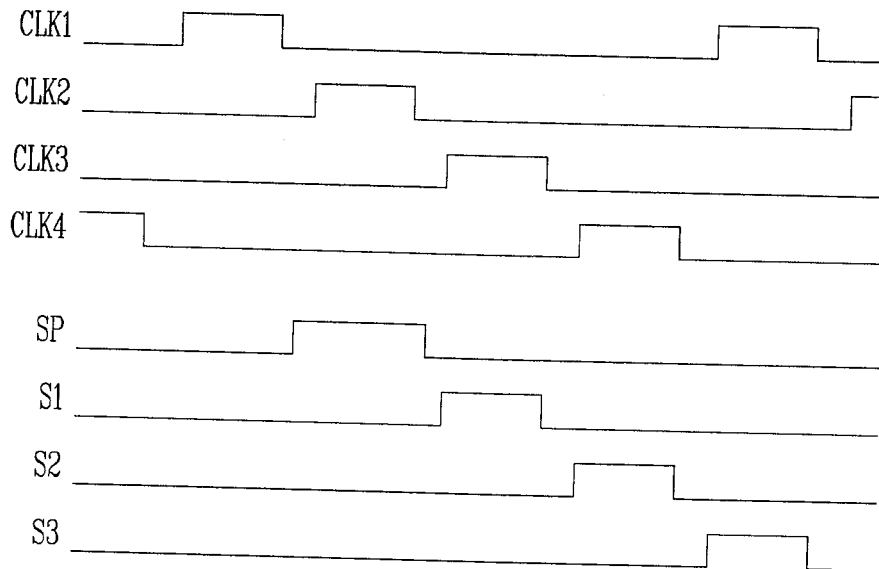


图 14

专利名称(译)	扫描驱动电路以及采用其的有机发光显示器		
公开(公告)号	CN100565642C	公开(公告)日	2009-12-02
申请号	CN200710097172.5	申请日	2007-04-10
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星SDI株式会社		
当前申请(专利权)人(译)	三星移动显示器株式会社		
[标]发明人	申东蓉		
发明人	申东蓉		
IPC分类号	G09G3/30 G09G3/22		
CPC分类号	G09G3/20 G09G2330/021 G09G2310/0286 G09G3/3266 G11C19/184 G09G3/3208		
代理人(译)	李湘 梁永		
优先权	1020060034960 2006-04-18 KR		
其他公开文献	CN101059933A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供的扫描驱动电路包括多级。每一级接收可以顺序产生的4个时钟中的3个，经输入端接收并延迟一输入信号，并经输出端输出一输出信号。每一级的输入端与各级的前一级的输出端相连接。每一级包括晶体管、开关部分以及存储部分。该晶体管随第二时钟使输入端的连接导通/截止。该开关部分随第一时钟将第一电压送至输出端，并随输入信号防止第一电压送至输出端。该存储部分将输出端的电压保持一预定时间，并随输入信号将第三时钟的电压送至输出端。

