

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/32 (2006.01)

H05B 33/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410049089.7

[45] 授权公告日 2007 年 6 月 20 日

[11] 授权公告号 CN 1322483C

[22] 申请日 2004.6.15

[21] 申请号 200410049089.7

[73] 专利权人 友达光电股份有限公司

地址 台湾省新竹市

[72] 发明人 曾戎骏 叶信宏 孙文堂

[56] 参考文献

JP6266314A 1994.9.22

JP1174185A 1989.7.10

US6498596B1 2002.12.24

CN1459085A 2003.11.26

US5708452A 1998.1.13

审查员 王 超

[74] 专利代理机构 北京市柳沈律师事务所

代理人 王志森 黄小临

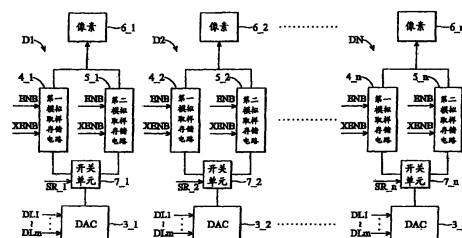
权利要求书 3 页 说明书 5 页 附图 7 页

[54] 发明名称

数据驱动电路及其有机发光二极管显示器

[57] 摘要

一种数据驱动电路，包括多条数据信号线分别在第一、二周期传输至少一组第一、二数字数据，至少一数据驱动单元，各数据驱动单元包括：数字/模拟转换器，接收一组对应的第一数字数据，将第一数字数据转换成第一模拟转换数据，及接收一组对应的第二数字数据，将第二数字数据转换成第二模拟转换数据；一开关单元，连接数字/模拟转换器，在第一周期及在第二周期中受取样信号控制而导通；第一模拟取样存储电路，连接开关单元，在第一周期受第一信号控制存储对应的第一模拟转换数据，在第二周期时受第二信号控制读出第一模拟转换数据的对应第一模拟数据到对应第一像素中；及第二模拟取样存储电路，连接开关单元，受第二信号控制存储第二模拟转换数据。



1. 一数据驱动电路, 包括:

一数据信号线在一第一周期传输至少一第一数字数据, 在一第二周期时传输至少一第二数字数据;

至少一数据驱动单元, 各该数据驱动单元包括:

一数字/模拟转换器, 接收对应的该第一数字数据, 以将该第一数字数据转换成一第一模拟转换数据, 及接收对应的该第二数字数据, 以将该第二数字数据转换成一第二模拟转换数据;

一开关单元, 连接该数字/模拟转换器, 在该第一周期及在该第二周期中受一取样信号控制而导通;

一第一模拟取样存储电路, 连接该开关单元, 在该第一周期受一第一信号控制存储对应的该第一模拟转换数据, 在该第二周期时受一第二信号控制输出对应于该第一模拟转换数据的一第一模拟数据, 到对应的第一像素中; 以及

一第二模拟取样存储电路, 连接该开关单元, 在该第二周期受该第二信号控制存储该第二模拟转换数据, 在一第三周期时受该第一信号控制输出对应于该第二模拟转换数据的一第二模拟数据, 到对应该第一像素中。

2. 如权利要求 1 所述的数据驱动电路, 其中该第一模拟取样存储电路包括:

一存储电容, 设在一恒定电压源与一第一节点之间;

一第一晶体管, 设在该恒定电压源及该第一像素间, 具有一栅极连接到该第一节点;

一第一开关, 设在该存储电容与该开关单元间, 在该第一周期与该第三周期受该第一信号控制而导通, 在该第二周期受该第一信号控制而关断; 及

一第二开关, 设在该第一晶体管以及该第一像素之间, 在该第一周期与该第三周期受该第二信号控制而关断, 在该第二周期受该第二信号控制而导通。

3. 如权利要求 2 所述的数据驱动电路, 其中该第一模拟取样存储电路的存储电容为一第一存储电容, 该第二模拟取样存储电路包括:

一第二存储电容, 设在该恒定电压源与一第二节点之间;

一第二晶体管，设在该恒定电压源及该第一像素间，具有一栅极连接到该第二节点；

一第三开关，设在该第二存储电容与该开关单元之间，在该第一周期与该第三周期受该第二信号控制而关断，在该第二周期受该第二信号控制而导通；以及

一第四开关，设在该第二晶体管以及该第一像素之间，在该第一周期与该第三周期受该第一信号控制而导通，在该第二周期受该第一信号控制而关断。

4. 如权利要求 3 所述的数据驱动电路，该开关单元包括：一第三晶体管，具有一源极连接该恒定电压源，一栅极连接该第一开关及该第三开关，及一漏极经一第六开关连接该第一、第三开关及经一第五开关连接到该数字/模拟转换器中。

5. 如权利要求 4 所述的数据驱动电路，其中该第五开关及该第六开关在该第一到第三周期受该取样信号控制而导通。

6. 一有机发光二极管显示器，包括：

多个第一像素，以阵列形式排列；

一扫描驱动电路，依序导通该多个像素中的一行像素；

一数据驱动电路，包括：

多条数据信号线，每一数据信号线在一第一周期传输至少一第一数字数据，在一第二周期时传输至少一第二数字数据；

至少一数据驱动单元，各该数据驱动单元包括：

一数字/模拟转换器，接收对应的该第一数字数据，以将该第一数字数据转换成一第一模拟转换数据，及接收对应的该第二数字数据，以将该第二数字数据转换成一第二模拟转换数据；

一开关单元，连接该数字/模拟转换器，在该第一周期及在该第二周期中受一取样信号控制而导通；

一第一模拟取样存储电路，连接该开关单元，在该第一周期受一第一信号控制存储对应的该第一模拟转换数据，在该第二周期时受一第二信号控制输出对应于该第一模拟转换数据的一第一模拟数据，到对应的第一像素中；以及

一第二模拟取样存储电路,连接该开关单元,在该第二周期受该第二信号控制存储该第二模拟转换数据,在一第三周期时受该第一信号控制输出对应于该第二模拟转换数据的一第二模拟数据,到对应的该第一像素中。

7.如权利要求6所述的有机发光二极管显示器,其中该第一模拟取样存储电路包括:

一存储电容,设在一恒定电压源与一第一节点之间;

一第一晶体管,设在该恒定电压源及该第一像素间,具有一栅极连接到该第一节点;

一第一开关,设在该存储电容与该开关单元间,在该第一周期与该第三周期受该第一信号控制而导通,在该第二周期受该第一信号控制而关断;及

一第二开关,设在该第一晶体管以及该第一像素之间,在该第一周期与该第三周期受该第二信号控制而关断,在该第二周期受该第二信号控制而导通。

8.如权利要求7所述的有机发光二极管显示器,其中该第一模拟取样存储电路的存储电容为一第一存储电容,该第二模拟取样存储电路包括:

一第二存储电容,设在该恒定电压源与一第二节点之间;

一第二晶体管,设在该恒定电压源及该第一像素间,具有一栅极连接到该第二节点;

一第三开关,设在该第二存储电容与该开关单元之间,在该第一周期与该第三周期受该第二信号控制而关断,在该第二周期受该第二信号控制而导通;以及

一第四开关,设在该第二晶体管以及该第一像素之间,在该第一周期与该第三周期受该第一信号控制而导通,在该第二周期受该第一信号控制而关断。

9.如权利要求8所述的有机发光二极管显示器,该开关单元包括:一第三晶体管,具有一源极连接该恒定电压源,一栅极连接该第一开关及该第三开关,及一漏极经一第六开关连接该第一、第三开关及经一第五开关连接到该数字/模拟转换器中。

10.如权利要求9所述的有机发光二极管显示器,其中该第五开关及该第六开关在该第一到第三周期受该取样信号控制而导通。

数据驱动电路及其有机发光二极管显示器

技术领域

本发明有关于一种数据驱动电路，特别有关于一种可避免使用数字锁存器，当清晰度增加而造成横向布局面积增加时所造成的线路布局上的困难。

背景技术

传统有源矩阵有机发光二极管(OLED)显示器(Active Matrix Organic Light Emitting Diode Display, AMOLED)的数字型数据驱动器，使用存储寄存器(数字锁存器)，在一信号线周期中作为线路缓冲器(line buffer)用以存储数字图像信号。图1A及1B显示传统上工作在一次一条信号线模式下的一6位数字型数据驱动结构10。在该结构中，在一水平扫描周期中，依序的载入多组数字图像信号，首先先载入一组数字图像信号经信号线R[5]-B[0]受寄存器SR_n的取样信号控制，输出到对应的第一级锁存器(Latch)11中，接着再载入下一组数字图像信号经信号线R[5]-B[0]受寄存器SR_{n+1}的取样信号控制，输出到对应的第一级锁存器(Latch)21中。之后，通过"LB"(line buffer)信号的控制，所有存在第一级锁存器(Latch)11、锁存器(Latch)21中的数字图像信号R[5]-B[0]会写入第二级锁存器(Latch)12、锁存器(latch)22中，同时被放进数字模拟转换器DAC-R_n、DAC-G_n、DAC-B_n中。

由于清晰度增加，数据位数会跟着增加，所以很占布局面积的存储寄存器，以及数字模拟转换器的数目也会随着增加。然而在传统排列方式下，数字型数据驱动器在横向上的布局是比较受限的。因此，当清晰度增加造成存储寄存器及数字模拟转换器的数目增加时，将会增加线路布局上的困难度。

发明内容

有鉴于此，本发明的目的在于提供一种数据驱动电路，通过使用模拟取样存储电路取代既有数字锁存器，可避免由于清晰度增加时，因为所需要的横向布局面积增加，所造成的线路布局上的困难度。

为达上述优点, 及根据本发明的目的, 本发明提供一数据驱动电路, 包括有多条数据信号线在第一周期传输至少一第一数字数据, 在第二周期时传输至少一第二数字数据; 至少一数据驱动单元, 各该数据驱动单元包括: 一数字/模拟转换器, 接收一对应的第一数字数据, 以将该第一数字数据转换成一第一模拟转换数据, 及接收一对应的第二数字数据, 以将该第二数字数据转换成一第二模拟转换数据; 一开关单元, 连接该数字/模拟转换器, 在该第一周期及在该第二周期中受一取样信号控制而导通; 一第一模拟取样存储电路, 连接该开关单元, 在该第一周期受一第一信号控制存储一对应的该第一模拟转换数据, 在该第二周期时受一第二信号控制输出对应于该第一模拟转换数据的一第一模拟数据, 到对应的第一像素中; 以及一第二模拟取样存储电路, 连接该开关单元, 受该第二信号控制存储该第二模拟转换数据, 在一第三周期时受该第一信号控制输出对应于该第二模拟转换数据的一第二模拟数据, 到对应的该第一像素中。

本发明另提出一有机发光二极管(OLED)显示器, 包括: 多个像素, 以阵列形式排列; 一扫描驱动电路, 依序导通该多个像素中的一行像素; 一数据驱动电路, 包括多条数据信号线在第一周期传输至少一第一数字数据, 在第二周期时传输至少一第二数字数据; 至少一数据驱动单元, 各该数据驱动单元包括: 一数字/模拟转换器, 接收一对应的第一数字数据, 以将该第一数字数据转换成一第一模拟转换数据, 及接收一对应的第二数字数据, 以将该第二数字数据转换成一第二模拟转换数据; 一开关单元, 连接该数字/模拟转换器, 于该第一周期及在该第二周期中受一取样信号控制而导通; 一第一模拟取样存储电路, 连接该开关单元, 在该第一周期受一第一信号控制存储一对应的第一模拟转换数据, 在该第二周期时受一第二信号控制读出对应该第一模拟转换数据的第一模拟数据, 到对应第一像素中; 以及一第二模拟取样存储电路, 连接该开关单元, 受该第二信号控制存储该第二模拟转换数据, 在一第三周期时受该第一信号控制读取对应该第二模拟转换数据的一第二模拟数据, 到对应的该第一像素中。

附图说明

为了让本发明的上述和其他目的、特征、和优点能更明显易懂, 下文特举一较佳实施例, 并配合附图, 详细说明如下:

图 1A 及 1B 显示传统数字锁存器型数据驱动结构;

图 2 为适用本发明数据驱动电路的一有机发光二极管 (OLED) 显示器;

图 3 为数据驱动电路的电路方块示意图;

图 4 为图 3 中详细电路图;

图 5 为数据驱动电路的操作时序图;

图 6 为另一较佳实施例的数据驱动电路;

相关符号说明:

数字型数据驱动结构~10; 位移寄存器~ SR_n ; 数字图像信号~ $R[5]-B[0]$; 第一级锁存器~ $Latch11$; 第二级锁存器~ $Latch12$; 数字模拟转换器~ $DAC-R_n$ 、 $DAC-G_n$ 、 $DAC-B_n$; 位移寄存器~ SR_{n+1} ; 第一级锁存器~锁存器 (Latch) 21; 第二级锁存器~ $Latch22$; 数字模拟转换器~ $DAC-R_{n+1}$ 、 $DAC-G_{n+1}$ 、 $DAC-B_{n+1}$; 有机发光二极管 (OLED) 显示器~200; 有源矩阵区域~201; 扫描驱动电路~202; 数据驱动电路~203; 多数据驱动信号线~ $DL1-DL_m$; 数据驱动单元 $D1-DN$; 数字/模拟转换器~ $3.1-3.n$; 第一模拟取样存储电路 $4.1-4.n$; 第二模拟取样存储电路~ $5.1-5.n$; 电流驱动像素~ $6.1-6.n$; 开关~ $SW1-SW6$; 晶体管 $M1-M3$ 、 $M1' -M3'$; 恒定电压源~ V_{dd} ; 存储电容~ $C1$ 、 $C2$; 节点 $N1-N3$; 第一信号~ ENB ; 第二信号~ $XENB$; 模拟转换数据~ I_DAC1 、 I_DAC1 ; 取样信号~ $SR-n$; 模拟数据~ I_DATA2 、 I_DATA2

具体实施方式

如图 2 中所示, 为适用本发明的数据驱动电路的一有机发光二极管 (OLED) 显示器 200。如图 2 中所示, 有机发光二极管 (OLED) 显示器 200 至少具有一由多个像素 (例如为电流驱动像素) 所排成的有源矩阵区域 201、一扫描驱动电路 202 以及一数据驱动电路 203。扫描驱动电路 202, 用以依序地导通有源矩阵区域 201 中的一行像素。数据驱动电路 203, 用以输出数据信号到对应像素。

图 3 为图 2 中数据驱动电路 203 的方块示意图, 数据驱动电路 203 包括多个数据驱动单元 $D1-DN$, 数据驱动单元 $D1-DN$ 包括: 数字/模拟转换器 $3.1-3.n$ 、开关单元 $7.1-7.n$ 、第一模拟取样存储电路 $4.1-4.n$ 及第二模拟取样存储电路 $5.1-5.n$ 。

每一数字/模拟转换器 $3.1-3.n$ 用以在一周期中接收多条信号线 $DL1-DL_m$ 传递一对应的数字数据以转换成对应的模拟转换数据, 例如对应的电流数据。开关单元 $7.1-7.n$, 连接对应的数字/模拟转换器 $3.1-3.n$, 在每一周期受一

取样信号 SR-1~SR-n 控制而导通;多个第一模拟存储取样电路 4-1~4-n, 连接到对应的开关单元 7-1~7-n, 可在一周期中受第一信号 ENB 的控制而存储接收到的模拟转换数据或接受一第二信号 XENB 的控制读出前一周期的模拟转换数据的对应模拟数据到对应像素 6-1~6-n 中;多个第二模拟存储取样电路 5-1~5-n, 连接到连接到对应的开关单元 7-1~7-n, 可在一周期中受一第二信号 XENB 的控制而存储接收到的模拟转换数据或接受一第一信号 ENB 的控制读出前一周期的模拟转换数据的对应模拟数据到对应像素 6-1~6-n 中。

请参阅图 4, 为图 3 中数据驱动电路 203 的详细电路, 以代表数据驱动单元 D1 为例, 数据信号线 DL1~DL6 传递一 6 位的数据 D0~D5 到一 6 位的数字/模拟转换器 3-1 中, 在本例中, 数字模拟转换器 3-1 为一 6 位的数字模拟转换器, 在此并不限定任何一形式的电路。

开关单元 7-1 具有一作为电流源的晶体管 M3, 例如为一 PMOS 晶体管。其经一开关 SW6 (第六开关) 及其一开关 SW5 (第五开关) 连接数字模拟转换器 3-1, 晶体管 M3 的源极连接到一恒定电压源 70, 例如为高电压电压源 Vdd。栅极连接该开关 SW6 一端, 漏极连接该开关 SW5 及 SW6 另一端, 其中开关 SW5 及开关 SW6 会受一取样信号 SR-1 的控制而导通。

第一模拟取样存储电路 4-1, 包括一存储电容 C1, 设在恒定电压源 70 与一节点 N1 之间;一晶体管 M1, 其源极连接该恒定电压源 70, 栅极连接该第一节点 N1, 一开关 SW1 (第一开关), 设在该存储电容 C1 与该晶体管 M3 的栅极之间, 受一第一信号 ENB 控制而导通或关断。开关 SW2 (第二开关), 设在晶体管 M1 漏极以及一节点 N3 之间, 会受一第二信号 XENB 控制而关断或导通。

第二模拟取样存储电路 5-1, 包括一存储电容 C2, 设在恒定电压源 70 与节点 N2 之间;一晶体管 M3, 其源极连接该恒定电压源 70, 栅极连接该节点 N2。开关 SW3 (第三开关), 设在该存储电容 C2 与该晶体管 M3 的栅极之间, 可受第二信号 XENB 控制而导通或关断。开关 SW4 (第四开关), 设在晶体管 M2 漏极以及节点 N3 之间, 会受第一信号 ENB 控制而导通或关断。

实际工作时, 请一并参阅图 4 及图 5, 其中图 5 为数据驱动电路 203 的操作时序图。首先, 在周期 A (第一周期) 时, 多条信号线 DL1~DL6 会传递一组数字数据 (第一数字数据) D0~D5 到数字模拟转换器 3-1 中以转换成对应的模拟转换数据 I-DAC1 (第一模拟转换数据), 例如为一电流数据。同时, 取样信号 SR-1 控制开关 SW5 及 SW6 导通, 第一信号 ENB 启用从而导通开关 SW1, 模

拟转换数据 I-DAC1 即经开关 SW5、SW6 及 SW1 存储一相对应的电压值到存储电容 C1 中。接着进入周期 B(第二周期), 第一信号 ENB 禁止从而关断开关 SW1, 存储电容 C1 中的相对应的模拟转换电压数据将导通晶体管 M1 且第二信号 XENB 启用从而导通开关 SW2, 以控制晶体管 M1 传输对应的模拟数据 I-DATA1 到像素 6-1 中。

同时, 在周期 B(第二周期)时, 多条信号线 DL1~DL6 会再传递一组数字数据(第二数字数据)到数字模拟转换器 3-1 中以转换成对应的模拟转换数据 I-DAC2(第二模拟转换数据), 例如为一电流数据。同时, 取样信号 SR-1 控制开关 SW5 及 SW6 导通, 第二信号 XENB 启用从而导通开关 SW3, 模拟转换数据 I-DAC2 即经开关 SW5、SW6 及 SW3 存储一相对应的电压值到存储电容 C2 中。同样的, 在周期 C(第三周期)时, 第二信号 XENB 禁止从而关断开关 SW3, 第一信号 ENB 启用从而导通开关 SW4, 存储电容 C2 中的相对应的模拟转换电压数据将导通晶体管 M2 且第一信号 ENB 启用从而导通开关 SW4, 以控制晶体管 M2 传输对应的模拟数据 I-DATA2 到像素 6-1 中。

图 6 为另一较佳实施例的数据驱动电路 203', 与图 4 的实施例不同处为其晶体管 M1' ~M3' 为 NMOS 晶体管, 其输入端连接到恒定电压源 71, 例如低电压源 GND, 其余皆与前一实施例相同, 在此不再赘述。

通过上述实施例, 本发明可通过在数据驱动电路中以模拟取样存储电路取代常规的数字锁存器, 可节省电路布局面积。

综上所述, 虽然本发明已以一较佳实施例公开如上, 然其并非用以限定本发明, 任何本领域技术人员, 在不脱离本发明的精神和范围的情况下, 可进行各种更动与修改, 因此本发明的保护范围当视所提出的权利要求限定的范围为准。

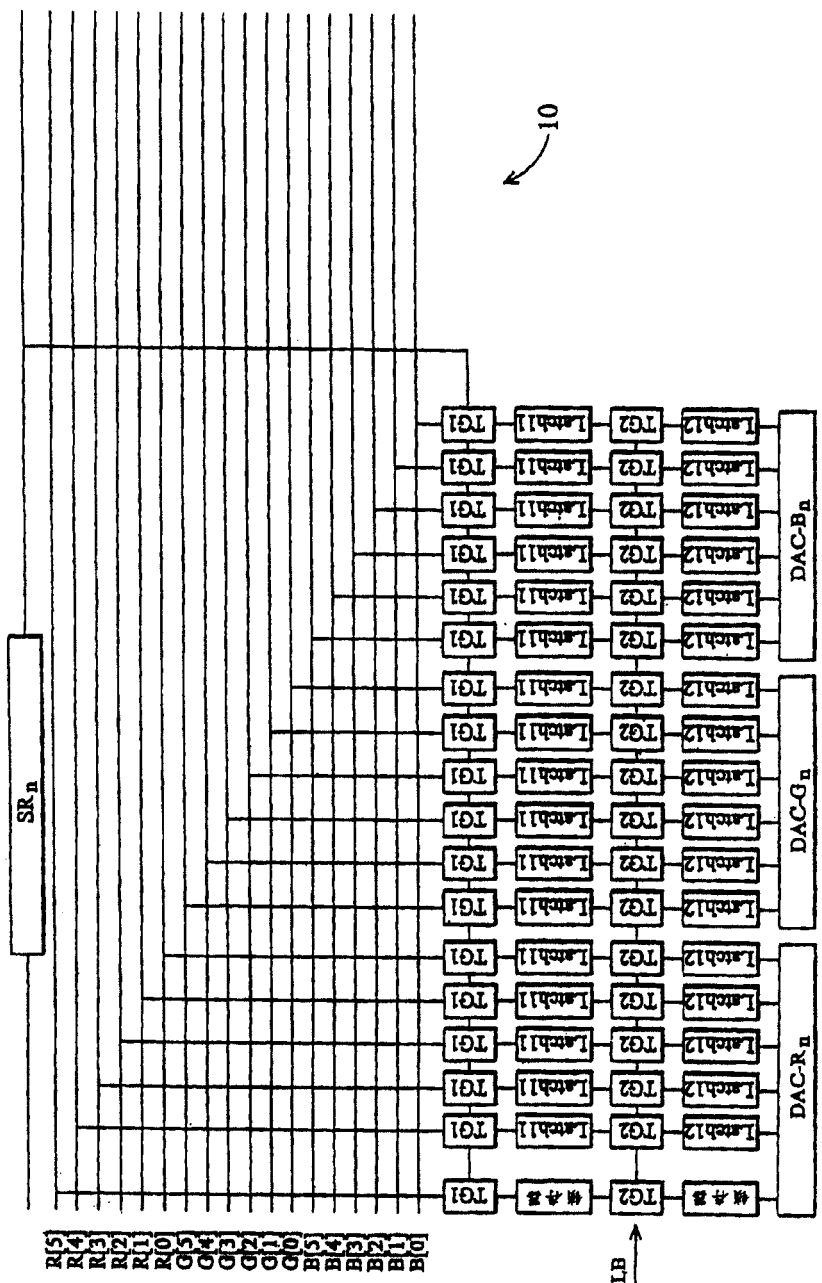


图 1A

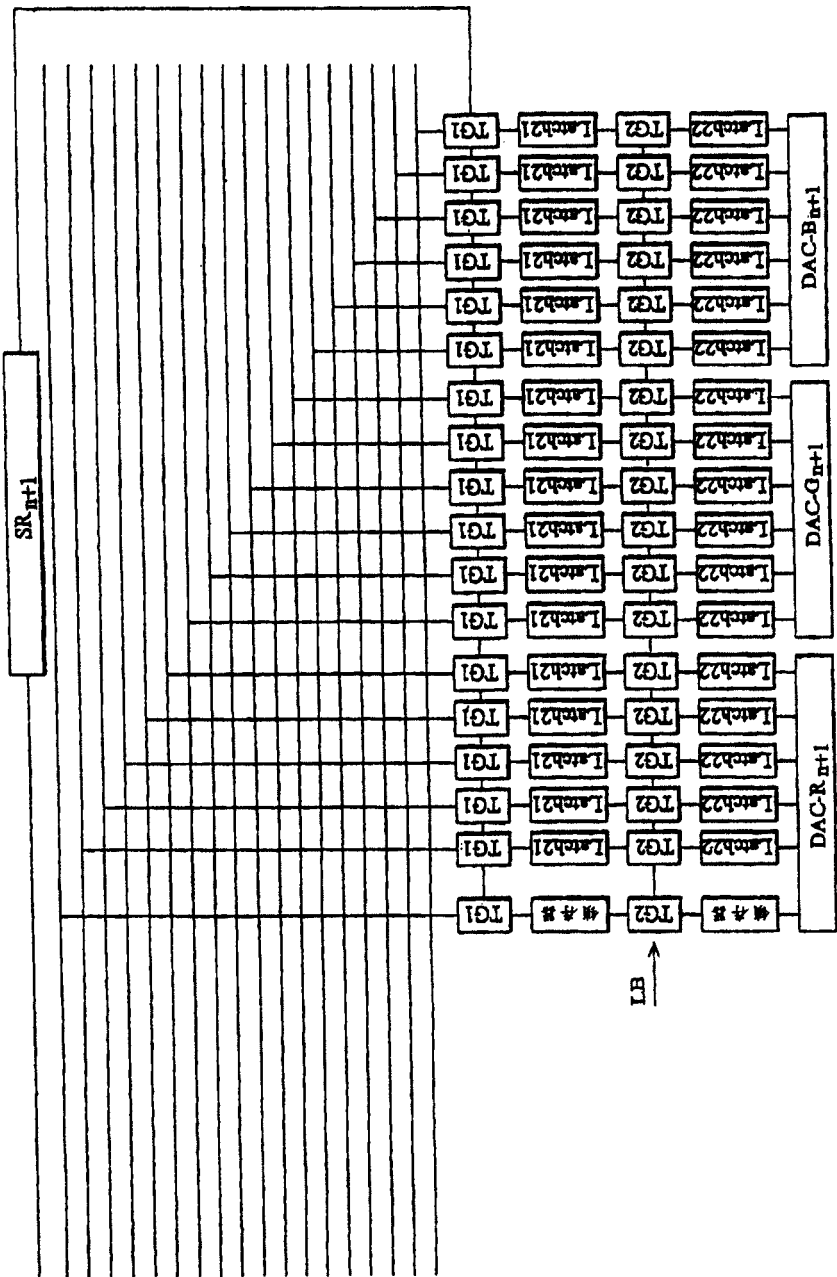


图 1B

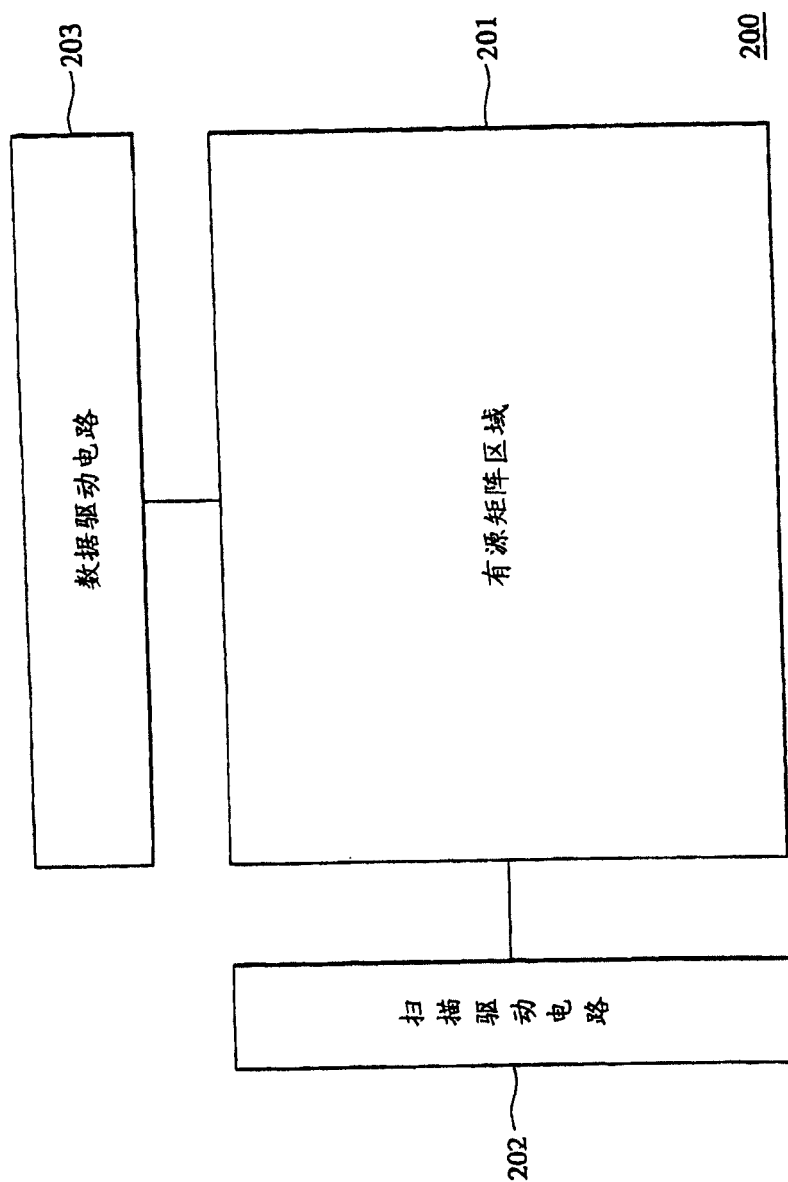


图 2

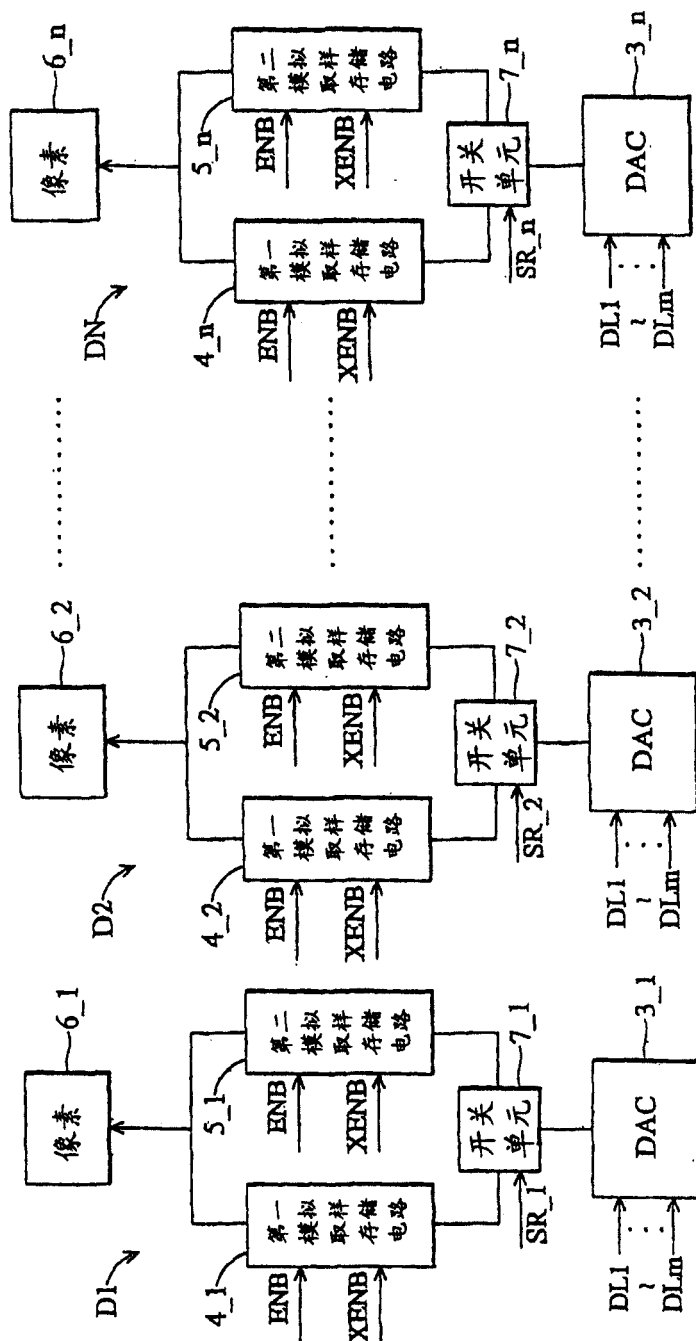


图 3

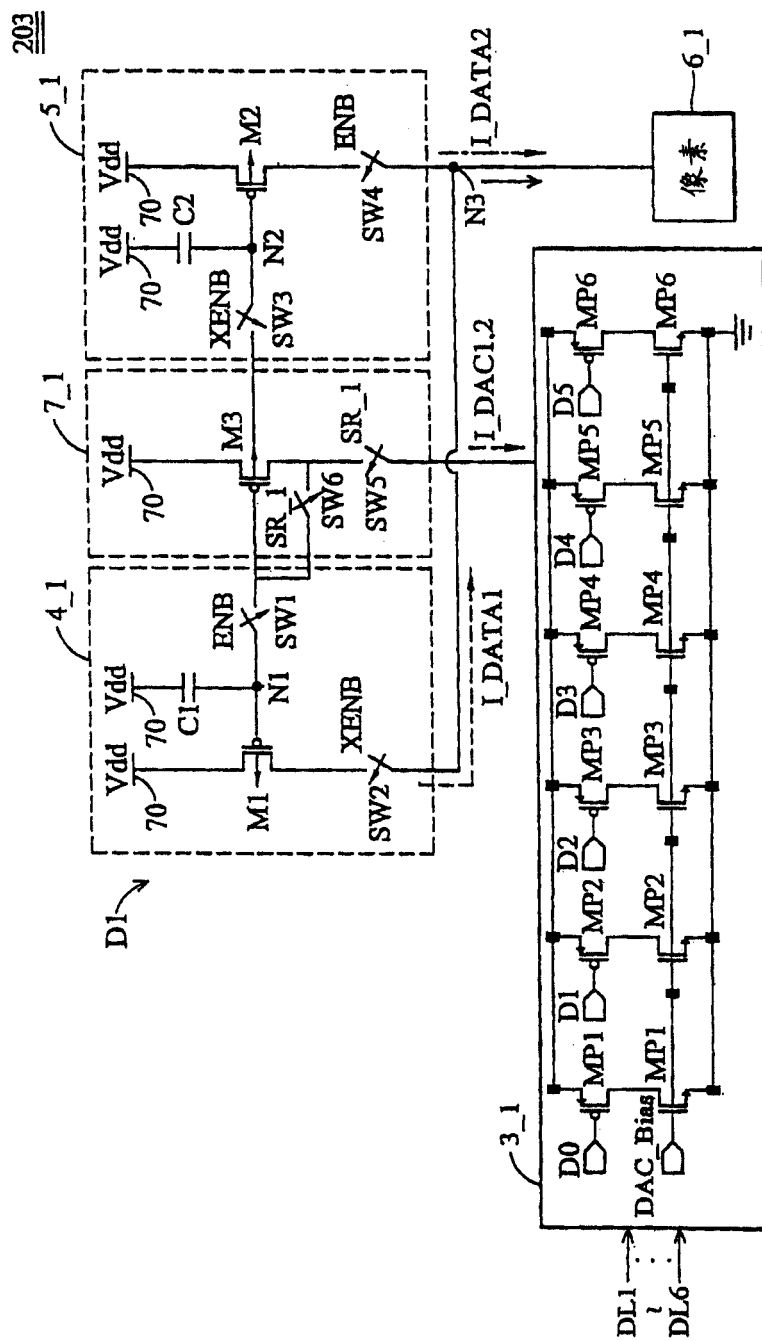


图 4

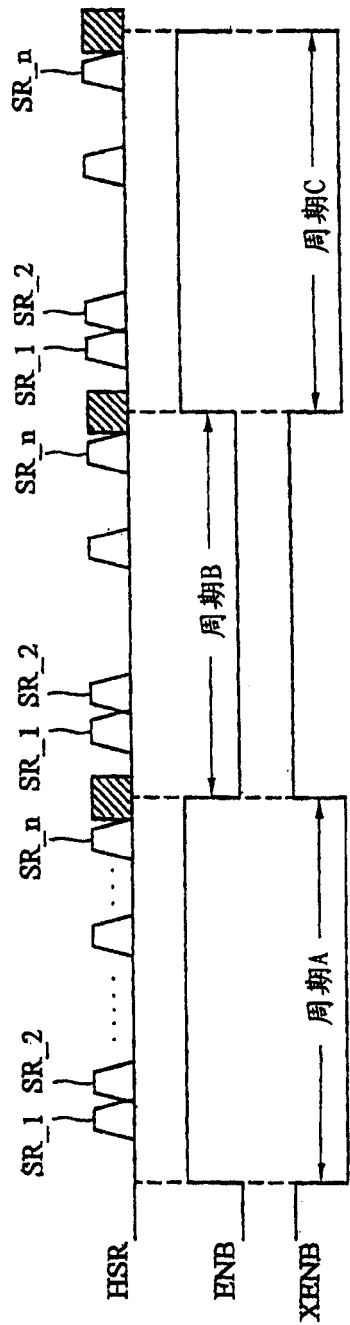


图 5

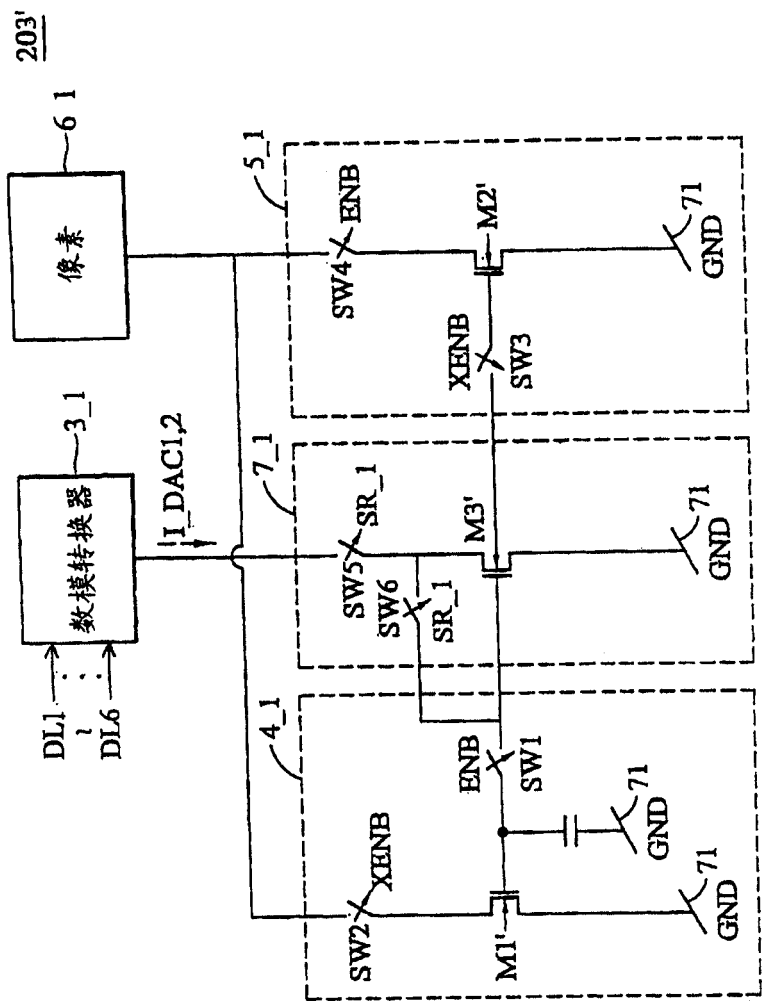


图 6

专利名称(译)	数据驱动电路及其有机发光二极管显示器		
公开(公告)号	CN1322483C	公开(公告)日	2007-06-20
申请号	CN200410049089.7	申请日	2004-06-15
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	曾戎骏 叶信宏 孙文堂		
发明人	曾戎骏 叶信宏 孙文堂		
IPC分类号	G09G3/32 H05B33/08 G09G3/3233		
CPC分类号	Y02B20/346 Y02B20/343		
代理人(译)	王志森		
审查员(译)	王超		
其他公开文献	CN1584965A		
外部链接	Espacenet SIPO		

摘要(译)

一种数据驱动电路，包括多条数据信号线分别在第一、二周期传输至少一组第一、二数字数据，至少一数据驱动单元，各数据驱动单元包括：数字/模拟转换器，接收一组对应的第一数字数据，将第一数字数据转换成第一模拟转换数据，及接收一组对应的第二数字数据，将第二数字数据转换成第二模拟转换数据；一开关单元，连接数字/模拟转换器，在第一周期及在第二周期中受取样信号控制而导通；第一模拟取样存储电路，连接开关单元，在第一周期受第一信号控制存储对应的第一模拟转换数据，在第二周期时受第二信号控制读出第一模拟转换数据的对应第一模拟数据到对应第一像素中；及第二模拟取样存储电路，连接开关单元，受第二信号控制存储第二模拟转换数据。

