

1. 一种有机发光二极管显示器,包括:
基板主体;
在所述基板主体上的第一栅极和第二半导体层;
在所述第一栅极和所述第二半导体层上的栅绝缘层;
在所述栅绝缘层上的第一半导体层和第二栅极,所述第一半导体层覆盖在所述第一栅极上,且所述第二栅极覆盖在所述第二半导体层上;
多个蚀刻阻挡层,所述多个蚀刻阻挡层接触所述第一半导体层的不同部分;
在所述第一半导体层和所述第二栅极上的夹层绝缘层,所述夹层绝缘层包括分别使所述多个蚀刻阻挡层暴露的多个接触孔;
在所述夹层绝缘层和所述多个接触孔上的第一源极和第一漏极,且所述第一源极和所述第一漏极通过所述多个蚀刻阻挡层与所述第一半导体层间接连接,或者与所述第一半导体层直接连接;以及
在所述夹层绝缘层上的第二源极和第二漏极,所述第二源极和所述第二漏极与所述第二半导体层连接。
2. 如权利要求1所述的有机发光二极管显示器,其中所述第一半导体层是氧化物半导体层。
3. 如权利要求2所述的有机发光二极管显示器,其中所述多个蚀刻阻挡层以不覆盖所述第一栅极的方式布置在所述第一栅极之外。
4. 如权利要求2所述的有机发光二极管显示器,其中所述第二半导体层包括:
在所述第二栅极下方的沟道区,和
在所述沟道区两侧的源区和漏区。
5. 如权利要求4所述的有机发光二极管显示器,其中:
所述第二半导体层的所述沟道区包括未掺杂的多晶硅层,且
所述第二半导体层的所述源区和漏区包括掺杂杂质的多晶硅层。
6. 如权利要求5所述的有机发光二极管显示器,其中所述第一栅极包括与所述第二半导体层的所述源区和漏区相同的材料,且布置在相同的平面内。
7. 如权利要求4所述的有机发光二极管显示器,其中:
所述夹层绝缘层和所述栅绝缘层进一步包括附加接触孔,所述附加接触孔使所述第二半导体层的所述源区和漏区部分暴露;且
所述第二源极和第二漏极布置在各自的附加接触孔内。
8. 如权利要求1所述的有机发光二极管显示器,其中所述多个蚀刻阻挡层直接布置在所述第一半导体层的不同部分上。
9. 如权利要求8所述的有机发光二极管显示器,其中所述第二栅极包括:
第一电极层,所述第一电极层包括与所述第一半导体层相同的材料,和
第二电极层,所述第二电极层包括与所述多个蚀刻阻挡层相同的材料。
10. 如权利要求1所述的有机发光二极管显示器,其中所述第一半导体层的不同部分直接布置在各所述多个蚀刻阻挡层的一部分上。
11. 如权利要求10所述的有机发光二极管显示器,其中所述第二栅极包括与所述多个蚀刻阻挡层相同的材料。

12. 一种制造有机发光二极管显示器的方法,所述方法包括:

在基板主体上形成第一栅极前体和第二半导体层前体,使得所述第一栅极前体和所述第二半导体层前体各自包括多晶硅层;

在所述第一栅极前体和所述第二半导体层前体上形成栅绝缘层;

在所述栅绝缘层上依次形成氧化物半导体层和金属层;

使所述氧化物半导体层和所述金属层图案化以形成第二栅极、第一半导体层和多个蚀刻阻挡层,使得所述多个蚀刻阻挡层直接布置在所述第一半导体层的不同部分上;

将杂质掺杂到所述第一栅极前体和所述第二半导体层前体中以形成第一栅极和第二半导体层;

在所述第二栅极、所述第一半导体层和所述多个蚀刻阻挡层上形成夹层绝缘层;

蚀刻所述夹层绝缘层以形成分别使所述多个蚀刻阻挡层暴露的第一源极接触孔和第一漏极接触孔;和

一起蚀刻所述夹层绝缘层和所述栅绝缘层以形成使所述第二半导体层部分暴露的第二源极接触孔和第二漏极接触孔。

13. 如权利要求 12 所述的制造有机发光二极管显示器的方法,进一步包括在所述夹层绝缘层上形成第一源极、第一漏极、第二源极和第二漏极,其中:

所述第一源极和所述第一漏极通过所述第一源极和第一漏极接触孔与所述第一半导体层直接连接,或者通过所述多个蚀刻阻挡层与所述第一半导体层间接连接,且

所述第二源极和所述第二漏极分别通过所述第二源极接触孔和第二漏极接触孔与所述第二半导体层连接。

14. 如权利要求 13 所述的制造有机发光二极管显示器的方法,其中所述多个蚀刻阻挡层以不覆盖所述第一栅极的方式布置在所述第一栅极之外。

15. 如权利要求 13 所述的制造有机发光二极管显示器的方法,其中所述第二半导体层包括:

沟道区,所述沟道区布置在所述第二栅极下方,以及

源区和漏区,所述源区和漏区布置在所述沟道区的两侧。

16. 如权利要求 15 所述的制造有机发光二极管显示器的方法,其中所述第二半导体层的所述沟道区包括未掺杂的多晶硅层,且所述第二半导体层的所述源区和漏区包括掺杂杂质的多晶硅层。

17. 如权利要求 16 所述的制造有机发光二极管显示器的方法,其中所述第一栅极以与所述第二半导体层的所述源区和漏区相同的方式、在相同的平面以及用相同的材料形成。

18. 如权利要求 12 所述的制造有机发光二极管显示器的方法,其中所述第二栅极包括由所述氧化物半导体层和所述金属层形成的双层结构,其中所述第一半导体层由所述氧化物半导体层形成,且其中所述多个蚀刻阻挡层由所述金属层形成。

19. 一种制造有机发光二极管显示器的方法,所述方法包括:

在基板主体上形成第一栅极前体和第二半导体层前体,使得所述第一栅极前体和所述第二半导体层前体包括多晶硅层;

在所述第一栅极前体和所述第二半导体层前体上形成栅绝缘层;

在所述栅绝缘层上形成金属层;

使所述金属层图案化以形成第二栅极和多个蚀刻阻挡层；

将杂质掺杂到所述第一栅极前体和所述第二半导体层前体中以形成第一栅极和第二半导体层；

在所述多个蚀刻阻挡层上形成氧化物半导体层；

使所述氧化物半导体层图案化以形成第一半导体层，使得所述第一半导体层的不同部分至少部分覆盖在各所述多个蚀刻阻挡层的一部分上；

在所述第二栅极、所述多个蚀刻阻挡层和所述第一半导体层上形成夹层绝缘层；

蚀刻所述夹层绝缘层以形成第一源极接触孔和第一漏极接触孔，使得所述第一源极接触孔和第一漏极接触孔分别使所述多个蚀刻阻挡层暴露；和

一起蚀刻所述夹层绝缘层和所述栅绝缘层以形成第二源极接触孔和第二漏极接触孔，使得所述第二源极接触孔和第二漏极接触孔使所述第二半导体层部分暴露。

20. 如权利要求 19 所述的制造有机发光二极管显示器的方法，进一步包括在所述夹层绝缘层上形成第一源极、第一漏极、第二源极和第二漏极，其中：

所述第一源极和所述第一漏极通过所述第一源极和第一漏极接触孔与所述第一半导体层直接连接，或者通过所述多个蚀刻阻挡层与所述第一半导体层间接连接，且

所述第二源极和所述第二漏极分别通过所述第二源极接触孔和第二漏极接触孔与所述第二半导体层连接。

21. 如权利要求 20 所述的制造有机发光二极管显示器的方法，其中所述多个蚀刻阻挡层以不覆盖所述第一栅极的方式布置在所述第一栅极之外。

22. 如权利要求 20 所述的制造有机发光二极管显示器的方法，其中所述第二半导体层包括：

沟道区，所述沟道区布置在所述第二栅极下方，以及

源区和漏区，所述源区和漏区布置在所述沟道区的两侧。

23. 如权利要求 22 所述的制造有机发光二极管显示器的方法，其中所述第二半导体层的所述沟道区包括未掺杂的多晶硅层，且所述第二半导体层的所述源区和漏区包括掺杂杂质的多晶硅层。

24. 如权利要求 23 所述的制造有机发光二极管显示器的方法，其中所述第一栅极以与所述第二半导体层的所述源区和漏区相同的方式、在相同的平面以及用相同的材料形成。

有机发光二极管显示器及其制造方法

技术领域

[0001] 本发明的实施方式涉及有机发光二极管显示器及制造该有机发光二极管显示器的方法。

背景技术

[0002] 有机发光二极管 (OLED) 显示器是由有机发光二极管显示图像的自发光显示装置。与液晶显示器 (LCD) 不同,有机发光二极管显示器无需单独的光源,并可具有较小的厚度和重量。此外,由于有机发光二极管显示器呈现出高质量特性,例如低功耗、高亮度和短响应时间,它作为便携式电子装置的下一代显示装置而引人注目。

[0003] 近来,具有氧化物薄膜晶体管的有机发光二极管显示器特别引人注目。氧化物薄膜晶体管是氧化物半导体类薄膜晶体管。氧化物薄膜晶体管可具有比非晶硅类薄膜晶体管更高的电子迁移率和可靠性,并可呈现出优异的整体性能特性。因此,具有这种薄膜晶体管的有机发光二极管显示器可在构造透明显示装置中具有优势。

[0004] 与多晶硅类薄膜晶体管相比,尽管氧化物薄膜晶体管可呈现出优异的均匀性,但在电子迁移率上较差。因此,如果有机发光二极管显示器仅由氧化物薄膜晶体管形成,有机发光二极管显示器在整体能力上受限。

[0005] 此背景技术章节中公开的以上信息仅用于增强对本发明背景的理解,因此它可能会包含不构成在该国对本领域普通技术人员已知的现有技术的信息。

发明内容

[0006] 本发明的实施方式涉及有机发光二极管显示器及制造所述有机发光二极管显示器的方法,所述有机发光二极管显示器相比现有技术得到改善。

[0007] 实施方式的一个特点是提供了能够以相对简单的结构稳定地使用氧化物半导体层和多晶硅半导体层的有机发光二极管显示器。

[0008] 实施方式的另一个特点是提供以简单有效的方式制造有机发光二极管的方法。

[0009] 至少一个以上和其它特点和优点可通过提供有机发光二极管显示器来实现,所述有机发光二极管显示器包括:基板主体;所述基板主体上的第一栅极和第二半导体层;在所述第一栅极和所述第二半导体层上的栅绝缘层;在所述栅绝缘层上的第一半导体层和第二栅极,所述第一半导体层覆盖在所述第一栅极上,且所述第二栅极覆盖在所述第二半导体层上;多个蚀刻阻挡层,所述多个蚀刻阻挡层接触所述第一半导体层的不同部分;在所述第一半导体层和所述第二栅极上的夹层绝缘层,所述夹层绝缘层包括分别使所述多个蚀刻阻挡层暴露的多个接触孔;在所述夹层绝缘层和所述多个接触孔上的第一源极和第一漏极,所述第一源极和所述第一漏极通过所述多个蚀刻阻挡层间接与所述第一半导体层连接,或者直接与所述第一半导体层连接;以及在所述夹层绝缘层上的第二源极和第二漏极,所述第二源极和所述第二漏极与所述第二半导体层连接。

[0010] 所述第一半导体层可以是氧化物半导体层。

[0011] 所述多个蚀刻阻挡层可以不覆盖所述第一栅极的方式布置在所述第一栅极之外。

[0012] 所述第二半导体层可包括在所述第二栅极下方的沟道区、以及在所述沟道区两侧的源区和漏区。

[0013] 所述第二半导体层的沟道区可包括未掺杂的多晶硅层,且所述第二半导体层的源区和漏区可包括掺杂杂质的多晶硅层。

[0014] 所述第一栅极可包括与所述第二半导体层的所述源区和漏区相同的材料,且可布置在与所述第二半导体层的所述源区和漏区相同的平面内。

[0015] 所述夹层绝缘层和所述栅绝缘层可进一步包括附加接触孔,所述附加接触孔使所述第二半导体层的所述源区和漏区部分暴露;且所述第二源极和第二漏极可布置在各自的附加接触孔中。

[0016] 所述多个蚀刻阻挡层可直接布置在所述第一半导体层的不同部分上。

[0017] 所述第二栅极可包括第一电极层和第二电极层,所述第一电极层包括与所述第一半导体层相同的材料,且所述第二电极层包括与所述多个蚀刻阻挡层相同的材料。

[0018] 所述第一半导体层的不同部分可直接布置在各所述多个蚀刻阻挡层的一部分上。

[0019] 所述第二栅极可包括与所述多个蚀刻阻挡层相同的材料。

[0020] 至少一个以上和其它特点和优点还可通过提供制造有机发光二极管显示器的方法来实现,所述方法包括:在基板主体上形成第一栅极前体和第二半导体层前体,使得所述第一栅极前体和所述第二半导体层前体各自包括多晶硅层;在所述第一栅极前体和所述第二半导体层前体上形成栅绝缘层;在所述栅绝缘层上依次形成氧化物半导体层和金属层;使所述氧化物半导体层和所述金属层图案化以形成第二栅极、第一半导体层和多个蚀刻阻挡层,使得所述多个蚀刻阻挡层直接布置在所述第一半导体层的不同部分上;将杂质掺杂到所述第一栅极前体和所述第二半导体层前体中以形成第一栅极和第二半导体层;在所述第二栅极、所述第一半导体层和所述多个蚀刻阻挡层上形成夹层绝缘层;蚀刻所述夹层绝缘层以形成分别使所述多个蚀刻阻挡层暴露的第一源极接触孔和第一漏极接触孔;以及一起蚀刻所述夹层绝缘层和所述栅绝缘层以形成使所述第二半导体层部分暴露的第二源极接触孔和第二漏极接触孔。

[0021] 所述方法可进一步包括在所述夹层绝缘层上形成第一源极、第一漏极、第二源极和第二漏极,其中所述第一源极和所述第一漏极可通过所述第一源极和第一漏极接触孔直接与所述第一半导体层连接,或者可通过所述多个蚀刻阻挡层与所述第一半导体层间接连接,且所述第二源极和所述第二漏极可分别通过所述第二源极接触孔和第二漏极接触孔与所述第二半导体层连接。

[0022] 所述多个蚀刻阻挡层可以不覆盖所述第一栅极的方式布置在所述第一栅极之外。

[0023] 所述第二半导体层可包括沟道区、以及源区和漏区,所述沟道区布置在所述第二栅极下方,所述源区和漏区布置在所述沟道区的两侧。

[0024] 所述第二半导体层的所述沟道区可包括未掺杂的多晶硅层,且所述第二半导体层的所述源区和漏区可包括掺杂杂质的多晶硅层。

[0025] 所述第一栅极可以与所述第二半导体层的所述源区和漏区相同的方式、在相同的平面以及用相同的材料形成。

[0026] 所述第二栅极可包括由所述氧化物半导体层和所述金属层形成的双层结构,其中

所述第一半导体层可由所述氧化物半导体层形成,所述多个蚀刻阻挡层可由所述金属层形成。

[0027] 至少一个以上和其它特点和优点还可通过提供制造有机发光二极管显示器的方法来实现,所述方法包括:在基板主体上形成第一栅极前体和第二半导体层前体,使得所述第一栅极前体和所述第二半导体层前体包括多晶硅层;在所述第一栅极前体和所述第二半导体层前体上形成栅绝缘层;在所述栅绝缘层上形成金属层;使所述金属层图案化以形成第二栅极和多个蚀刻阻挡层;将杂质掺杂到所述第一栅极前体和所述第二半导体层前体中以形成第一栅极和第二半导体层;在所述多个蚀刻阻挡层上形成氧化物半导体层;使所述氧化物半导体层图案化以形成第一半导体层,使得所述第一半导体层的不同部分至少部分覆盖在各所述多个蚀刻阻挡层的一部分上;在所述第二栅极、所述多个蚀刻阻挡层和所述第一半导体层上形成夹层绝缘层;蚀刻所述夹层绝缘层以形成第一源极接触孔和第一漏极接触孔,使得所述第一源极接触孔和第一漏极接触孔分别使所述多个蚀刻阻挡层暴露;以及一起蚀刻所述夹层绝缘层和所述栅绝缘层以形成第二源极接触孔和第二漏极接触孔,使得所述第二源极接触孔和第二漏极接触孔使所述第二半导体层部分暴露。

[0028] 所述方法可进一步包括在所述夹层绝缘层上形成第一源极、第一漏极、第二源极和第二漏极,其中所述第一源极和所述第一漏极可通过所述第一源极和第一漏极接触孔直接与所述第一半导体层连接,或者可通过所述多个蚀刻阻挡层与所述第一半导体层间接连接,且所述第二源极和所述第二漏极可分别通过所述第二源极接触孔和第二漏极接触孔与所述第二半导体层连接。

[0029] 所述多个蚀刻阻挡层可以不覆盖所述第一栅极的方式布置在所述第一栅极之外。

[0030] 所述第二半导体层可包括沟道区、以及源区和漏区,所述沟道区布置在所述第二栅极下方,所述源区和漏区布置在所述沟道区的两侧。

[0031] 所述第二半导体层的所述沟道区可包括未掺杂的多晶硅层,且所述第二半导体层的所述源区和漏区可包括掺杂杂质的多晶硅层。

[0032] 所述第一栅极可以与所述第二半导体层的所述源区和漏区以相同的方式、在相同的平面以及用相同的材料形成。

[0033] 所述第二栅极可包括由所述氧化物半导体层和所述金属层形成的双层结构,其中所述第一半导体层可由所述氧化物半导体层形成,所述多个蚀刻阻挡层可由所述金属层形成。

附图说明

[0034] 通过参照附图对示例性实施方式的详细说明,本发明的以上和其它特点和优点对本领域普通技术人员将变得更显而易见,其中:

[0035] 图1示出了根据一个实施方式的有机发光二极管显示器的平面示意图;

[0036] 图2示出了图1的有机发光二极管显示器像素的电路图;

[0037] 图3示出了图1的有机发光二极管显示器薄膜晶体管的局部放大截面图;

[0038] 图4~图7示出了在制造图3的薄膜晶体管的方法中各阶段的截面图;

[0039] 图8示出了根据另一个实施方式的有机发光二极管的薄膜晶体管的局部放大截面图;和

[0040] 图 9 ～图 11 示出了在制造图 8 的薄膜晶体管的方法中各阶段的截面图。

具体实施方式

[0041] 以下将参照附图更完整地说明示例性实施方式；然而，所述实施方式可以不同方式实施，并不应理解成受本文所述的实施方式限制。更确切地说，提供这些实施方式使得本公开彻底且完整，并将本发明的范围完整地传达给本领域技术人员。

[0042] 在附图中，为了清楚说明，层和区域的尺寸被放大。还应理解的是，当某一层或元件被称作是“在另一层或基板上”，或“覆盖在另一层或基板上”时，它可直接在该另一层或基板上，或者也可存在插入层。而且，应理解的是，当某一层被称作是“在另一层下方”，它可直接在下方，也可存在一个或多个插入层。此外，还应理解的是，当某一层被称作是“在两层之间”时，它可以是该两层之间的仅有的一层，或者也可存在一个或多个插入层。在全文中，相似的附图标记表示相似元件。

[0043] 此外，在实施方式中，参照相关附图在第一实施方式中通过对相同的构成元件使用相同的附图标给出了构成元件的详细说明，而在其它实施方式中仅说明了与第一实施方式相关的构成元件不同的构成元件。

[0044] 为了清楚地说明实施方式，省略了与说明无关的部分。

[0045] 此外，为了便于说明，由于随意地表示了附图中所示的各结构元件的尺寸和厚度，故实施方式不必受图示限制。

[0046] 现将参照图 1 ～图 3 说明实施方式的有机发光二极管显示器。

[0047] 如图 1 所示，根据实施方式的有机发光二极管显示器 101 可包括例如具有显示区域 DA 和非显示区域 NA 的基板主体 111。图 2 中所示的多个像素 PE 可在基板主体 111 的显示区域 DA 形成，以显示图像。可在非显示区域 NA 形成若干驱动电路。

[0048] 如图 2 所示，有机发光二极管显示器 101 的像素 PE 可具有例如包括一个有机发光二极管 70、两个薄膜晶体管 (TFT) 10 和 20、以及电容器 80 的 2Tr-1Cap 结构。然而，各实施方式不限于此。因此，在有机发光二极管显示器 101 中，像素 PE 可包括例如三个或更多个薄膜晶体管、以及两个或更多个电容器，且可在改变结构时在此形成单独的线。这样，附加的薄膜晶体管和电容器可形成补偿电路。

[0049] 补偿电路可改善各像素 PE 的有机发光二极管 70 的均匀性，以便例如防止图像质量不均匀。补偿电路可包括例如约 4 ～约 8 个薄膜晶体管。

[0050] 此外，基板主体 111 的非显示区域 NA 的驱动电路可包括附加的薄膜晶体管。

[0051] 有机发光二极管 70 可包括例如作为空穴注入电极的阳极、作为电子注入电极的阴极、以及布置在阳极和阴极之间的有机发光层。

[0052] 根据一个实施方式的两个薄膜晶体管可包括第一薄膜晶体管 10 和第二薄膜晶体管 20。

[0053] 第一薄膜晶体管 10 和第二薄膜晶体管 20 可分别包括例如栅极、半导体层、源极和漏极。第一薄膜晶体管 10 的半导体层可以是氧化物半导体层，且第二薄膜晶体管 20 的半导体层可以是多晶硅半导体层。换句话说，第一薄膜晶体管 10 可以是氧化物薄膜晶体管，且第二薄膜晶体管 20 可以是多晶硅薄膜晶体管。

[0054] 第一薄膜晶体管 10 可与有机发光二极管 70 连接。第二薄膜晶体管可与扫描线 SL

及数据线 DL 连接。

[0055] 第二薄膜晶体管 20 可以是用于选择即将说明的像素 PE 的开关 TFT。第二薄膜晶体管 20 的栅极可与扫描线 SL 连接,且第二薄膜晶体管 20 的源极可与数据线 DL 连接。第二薄膜晶体管 20 可根据输入扫描线 SL 的开关电压将由数据线 DL 输入的数据电压传输给第一薄膜晶体管 10。

[0056] 电容器 80 可与第二薄膜晶体管 20 和公用电源线 VDD 连接。电容器 80 可对应于由第二薄膜晶体管 20 传输的电压与供应到公用电源线 VDD 的电压之差而存储电压。

[0057] 第一薄膜晶体管 10 可向所选择像素 PE 中的有机发光二极管 70 供应驱动电源以使其驱动并由此发光。第一薄膜晶体管 10 的栅极可连接到与第二薄膜晶体管 20 的漏极连接的电容器 80 的一个电容器板。第一薄膜晶体管 10 的源极和电容器 80 的另一个电容器板可分别与公用电源线 VDD 连接。此外,第一薄膜晶体管 10 的漏极可与有机发光二极管 70 的阳极连接。这样,第一薄膜晶体管 10 可与公用电源线 VDD 和电容器 80 连接,从而向有机发光二极管 70 提供输出电流 I_{OLED} 。输出电流 I_{OLED} 可与电容器 80 存储的电压和阈值电压之差的平方成正比。有机发光二极管 70 可利用由第一薄膜晶体管 10 供应的输出电流 I_{OLED} 发光。

[0058] 像素 PE 的结构不限于以上所述,并可以多种方式改变。

[0059] 如图 3 所示,第一薄膜晶体管 10 可包括第一栅极 121、第一半导体层 141、第一源极 163 和第一漏极 164。第二薄膜晶体管 20 可包括第二栅极 145、第二半导体层 125、第二源极 165 和第二漏极 166。第一半导体层 141 可以是氧化物半导体层,且第二半导体层 125 可以是多晶硅半导体层。此外,第一薄膜晶体管 10 可包括与部分第一半导体层 141 接触的多个蚀刻阻挡层 143 和 144。

[0060] 将参照图 3 详细说明根据一个实施方式的第一薄膜晶体管 10 和第二薄膜晶体管 20 的结构。

[0061] 基板主体 111 可包括绝缘材料,例如玻璃、石英、陶瓷和 / 或塑料。然而,各实施方式不限于此,且基板主体 111 可由例如不锈钢的金属材料形成。

[0062] 缓冲层 115 可布置在基板主体 111 上。缓冲层 115 可包括例如多种无机和有机材料。缓冲层 115 可使表面平整,同时防止不需要的和 / 或破坏性组分侵入,如杂质元素和 / 或湿气。然而,并不是必需提供缓冲层 115,且缓冲层 115 可根据基板主体 111 的种类及加工条件而省略。

[0063] 第一栅极 121 和第二半导体层 125 可形成在缓冲层 115 上。没有缓冲层 115 时,第一栅极 121 和第二半导体层 125 可形成在基板主体 111 上。

[0064] 第二半导体层 125 可划分成例如沟道区 126、以及在沟道区 126 的两侧的源区 128 和漏区 127。第二半导体层 125 的沟道区 126 可包括例如未掺杂的多晶硅层,即本征半导体。第二半导体层 125 的源区 128 与漏区 127 可包括例如掺杂杂质的多晶硅层。在第二半导体层 125 的源区 128 与漏区 127 掺杂的杂质可以是例如 P 型杂质。P 型杂质可包括例如硼 (B) 离子型材料。然而,各实施方式不限于以上说明。因此,掺杂的杂质可以是例如 N 型杂质。N 型杂质可包括例如磷 (P) 离子型材料。

[0065] 第一栅极 121 可以以与第二半导体层 125 的源区 128 与漏区 127 相同的方式形成。也就是说,第一栅极 121 可包括例如掺杂杂质的多晶硅层。第一栅极 121 可与第二半导体

层 125 的源区 128 与漏区 127 一起形成,使得源区 128 与漏区 127 可布置在与第一栅极 121 相同的平面上。

[0066] 栅绝缘层 130 可布置在第一栅极 121 和第二半导体层 125 上。栅绝缘层 130 可包括例如氮化硅 (SiN_x) 或氧化硅 (SiO_x)。然而,用于栅绝缘层 130 的材料不限于此。

[0067] 第二栅极 145 和第一半导体层 141 可布置在栅绝缘层 130 上。此外,多个蚀刻阻挡层 143 和 144 可直接布置在部分第一半导体层 141 上。

[0068] 部分第一半导体层 141 可覆盖在第一栅极 121 上。第一半导体层 141 可包括例如氧化物半导体层。在一个实施方式中,氧化物半导体层可包括氧化物材料,该氧化物材料包括例如氧 (O) 以及镓 (Ga)、铟 (In)、锌 (Zn) 和锡 (Sn) 中的至少一种。在另一个实施方式中,第一半导体层 141 可包括混合物氧化物,例如 InZnO 、 InGaO 、 InSnO 、 ZnSnO 、 GaSnO 、 GaZnO 和 GaInZnO 。

[0069] 采用氧化物半导体的第一薄膜晶体管 10 可具有有效的电荷迁移率及约 105 ~ 约 108 的开 / 关电流比,其电荷迁移率是采用氢化非晶硅的薄膜晶体管的约两倍至约一百倍。也就是说,采用氧化物半导体的第一薄膜晶体管 10 可呈现出较优异的半导体特性。而且,在氧化物半导体层的情况下,由于带隙可为约 3.0eV ~ 约 3.5eV,不会产生可见光的泄漏光电流 (leakage optical current)。因此,可防止第一薄膜晶体管 10 的瞬间余像。此外,为了改善第一薄膜晶体管 10 的特性,第一半导体层 141 可进一步包括例如周期表中第三族、第四族或第五族的元素、或者过渡元素。

[0070] 蚀刻阻挡层 143 和 144 可包括例如金属或金属合金。金属和 / 或金属合金可包括例如铝 (Al)、钼 (Mo)、镍 (Ni)、银 (Ag)、铬 (Cr)、钛 (Ti) 和 / 或钽 (Ta)。

[0071] 第二栅极 145 可覆盖在第二半导体层 125 的沟道区 126 上。在第二半导体层 125 的形成期间,当杂质被掺杂到第二半导体层 125 的源区 128 和漏区 127 时,第二栅极 145 可防止杂质掺杂到沟道区 126。第二栅极 145 可包括例如第一电极层 1451 和第二电极层 1454,第一电极层 1451 由与第一半导体层 141 相同的材料、即氧化物半导体形成,且第二电极层 1454 由与蚀刻阻挡层 144 相同的材料、即金属材料形成在第一电极层 1451 上。这种配置可使得第一电极层 1451 与第一半导体层 141 同时形成,第二电极层 1454 与蚀刻阻挡层 144 同时形成。

[0072] 夹层绝缘层 150 可布置在第一半导体层 141、蚀刻阻挡层 143 和 144、以及第二栅极 145 上。夹层绝缘层 150 可包括分别使蚀刻阻挡层 143 和 144 暴露的第一源极接触孔 153 和第一漏极接触孔 154。此外,夹层绝缘层 150 和栅绝缘层 130 可同时包括分别使第二半导体层 125 的部分源区 128 和漏区 127 部分暴露的第二源极接触孔 155 和第二漏极接触孔 156。和栅绝缘层 130 一样,夹层绝缘层 150 可包括例如氮化硅 (SiN_x) 或氧化硅 (SiO_x),但不限于此。

[0073] 第一源极 163、第一漏极 164、第二源极 165 和第二漏极 166 可分别布置在夹层绝缘层 150 上且在接触孔 153、154、155 和 156 中。

[0074] 第一源极 163 和第一漏极 164 可互相隔离,并可通过第一源极接触孔 153 和第一漏极接触孔 154 接触上述多个蚀刻阻挡层 143 和 144。第一源极 163 和第一漏极 164 可分别通过蚀刻阻挡层 143 和 144 与第一半导体层 141 间接连接。在一个实施方式中,第一源极 163 和第一漏极 164 可通过导电蚀刻阻挡层 143 和 144 与第一半导体层 141 电连接。

[0075] 第二源极 165 和第二漏极 166 可相互分离并可分别通过第二源极接触孔 155 和第二漏极接触孔 156 接触第二半导体层 125 的源区 128 和漏区 127。

[0076] 接触孔 153、154、155 和 156 可通过例如蚀刻夹层绝缘层 150、或者一起蚀刻夹层绝缘层 150 和栅绝缘层 130 形成。在一个实施方式中,接触孔 153、154、155 和 156 可在单次蚀刻工艺中形成。特别是第二源极接触孔 155 和第二漏极接触孔 156 可通过一起蚀刻夹层绝缘层 150 和栅绝缘层 130 形成。第一源极接触孔 153 和第一漏极接触孔 154 可通过仅蚀刻夹层绝缘层 150 形成。因此,在蚀刻栅绝缘层 130 的单次工艺中,为了完成第二源极接触孔 155 和第二漏极接触孔 156,即使在第一源极接触孔 153 和第二漏极接触孔 154 完成之后,它们也可继续暴露在蚀刻溶液中。由于存在蚀刻阻挡层 143 和 144,第一源极接触孔 153 和第二漏极接触孔 154 不会被没有必要地加深,且其它周围的结构元件不会受损。因此,在根据实施方式的有机发光二极管显示器 101 中,与第二栅极 145 一起形成而无需任何单独的处理步骤的蚀刻阻挡层 143 和 144 可稳定地形成第一源极接触孔 153 和第一漏极接触孔 154。也就是说,蚀刻阻挡层 143 和 144 可有效地控制形成各接触孔 153、154、155 和 156 的蚀刻环境。

[0077] 蚀刻阻挡层 143 和 144 可由金属材料形成。相对于由例如氮化硅 (SiN_x) 或氧化硅 (SiO_x) 形成的夹层绝缘层 150 和栅绝缘层 130,金属材料可具有蚀刻选择性。

[0078] 此外,多个蚀刻阻挡层 143 和 144 可布置在第一栅极 121 之外。换句话说,蚀刻阻挡层 143 和 144 不会覆盖在第一栅极 121 上。

[0079] 如上所述,在根据该实施方式的有机发光二极管显示器 101 中,氧化物第一薄膜晶体管 10 和多晶硅第二薄膜晶体管 20 可以以相对简单的结构稳定地一起使用,从而以有效方式提高整体特性。

[0080] 也就是说,有机发光二极管显示器 101 可在整体结构上简化,使得第一薄膜晶体管 10 的第一半导体层 141、蚀刻阻挡层 143 和 144、以及第二薄膜晶体管 20 的第二栅极 145 可以一起形成,即在相同时间内由相同材料形成。此外,第一薄膜晶体管 10 的第一栅极 121 和第二薄膜晶体管 20 的第二半导体层 125 可以一起形成。而且,有机发光二极管显示器可利用蚀刻阻挡层 143 和 144 稳定形成。具体地,如上所述,蚀刻阻挡层 143 和 144 可有助于确保接触孔 153、154、155 和 156 可通过单次蚀刻工艺形成,而不会损坏第一 TFT10 的任何元件。

[0081] 可直接与有机发光二极管 70 连接以使其驱动的第一薄膜晶体管 10 可由具有较优异均匀性的氧化物薄膜晶体管形成。可用于非显示区域 (NA) 驱动电路、或者像素 (PE) 的开关或补偿电路的第二薄膜晶体管 20 可以是具有较优异电子迁移率的多晶硅薄膜晶体管。

[0082] 因此,在有机发光二极管显示器 101 中,薄膜晶体管的性能特性,如一致性和电子迁移率可与稳定性及生产率一起得到改善。

[0083] 此外,N 型第一薄膜晶体管 10 和 P 型第二薄膜晶体管 20 可结合形成用于驱动电路的 CMOS 薄膜晶体管。

[0084] 基于形成第一薄膜晶体管 10 和第二薄膜晶体管 20 的工艺,参照图 4 ~ 图 7 将说明制造根据一个实施方式的有机发光二极管显示器 101 的方法。

[0085] 首先,如图 4 所示,多晶硅层可形成在基板主体 111 上。该多晶硅层可通过例如形成非晶硅层并使非晶硅层结晶来形成。为了使非晶硅层结晶,可使用本领域普通技术人员

周知的各种方法。在一个实施方式中,非晶硅层可通过例如加热、激光、焦耳热、电场或催化剂金属来结晶。第一栅极前体 221 和第二半导体层前体 225 可通过使多晶硅层图案化来形成。

[0086] 然后,如图 5 所示,栅绝缘层 130 可形成在第一栅极前体 221 和第二半导体层前体 225 上。栅绝缘层 130 可包括例如氮化硅 (SiN_x) 和 / 或氧化硅 (SiO_x)。

[0087] 随后,氧化物半导体层 1401 和金属层 1402 可依次沉积到栅绝缘层 130 上。氧化物半导体层 1401 和金属层 1402 可例如在真空气氛中连续沉积。通过连续沉积氧化物半导体层 1401 和金属层 1402,可使氧化物半导体层 1401 沉积后和金属层 1402 沉积前的附加工艺步骤最少化,从而能防止对氧化物半导体层 1401 的不必要损坏。

[0088] 氧化物半导体层 1401 和 / 或金属层 1402 可通过例如溅射或蒸发氧化物半导体材料或金属来沉积。换句话说,氧化物半导体层 1401 和 / 或金属层 1402 可通过本领域普通技术人员周知的各种方法沉积,如物理气相沉积法 (PVD)。

[0089] 随后,如图 6 所示,被沉积的氧化物半导体层 1401 和金属层 1402 可通过例如蚀刻工艺进行图案化,由此形成第二栅极 145、第一半导体层 141、以及多个蚀刻阻挡层 143 和 144。在一个实施方式中,蚀刻工艺可包括例如二次曝光或加网曝光 (halftone exposure)。

[0090] 部分第一半导体层 141 可覆盖在第一栅极前体 221 上。多个蚀刻阻挡层 143 和 144 可形成在部分第一半导体层 141 上。此外,可形成多个蚀刻阻挡层 143 和 144,使得它们布置在第一栅极前体 221 之外,即不覆盖在第一栅极前体 221 上。优选多个蚀刻阻挡层 143 和 144 不覆盖在第一栅极前体 221 上。这是因为如果蚀刻阻挡层 143 和 144 位于杂质的通路上,蚀刻阻挡层 143 和 144 会不理想地阻止杂质掺杂到第一栅极前体 221 中。

[0091] 第二栅极 145 可覆盖在部分第二半导体层前体 225 上。此外,第二栅极 145 可包括通过图案化氧化物半导体层 1401 形成的第一电极层 1451 和通过图案化金属层 1402 形成的第二电极层 1454。

[0092] 此后,第一栅极 121 和第二半导体层 125 可通过将杂质掺杂到第一栅极前体 221 和第二半导体层前体 225 中形成。所述杂质可穿过第一半导体层 141 并可掺杂到第一栅极前体 221 中。相反,如上所述,所述杂质不会穿透蚀刻阻挡层 143 和 144。

[0093] 第二半导体层 125 可划分为例如掺杂的杂质被第二栅极 145 截取的沟道区 126、以及在未掺杂的沟道区 126 的两侧的源区 128 和漏区 127。第一栅极 121 可包括例如与第二半导体层 125 的源区 128 和漏区 127 相似的掺杂杂质的多晶硅层。图 6 的箭头表示掺杂。

[0094] 在一个实施方式中,有机发光二极管显示器 101 通过将导电掺杂杂质的多晶硅层用作第一栅极 121 而简化整体结构。也就是说,有机发光二极管显示器 101 的整个制造工艺可通过使第一栅极 121 与第二半导体层 125 一起形成而简化,即同时且由相同材料形成,而非单独形成它们。

[0095] 然后,如图 7 所示,夹层绝缘层 150 可形成在第一半导体层 141、蚀刻阻挡层 143 和 144、以及第二栅极 145 上。夹层绝缘层 150 可被蚀刻以分别形成使多个蚀刻阻挡层 143 和 144 部分暴露的第一源极接触孔 153 和第一漏极接触孔 154。此外,夹层绝缘层 150 和栅绝缘层 130 可一起被蚀刻以分别形成使第二半导体层 125 的源区 128 和漏区 127 部分暴露的第二源极接触孔 155 和第二漏极接触孔 156。在一个实施方式中,接触孔 153、154、155 和 156 可通过单次蚀刻工艺形成。

[0096] 如图 3 所示,第一源极 163、第一漏极 164、第二源极 165 和第二漏极 166 可分别形成在夹层绝缘层 150 上及接触孔 153、154、155 和 156 中。第一源极 163 和第一漏极 164 可通过第一源极接触孔 153 和第一漏极接触孔 154、以及蚀刻阻挡层 143 和 144 与第一半导体层 141 间接连接。换句话说,蚀刻阻挡层 143 和 144 可布置在第一源极 163 和第一漏极 164 与第一半导体层 141 之间,以使电极 163 和 164 与第一半导体层 141 电连接。

[0097] 第二源极 165 和第二漏极 166 可分别通过第二源极接触孔 155 和第二漏极接触孔 156 与第二半导体层 125 的源区 128 和漏区 127 连接。

[0098] 本实施方式的有机发光二极管显示器 101 可通过进行上述工艺有效制造。

[0099] 在本实施方式中,氧化物第一薄膜晶体管 10 和多晶硅薄膜晶体管 20 可以以简单有效的方式形成。

[0100] 具体地,第一薄膜晶体管 10 的第一栅极和第二薄膜晶体管 20 的第二半导体层 125 可一起形成,即同时且由相同材料在同一平面上形成,从而能简化制造有机发光二极管显示器 101 的整个工艺。

[0101] 现将参照图 8 说明另一个实施方式。

[0102] 如图 8 所示,在根据该实施方式的有机发光二极管显示器中,部分蚀刻阻挡层 243 和 244 可直接布置在第一薄膜晶体管 10 的第一半导体层 241 下方。此外,多个蚀刻阻挡层 243 和 244 可布置在第一栅极 121 之外,即可以不覆盖在第一栅极 121 上。

[0103] 夹层绝缘层 150 的第一源极接触孔 153 和第一漏极接触孔 154 可分别使多个蚀刻阻挡层 243 和 244 部分暴露。也就是说,不覆盖第一半导体层 241 的各蚀刻阻挡层 243 和 244 的一部分可分别通过第一源极接触孔 153 和第一漏极接触孔 154 露出。第一源极 163 和第一漏极 164 可通过第一源极接触孔 153 和第一漏极接触孔 154 与第一半导体层 241 连接,和 / 或通过多个蚀刻阻挡层 243 和 244 与第一半导体层 241 间接连接。

[0104] 蚀刻阻挡层 243 和 244 可包括例如金属或金属合金。所述金属或金属合金可包括例如铝 (Al)、钼 (Mo)、镍 (Ni)、银 (Ag)、铬 (Cr)、钛 (Ti) 和 / 或钽 (Ta)。也就是说,蚀刻阻挡层 243 和 244 可包括例如蚀刻选择性与可包括例如氮化硅 (SiN_x) 和 / 或氧化硅 (SiO_x) 的夹层绝缘层 150 和栅绝缘层不同的金属材料。

[0105] 此外,第二栅极 245 可形成在材料相同的多个蚀刻阻挡层 243 和 244 的同一平面上。

[0106] 由此,根据本实施方式的蚀刻阻挡层 243 和 244 可有助于确保第一源极接触孔 153 和第一漏极接触孔 154 以稳定方式形成。也就是说,多个蚀刻阻挡层 243 和 244 可防止第一源极接触孔 153 和第一漏极接触孔 154 没有必要地加深和 / 或防止孔 153 和 154 周围的结构元件受损。特别是由于接触孔 153、154、155 和 156 可通过单次蚀刻工艺形成,且第二接触孔 155 和 156 可比第一接触孔 153 和 154 深,因而蚀刻阻挡层 243 和 244 可保护例如第一半导体层 241 在蚀刻工艺期间不会受损。这使得制造方法因工艺步骤减少而简化。

[0107] 因此,在根据本实施方式的有机发光二极管显示器 102 中,第一氧化物薄膜晶体管 10 和多晶硅薄膜晶体管 20 可以以相对简单的结构稳定地一起使用,以有效地提高整体性能特性。

[0108] 基于与前述实施方式的区别,现将参照图 9 ~ 图 11 说明制造根据一个实施方式的有机发光二极管显示器 102 的方法。

[0109] 如图 9 所示,缓冲层 115 可形成基板主体 111 上,且第一栅极前体和第二半导体层前体(未示出)可形成在缓冲层 115 上。栅绝缘层 130 可形成在第一栅极前体和第二半导体层前体上。

[0110] 然后,金属层(未示出)可被沉积到栅绝缘层 130 上并被图案化以形成第二栅极 245 和多个蚀刻阻挡层 243 和 244。第二栅极 245 可覆盖在部分第二半导体层前体上。多个蚀刻阻挡层 243 和 244 可布置在第一栅极前体之外,即不覆盖第一栅极前体。优选地,蚀刻阻挡层 243 和 244 不覆盖第一栅极前体,使得它在后续工艺可被掺杂。

[0111] 其后,杂质可被掺杂到第一栅极前体和第二半导体层前体以形成第一栅极 121 和第二半导体层 125。所述杂质不会通过蚀刻阻挡层 243 和 244、以及第二栅极 245。

[0112] 第二半导体层 125 可划分为例如掺杂的杂质被第二栅极 145 截取的沟道区 126、以及在未掺杂的沟道区 126 的两侧的源区 128 和漏区 127。第一栅极 121 可包括例如与第二半导体层 125 的源区 128 和漏区 127 相似的掺杂杂质的多晶硅层。图 9 的箭头表示掺杂。

[0113] 然后,如图 10 所示,氧化物半导体层可形成在多个蚀刻阻挡层 243 和 244 上,并被图案化以形成第一半导体层 241。第一半导体层 241 可覆盖在第一栅极 121 上,且二者之间插入有栅绝缘层 130。第一半导体层 241 可直接布置在多个蚀刻阻挡层 243 和 244 上并部分覆盖所述多个蚀刻阻挡层 243 和 244。

[0114] 其后,如图 11 所示,夹层绝缘层 150 可形成在第一半导体层 241、蚀刻阻挡层 243 和 244、以及第二栅极 245 上。可将所述夹层绝缘层 150 蚀刻以分别形成使第一半导体层 241 和多个蚀刻阻挡层 243 和 244 部分暴露的第一源极接触孔 153 和第一漏极接触孔 154。此外,夹层绝缘层 150 和栅绝缘层 130 可一起蚀刻以分别形成使第二半导体层 125 的源区 128 和漏区 127 部分暴露的第二源极接触孔 155 和第二漏极接触孔 156。在实施方式中,接触孔 153、154、155 和 156 可通过单次蚀刻工艺形成。

[0115] 如图 8 所示,第一源极 163、第一漏极 164、第二源极 165 和第二漏极 166 可形成在夹层绝缘层 150 上及形成在接触孔 153、154、155 和 156 中。

[0116] 第一源极 163 和第一漏极 164 可分别通过第一源极接触孔 153 和第一漏极接触孔 154、以及蚀刻阻挡层 243 和 244 与第一半导体层 241 直接和/或间接连接。也就是说,在本实施方式中,第一源极 163 和第一漏极 164 可通过蚀刻阻挡层 243 和 244 与第一半导体层 241 间接连接,或者直接与第一半导体层 241 连接。

[0117] 第二源极 165 和第二漏极 166 可分别通过第二源极接触孔 155 和第二漏极接触孔 156 与第二半导体层 125 的源区 128 及漏区 127 连接。

[0118] 根据本实施方式的有机发光二极管显示器 102 可通过进行上述工艺有效制成。

[0119] 在根据一个实施方式的有机发光二极管显示器中,多晶硅薄膜晶体管和氧化物薄膜晶体管一起稳定使用并以简单工艺制造。

[0120] 在此已公开了示例性实施方式,尽管使用了具体术语,但它们仅以普通且说明性方式使用并作出解释,而不用来限制目的。因此,本领域普通技术人员应理解的是,可进行形式和细节上的各种改变而不背离所附权利要求书中所述的本发明的精神和范围。

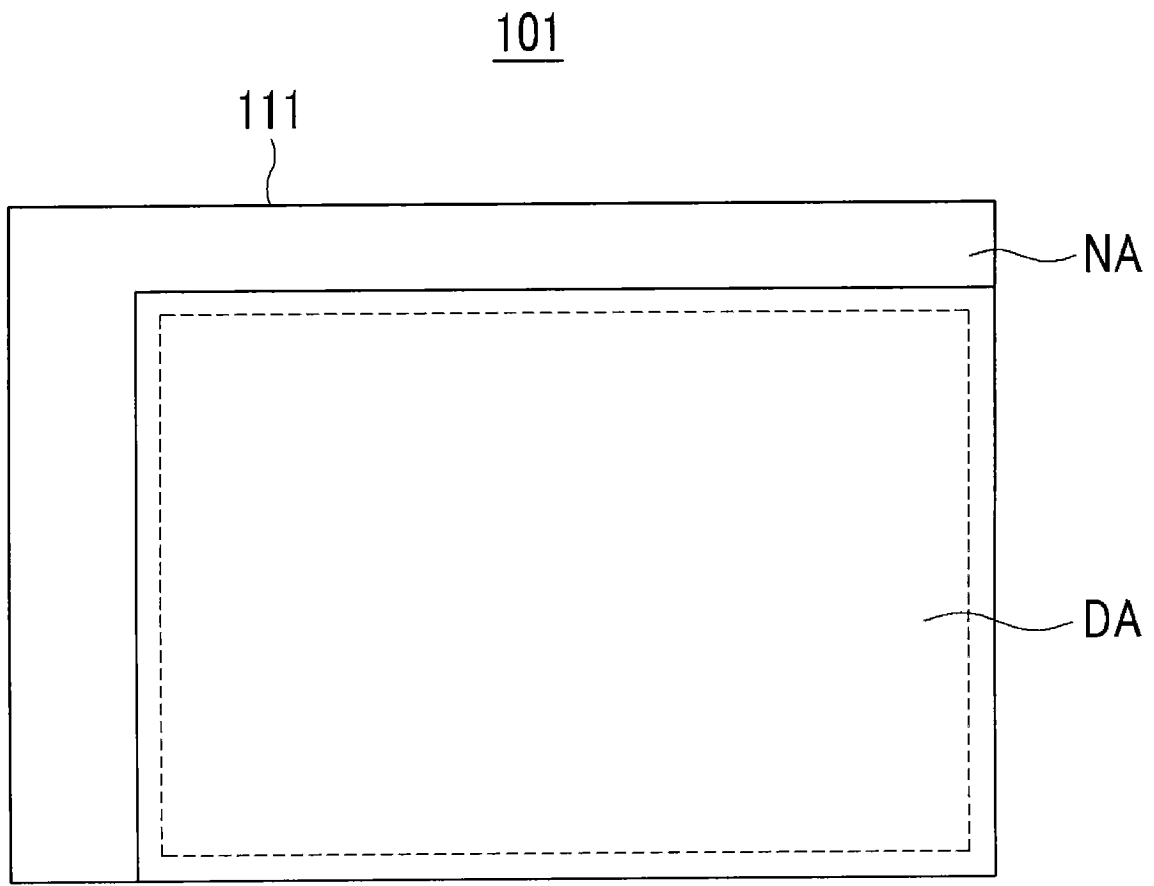


图 1

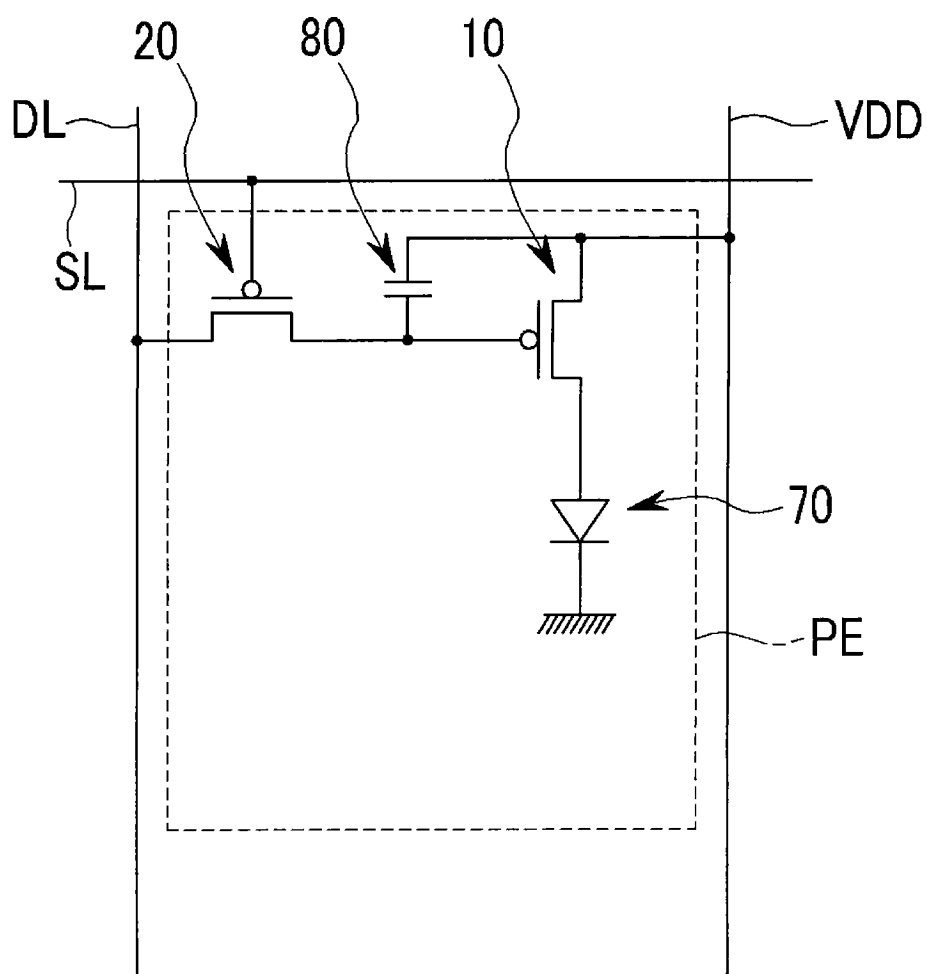


图 2

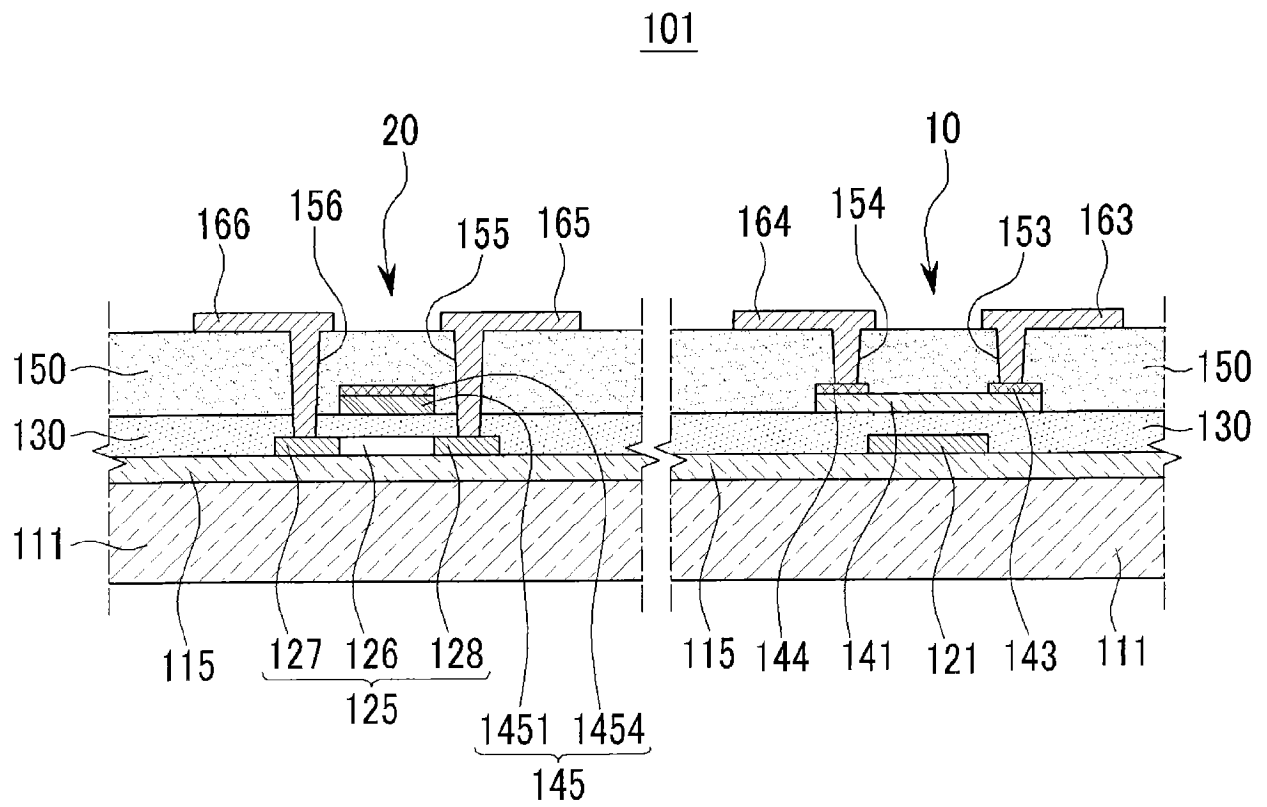


图 3

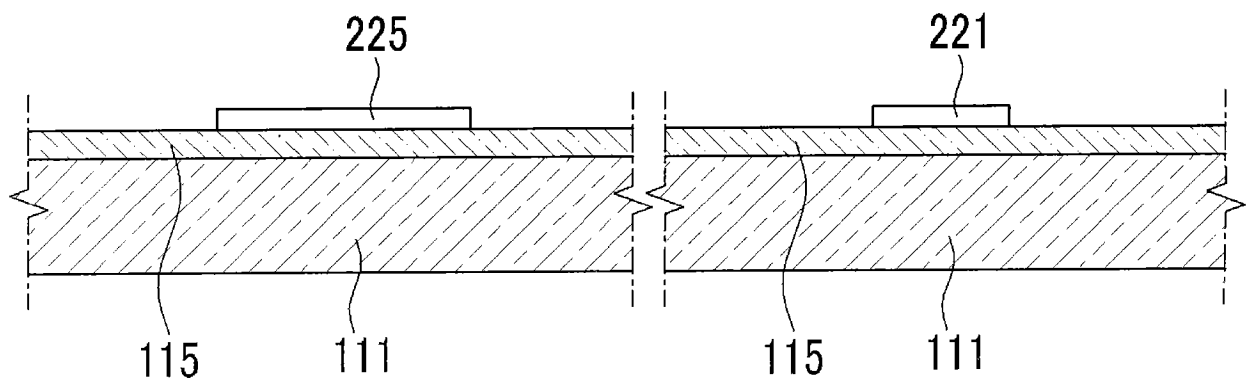


图 4

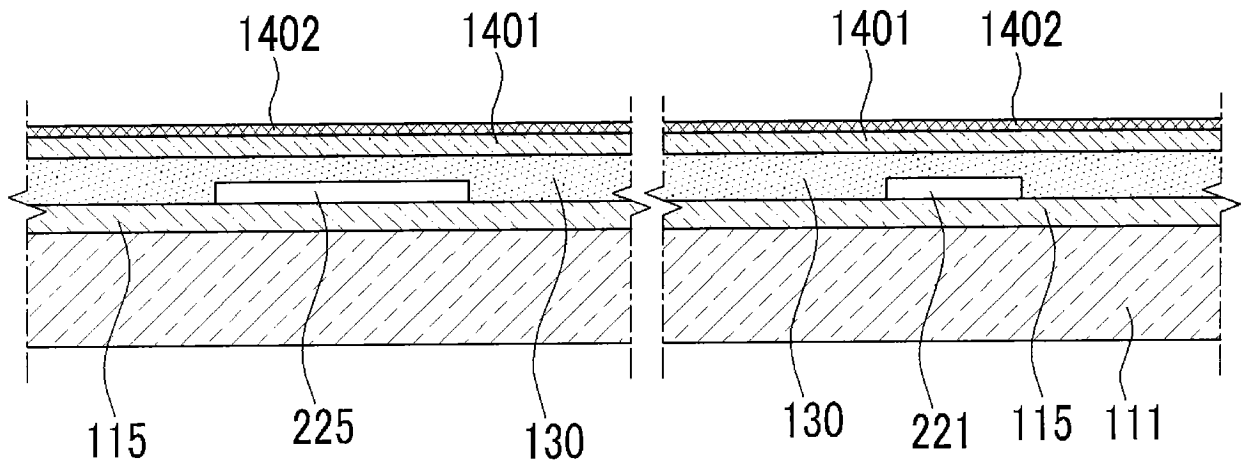


图 5

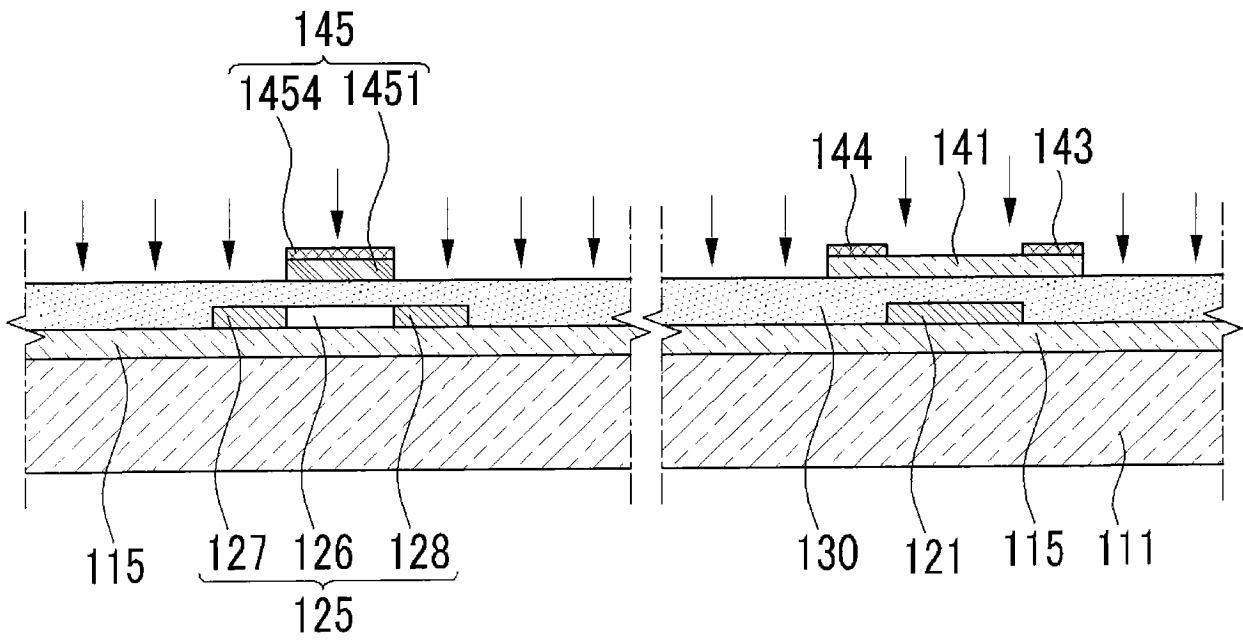


图 6

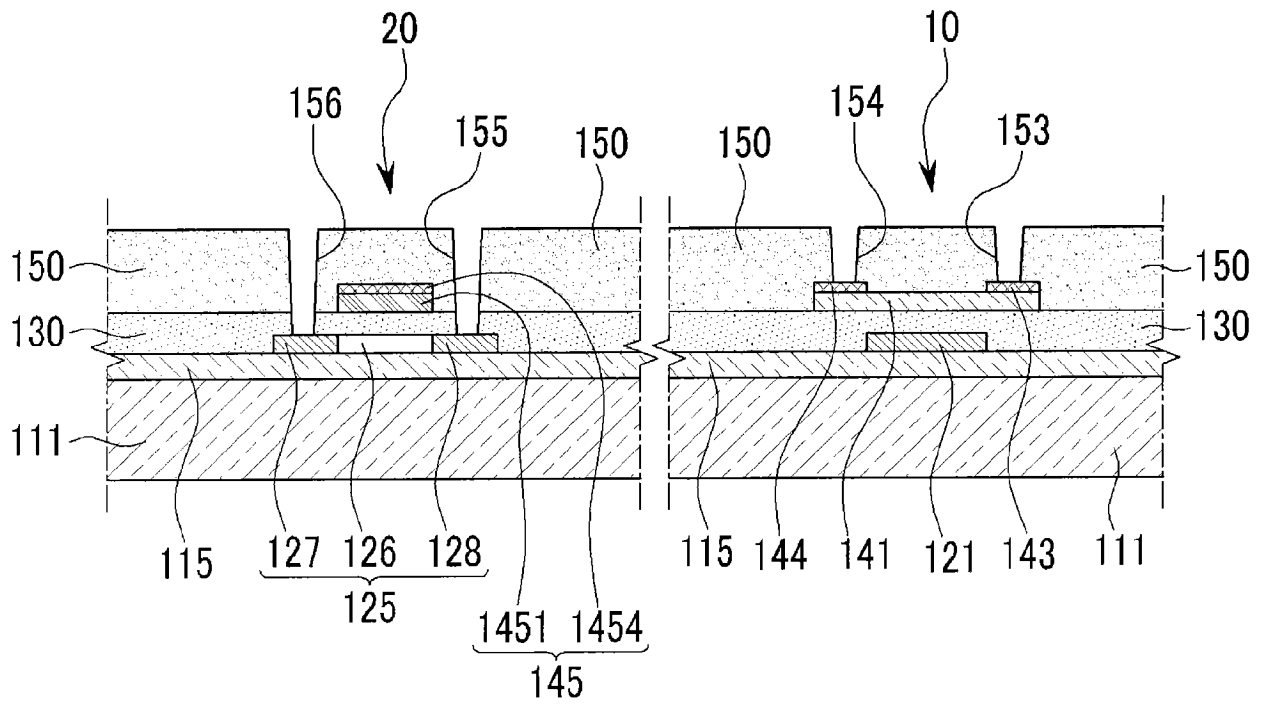


图 7

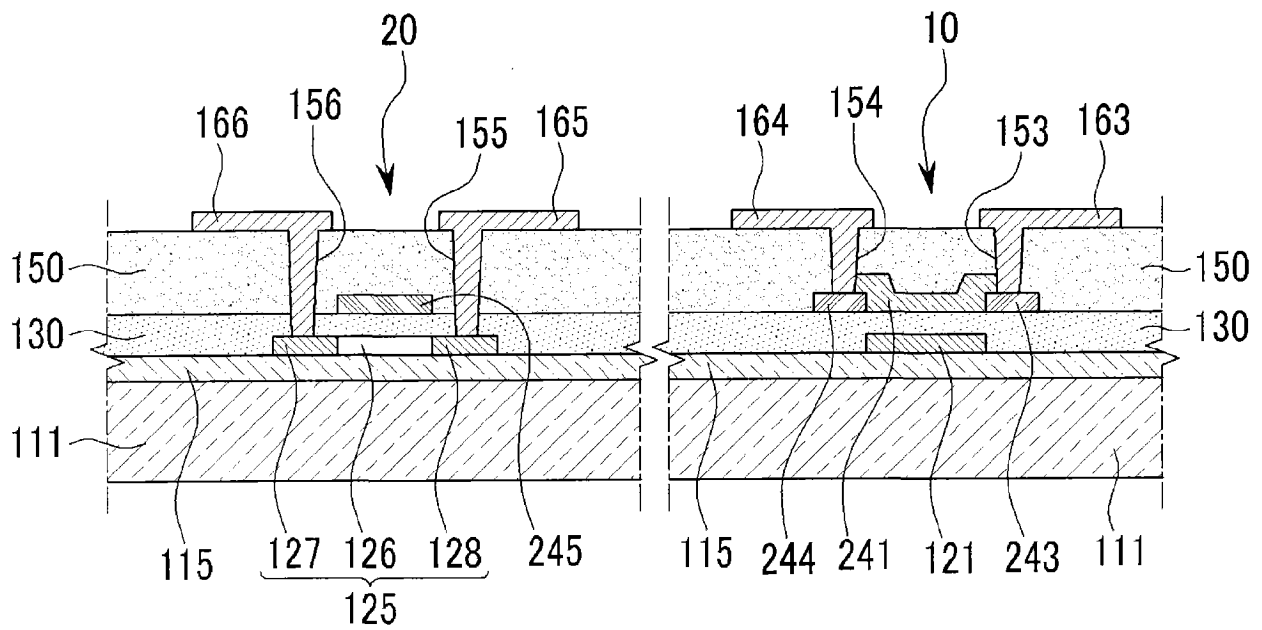
102

图 8

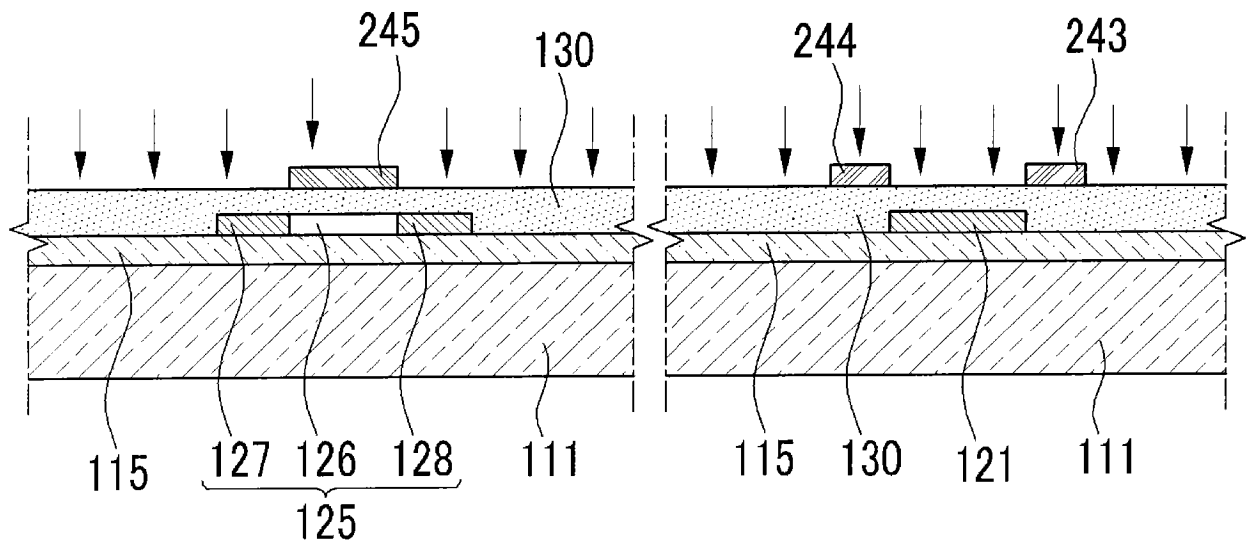


图 9

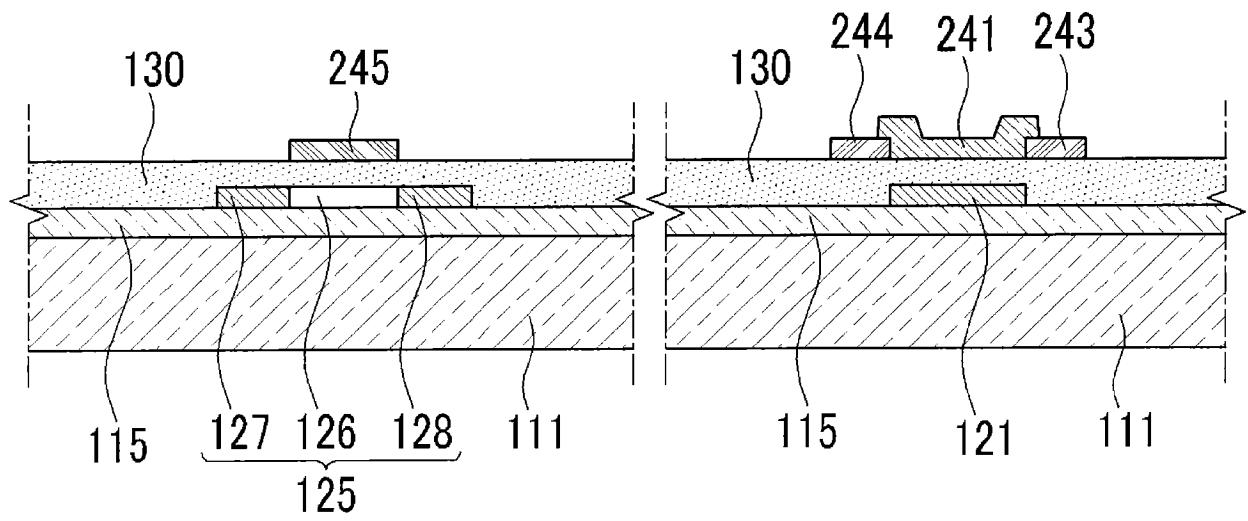


图 10

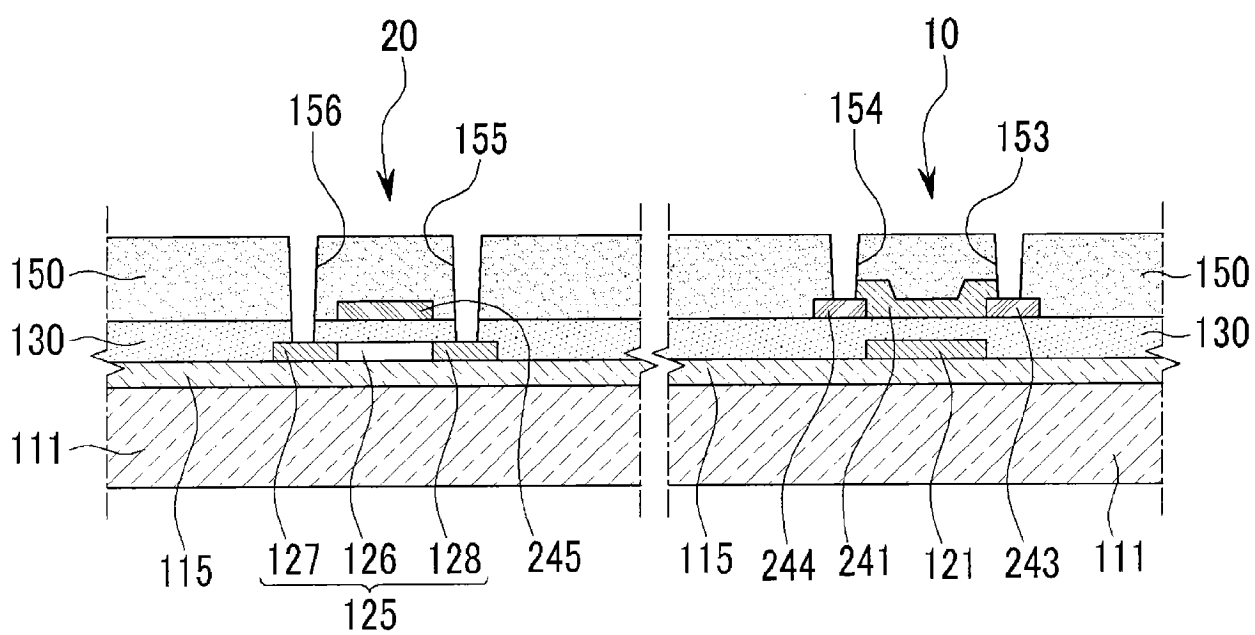


图 11

