

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/32 (2006.01)
G09G 3/30 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710096807.X

[43] 公开日 2007年10月10日

[11] 公开号 CN 101051442A

[22] 申请日 2007.4.3

[21] 申请号 200710096807.X

[30] 优先权

[32] 2006.4.6 [33] KR [31] 10-2006-0031637

[71] 申请人 三星 SDI 株式会社

地址 韩国京畿道水原市

[72] 发明人 申东蓉

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 臧霖晨 梁永

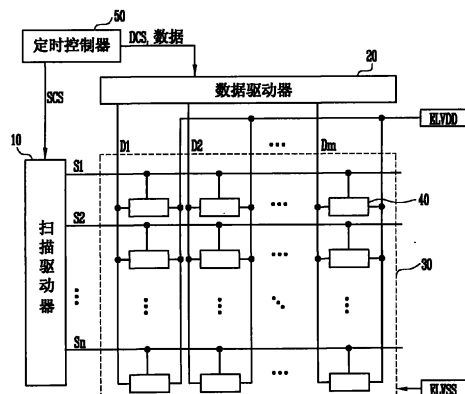
权利要求书 5 页 说明书 25 页 附图 10 页

[54] 发明名称

数据驱动器和使用该数据驱动器的有机发光显示器

[57] 摘要

一种数据驱动器包括移位寄存器单元，它配置成接收第一时钟信号、第二时钟信号和开始脉冲以及产生取样脉冲；取样锁存单元，配置成根据取样脉冲接收和输出数字数据的位和颠倒的位；保持锁存单元，配置成接收由取样锁存单元输出的位和颠倒的位并且根据第一使能信号和第二使能信号输出位和颠倒的位；以及数模转换器，配置成接收由保持锁存单元输出的位和颠倒的位和产生与所接收的位和颠倒的位的值对应的模拟信号。



1. 一种数据驱动器，包括：

移位寄存器单元，配置成接收第一时钟信号、第二时钟信号和开始脉冲，以及产生取样脉冲；

取样锁存单元，配置成根据取样脉冲接收和输出数字数据的位和颠倒的位；

保持锁存单元，配置成接收由取样锁存单元输出的位和颠倒的位，以及根据第一使能信号和第二使能信号输出位和颠倒的位；以及

数模转换器，配置成接收由保持锁存单元输出的位和颠倒的位并且产生与所接收的位和颠倒的位的值对应的模拟信号。

2. 如权利要求1所述的数据驱动器，其特征在于，所述移位寄存器单元中每个通道包括一个移位寄存器。

3. 如权利要求2所述的数据驱动器，其特征在于，所述取样锁存单元中每个通道包括预定数量的取样锁存器，所述预定数量为输入数字数据的位数的两倍。

4. 如权利要求3所述的数据驱动器，其特征在于，所述保持锁存单元中每个通道包括预定数量的保持锁存器。

5. 如权利要求1所述的数据驱动器，其特征在于，所述数模转换器包括多个晶体管，所述晶体管配置成接收由所述保持锁存单元输出的位和颠倒的位，以及

接收位和颠倒的位的所述晶体管是PMOS晶体管。

6. 如权利要求1所述的数据驱动器，其特征在于，当把位和颠倒的位输入所述取样锁存单元时，把高电平的充电信号输入到所述取样锁存单元。

7. 如权利要求1所述的数据驱动器，其特征在于，所述第一时钟信号和第二时钟信号具有约180度的相位差。

8. 如权利要求7所述的数据驱动器，其特征在于，在预定期间中，所述第一时钟信号和第二时钟信号两者都可以处于高电平。

9. 如权利要求1所述的数据驱动器，其特征在于，所述移位寄存器单元包括至少一个移位寄存器，所述取样锁存单元包括至少一个取样锁存器，以及所述保持锁存单元包括至少一个保持锁存器，以及

所述移位寄存器、所述取样锁存器和所述保持锁存器实质上是相同的。

10. 如权利要求 9 所述的数据驱动器, 其特征在于, 所述移位寄存器、所述取样锁存器和所述保持锁存器的每一个包括:

第一晶体管, 具有连接到第二输入端子的栅极、连接到第一节点的第二电极和连接到外部输入端子的第一电极;

第二晶体管, 具有连接到第一节点的栅极、连接到第一输入端子的第一电极和连接到输出端子的第二电极;

第三晶体管, 具有连接到第二输入端子的栅极、连接到第二节点的第一电极和连接到第四电源的第二电极;

第四晶体管, 具有连接到第一节点的栅极、连接到第二输入端子的第一电极和连接到第二节点的第二电极;

第五晶体管, 具有连接到第二节点的栅极、连接到第三电源的第一电极和连接到输出端子的第二电极; 以及

连接在第二晶体管的栅极和第二电极之间的电容器。

11. 如权利要求 10 所述的数据驱动器, 其特征在于, 所述第一到第五晶体管是 PMOS 晶体管。

12. 如权利要求 10 所述的数据驱动器, 其特征在于, 所述第三电源提供比第四电源所提供的电压高的电压。

13. 如权利要求 10 所述的数据驱动器, 其特征在于, 所述移位寄存器单元包括偶数和奇数编号的移位寄存器,

把所述第一时钟信号提供给所述奇数编号移位寄存器的第一输入端子, 以及

把所述第二时钟信号提供给所述奇数编号移位寄存器的第二输入端子。

14. 如权利要求 13 所述的数据驱动器, 其特征在于, 把所述第二时钟信号提供给所述偶数编号移位寄存器的第一输入端子, 以及

把所述第一时钟信号提供给所述偶数编号移位寄存器的第二输入端子。

15. 如权利要求 10 所述的数据驱动器, 其特征在于, 在所述移位寄存器中: 当把低电平信号提供给所述第二输入端子时, 用与外部输入端子提供的电压对应的电压对电容器充电, 以及

当把高电平信号提供给所述第二输入端子时, 把与电容器所充的电压对应的一个电压提供给所述输出端子。

16. 如权利要求 10 所述的数据驱动器, 其特征在于, 在所述取样锁存器中: 把取样脉冲提供给所述第二输入端子, 以及

把充电信号提供给所述第一输入端子。

17. 如权利要求 16 所述的数据驱动器,其特征在於,当取样脉冲处于低电平并且充电信号处于高电平时,所述取样锁存器接收每个位或颠倒的位,以及当取样脉冲处于高电平并且充电信号处于低电平时,所述取样锁存器输出每个位或颠倒的位。

18. 如权利要求 10 所述的数据驱动器,其特征在於,在所述保持锁存器中;把第一使能信号提供给所述第二输入端子,以及把第二使能信号提供给所述第一输入端子。

19. 如权利要求 18 所述的数据驱动器,其特征在於,所述第一使能信号和所述第二使能信号具有约 180 度的相位差。

20. 如权利要求 18 所述的数据驱动器,其特征在於,当所述第一使能信号处于低电平时,所述保持锁存器从所述取样锁存器接收信号,以及当所述第一使能信号处于高电平时,所述保持锁存器输出所接收的信号。

21. 如权利要求 18 所述的数据驱动器,其特征在於,在所述取样锁存器输出期间,使所述第一使能信号保持在高电平,以及在所述取样锁存器输出之后,所述第一使能信号改变成处于低电平。

22. 如权利要求 1 所述的数据驱动器,其特征在於,还包括转换单元,所述转换单元配置成接收第一时钟信号、第二时钟信号和取样脉冲,以及顺序地产生转换信号,

其中把所述转换信号提供给所述取样锁存单元。

23. 如权利要求 22 所述的数据驱动器,其特征在於,所述转换单元中每个通道具有一个转换电路。

24. 如权利要求 23 所述的数据驱动器,其特征在於,所述转换电路包括输入单元和输出单元,

配置输入单元使之在其输入端子处接收取样脉冲和控制提供给输出单元的信号;以及

配置输出单元使之根据由输入单元控制的信号和输入到输入端子的取样脉冲来控制是否输出所述转换信号。

25. 如权利要求 24 所述的数据驱动器,其特征在於,所述输出单元可以包括:

第十一晶体管,具有连接到第三电源的第一电极和连接到输出端子的第二电极;

第十二晶体管，具有连接到输出端子的第一电极和连接到第四电源的第二电极，所述第四电源提供的电压比所述第三电源提供的电压低；

第十三晶体管，具有连接到第十一晶体管的栅极的栅极和连接到第十一晶体管的第二电极的第一电极；

第十四晶体管，具有连接到第十三晶体管的第二电极的第一电极、连接到第四电源的第二电极和连接到输入单元的栅极；

第十五晶体管，具有连接到第三输入端子的第一电极、连接到第十一晶体管的栅极的第二电极、和连接到第一输入端子的栅极；

第十二电容器，连接在第十一晶体管的栅极和第一电极之间；以及

第十一电容器，连接在第十二晶体管的栅极和第十二晶体管的第一电极之间。

26. 如权利要求 25 所述的数据驱动器，其特征在于，还包括连接在所述输出端子和所述第四电源之间的第十四电容器。

27. 如权利要求 25 所述的数据驱动器，其特征在于，所述输入单元包括：

第十六晶体管，具有连接到第十四晶体管的栅极的第一电极和连接到第一输入端子的第二电极；

第十七晶体管，具有连接到第十六晶体管的栅极的第一电极、以及两者都连接到第二输入端子的栅极和第二电极；

第十八晶体管，具有连接到第三输入端子的栅极、连接到第三电源的第一电极和连接到第十六晶体管的栅极的第二电极；以及

第十三电容器，连接在第十六晶体管的栅极和第十六晶体管的第一电极之间。

28. 如权利要求 27 所述的数据驱动器，其特征在于，所述第十一到第十八晶体管是 PMOS 晶体管。

29. 如权利要求 27 所述的数据驱动器，其特征在于，所述转换单元包括偶数编号和奇数编号的转换电路，以及

奇数编号的转换电路在第一输入端子处接收第一时钟信号，以及在第二输入端子处接收第二时钟信号。

30. 如权利要求 29 所述的数据驱动器，其特征在于，所述偶数编号的转换电路在第一输入端子处接收第二时钟信号，以及在第二输入端子处接收第一时钟信号。

31. 如权利要求 27 所述的数据驱动器，其特征在于，如果使低电平信号输

入到第一输入端子，则所述转换电路可以输出与输入第三输入端子的信号相反的信号电平，以及

如果把高电平信号输入到第一输入端子，则所述转换电路可以保持前一期间的输出。

32. 一种有机发光显示器包括：

扫描驱动器，配置成把扫描信号顺序地提供给扫描线；

数据驱动器，配置成把数据信号提供给数据线；以及

像素单元，包括连接到扫描线和数据线的多个像素，其中所述数据驱动器包括：

移位寄存器单元，配置成接收第一时钟信号、第二时钟信号和开始脉冲以及顺序地产生取样脉冲；

取样锁存单元，配置成根据取样脉冲接收和输出数字数据的位和颠倒的位；

保持锁存单元，配置成接收由取样锁存单元输出的位和颠倒的位，以及根据第一使能信号和第二使能信号输出位和颠倒的位；以及

数模转换器，配置成接收由保持锁存单元输出的位和颠倒的位并且产生与所接收的位和颠倒的位的值对应的模拟信号。

33. 如权利要求 32 所述的有机发光显示器，其特征在于：

所述数据驱动器还包括转换单元，所述转换单元配置成接收第一时钟信号、第二时钟信号和取样脉冲以及顺序地产生转换信号，以及把转换信号提供给所述取样锁存单元。

数据驱动器和使用该数据驱动器的有机发光显示器

技术领域

本发明涉及数据驱动器和使用该数据驱动器的有机发光显示器，尤其，本发明涉及可以由 PMOS 晶体管构成的数据驱动器和使用该数据驱动器的有机发光显示器。

背景技术

已经开发了比阴极射线管（CRT）的重量和体积都减小了的各种平板显示器。这些平板显示器包括，例如，液晶显示器（LCD）、场致发光显示器（FED）、等离子体显示屏（PDP）、有机发光显示器等。

有机发光显示器可以使用通过电子和空穴的重新组合而产生光的有机发光二极管（OLED）来显示图像。有机发光显示器可以提供某些优点，因为它展现出低功耗和可以提供快的响应时间。

有机发光显示器可以包括按矩阵排列的像素、配置成驱动连接到像素的数据线的数据驱动器以及配置成驱动连接到像素的扫描线的扫描驱动器。

在操作期间，数据驱动器可以在每个水平周期中提供与数据对应的数据信号，以致显示像素中的预定图像。扫描驱动器可以通过在每个水平周期中顺序地提供扫描信号来选择要向其提供数据信号的像素。

随着有机发光显示器的屏的大小增加，可能会期望把数据驱动器安装在屏中，以便减小与显示器相关联的大小、重量和制造费用。然而，把传统的数据驱动器安装在屏中可能是困难的，因为传统的数据驱动器可以包括 PMOS 晶体管和 NMOS 晶体管。因此，会期望只用 PMOS 晶体管来实现数据驱动器，以致可把数据驱动器安装在屏中。

发明内容

因此本发明针对一种数据驱动器和使用该数据驱动器的有机发光显示器，实质上克服了由于现有技术的限制和缺点引起的一个或多个问题。

因此，本发明一个示范性实施例的特征在于提供可由 PMOS 晶体管构成的并可以安装在屏中的一种数据驱动器，以及使用该数据驱动器的有机发光显示

器。

通过提供下列部件可以实现本发明的上述的和其他的特征和优点中至少一个，所提供的这些部件包括：包括移位寄存器单元的数据驱动器，该移位寄存器单元配置成接收第一时钟信号、第二时钟信号和开始脉冲以及产生取样脉冲；取样锁存单元，配置成根据取样脉冲接收和输出数字数据的位和颠倒的位(reversed bits)；保持锁存单元，配置成接收由取样锁存单元输出的位和颠倒的位，并根据第一使能信号和第二使能信号输出位和颠倒的位；以及数模转换器，配置成接收由保持锁存单元输出的位和颠倒的位和产生与所接收的位和颠倒的位的值对应的模拟信号。

移位寄存器单元中每个通道可以包括一个移位寄存器。取样锁存单元中每个通道可以包括预定数量的取样锁存器，预定数量为输入数字数据的位数的两倍。保持锁存单元中每个通道可以包括预定数量的保持锁存器。

数模转换器可以包括多个晶体管，配置成接收由保持锁存单元输出的位和颠倒的位，并且接收位和颠倒的位的晶体管可以是 PMOS 晶体管。

当把位和颠倒的位输入取样锁存单元时，充电信号可以高电平输入到取样锁存单元。第一时钟信号和第二时钟信号可以具有约 180 度的相位差。在预定期间中，第一时钟信号和第二时钟信号两者都可以处于高电平。

移位寄存器单元可以包括至少一个移位寄存器，取样锁存单元可以包括至少一个取样锁存器，保持锁存单元可以包括至少一个保持锁存器，移位寄存器、取样锁存器和保持锁存器可以实质上是相同的。移位寄存器、取样锁存器、和保持锁存器的每一个可以包括：第一晶体管，它具有连接到第二输入端子的栅极，连接到第一节点的第二电极和连接到外部输入端子的第一电极；第二晶体管，它具有连接到第一节点的栅极，连接到第一输入端子的第一电极和连接到输出端子的第二电极；第三晶体管，它具有连接到第二输入端子的栅极，连接到第二节点的第一电极和连接到第四电源的第二电极；第四晶体管，它具有连接到第一节点的栅极，连接到第二输入端子的第一电极和连接到第二节点的第二电极；第五晶体管，它具有连接到第二节点的栅极，连接到第三电源的第一电极和连接到输出端子的第二电极；以及连接在第二晶体管的栅极和第二电极之间的电容器。第一到第五晶体管可以是 PMOS 晶体管。

第三电源可以提供比第四电源所提供的电压高的电压。移位寄存器单元可以包括偶数和奇数编号的移位寄存器，可以把第一时钟信号提供给奇数编号移位寄存器的第一输入端子，并且可以把第二时钟信号提供给奇数编号移位寄存

器的第二输入端子。可以把第二时钟信号提供给偶数编号移位寄存器的第一输入端子，并且可以把第一时钟信号提供给偶数编号移位寄存器的第二输入端子。

在移位寄存器中，当把低电平信号提供给第二输入端子时，可以用与外部输入端子提供的电压对应的电压对电容器充电，并且当把高电平信号提供给第二输入端子时，可以把与电容器所充的电压对应的一个电压提供给输出端子。在取样锁存器中，可以把取样脉冲提供给第二输入端子，并且可以把充电信号提供给第一输入端子。当取样脉冲处于低电平和充电信号处于高电平时，取样锁存器可以接收每个位或颠倒的位，而当取样脉冲处于高电平和充电信号处于低电平时，取样锁存器可以输出每个位或颠倒的位。在保持锁存器中，可以把第一使能信号提供给第二输入端子，并且可以把第二使能信号提供给第一输入端子。

第一使能信号和第二使能信号可以具有约 180 度的相位差。当第一使能信号处于低电平时，保持锁存器可以从取样锁存器接收信号，并且保持锁存器可以在第一使能信号处于高电平时输出所接收的信号。在取样锁存器输出期间，可以使第一使能信号保持在高电平，而在取样锁存器输出之后，第一使能信号可以改变成低电平。

数据驱动器还包括转换单元，它配置成接收第一时钟信号、第二时钟信号和取样脉冲，并且顺序地产生转换信号，其中可以把转换信号提供给取样锁存单元。转换单元中每个通道可以具有一个转换电路。转换电路可以包括输入单元和输出单元，可以配置输入单元使之在其输入端子处接收取样脉冲并控制提供给输出单元的信号，并且可以配置输出单元使之根据输入单元控制的信号和输入到输入端子的取样脉冲来控制是否输出转换信号。

输出单元可以包括：第十一晶体管，它具有连接到第三电源的第一电极和连接到输出端子的第二电极；第十二晶体管，它具有连接到输出端子的第一电极和连接到第四电源的第二电极，第四电源提供的电压比第三电源提供的电压低；第十三晶体管，它具有连接到第十一晶体管的栅极的栅极和连接到第十一晶体管的第二电极的第一电极；第十四晶体管，它具有连接到第十三晶体管的第二电极的第一电极、连接到第四电源的第二电极和连接到输入单元的栅极；第十五晶体管，它具有连接到第三输入端子的第一电极、连接到第十一晶体管的栅极的第二电极和连接到第一输入端子的栅极；第十二电容器，它连接在第十一晶体管的栅极和第一电极之间；以及第十一电容器，它连接在第十二晶体

管的栅极和第十二晶体管的第一电极之间。数据驱动器还可以包括连接在输出端子和第四电源之间的第十四电容器。

输入单元可以包括：第十六晶体管，它具有连接到第十四晶体管的栅极的第一电极和连接到第一输入端子的第二电极；第十七晶体管，它具有连接到第十六晶体管的栅极的第一电极和两者都连接到第二输入端子的栅极和第二电极；第十八晶体管，它具有连接到第三输入端子的栅极、连接到第三电源的第一电极和连接到第十六晶体管的栅极的第二电极；以及第十三电容器，它连接在第十六晶体管的栅极和第十六晶体管的第一电极之间。第十一到第十八晶体管可以是 PMOS 晶体管。转换单元可以包括偶数编号和奇数编号的转换电路，奇数编号的转换电路可以在第一输入端子处接收第一时钟信号，并且可以在第二输入端子处接收第二时钟信号。偶数编号的转换电路可以在第一输入端子处接收第二时钟信号，并且可以在第二输入端子处接收第一时钟信号。如果使低电平信号输入到第一输入端子，则转换电路可以输出与输入第三输入端子的信号相反的信号电平，并且如果把高电平信号输入到第一输入端子，则转换电路可以保持前一期间的输出。

通过提供有机发光显示器也可以实现本发明的上述和其它特征和优点中的至少一个，所述有机发光显示器包括：配置成把扫描信号顺序地提供给扫描线的扫描驱动器；配置成把数据信号提供给数据线的数据驱动器；以及包括连接到扫描线和数据线的多个像素的像素单元，其中数据驱动器包括配置成接收第一时钟信号、第二时钟信号和开始脉冲并且顺序地产生取样脉冲的移位寄存器单元；配置成根据取样脉冲接收和输出数字数据的位和颠倒的位的取样锁存单元；保持锁存单元，配置成接收由取样锁存单元输出的位和颠倒的位，并根据第一使能信号和第二使能信号输出位和颠倒的位；以及数模转换器，配置成接收由保持锁存单元输出的位和颠倒的位并且产生与所接收的位和颠倒的位的值对应的模拟信号。

数据驱动器还可以包括转换单元，把它配置成接收第一时钟信号、第二时钟信号和取样脉冲并且顺序地产生转换信号，并且可把转换信号提供给取样锁存单元。

附图说明

参考附图通过详细描述本发明的示范性实施例，本发明的上述和其它特征和优点对于熟悉本领域普通技术的人员将变得更加显而易见，其中：

图 1 示出根据本发明一个示范性实施例的有机发光显示器的方框图；
图 2 示出图 1 的像素的一个示范性实施例的电路图；
图 3 示出图 1 的数据驱动器的第一示范性实施例的基本方框图；
图 4 示出图 3 的数据驱动器的第一示范性实施例的详细方框图；
图 5 示出用于驱动图 4 的数据驱动器的时序图；
图 6 示出图 4 的移位寄存器单元中提供的示范性移位寄存器的电路图；
图 7 示出图 4 的取样锁存单元中提供的示范性取样锁存器的电路图；
图 8 示出图 4 的保持锁存单元中提供的示范性保持锁存器的电路图；
图 9 示出图 4 的示范性数模转换器 (DAC) 单元的电路图；
图 10 示出图 1 的数据驱动器的第二示范性实施例的基本方框图；
图 11 示出图 10 的数据驱动器的第二示范性实施例的详细方框图；
图 12 示出用于驱动图 11 的数据驱动器的时序图；
图 13 示出图 11 的示范性转换电路的电路图；以及
图 14 示出用于驱动图 13 的转换电路的时序图。

具体实施方式

这里引用完整的、2006 年 4 月 6 日提交给韩国知识产权局的、题为 “Data Driver and Organic Light Emitting Display Using the Same” 的韩国专利申请第 10-2006-0031637 号作为参考。

现在将在下文中参考示出本发明示范性实施例的附图来更完整地描述本发明。然而，可以按不同的形式来实施本发明，并且不应该解释为局限于这里阐明的示范性实施例。而是，提供这些示范性实施例以致本揭示将是透彻和完整的，并且将把本发明的范围充分地传达给熟悉本领域的技术人员。在整个说明中，相同的标号指相同的元件。

图 1 示出根据本发明一个示范性实施例的有机发光显示器的方框图。参考图 1，有机发光显示器可以包括：像素单元 30，该像素单元包括连接到扫描线 (S1...Sn) 和数据线 (D1...Dm) 的多个像素 40；配置成驱动扫描线 (S1...Sn) 的扫描驱动器 10；配置成驱动数据线 (D1...Dm) 的数据驱动器 20 以及配置成控制扫描驱动器 10 和数据驱动器 20 的定时控制器 50。

定时控制器 50 可以根据外部源提供的同步信号而产生数据驱动器控制信号 (DCS) 和扫描驱动器控制信号 (SCS)。可以把定时控制器 50 产生的数据驱动器控制信号 (DCS) 和扫描驱动器控制信号 (SCS) 分别提供给数据驱动器 20

和扫描驱动器 10。定时控制器 50 可以接收来自外部源的数据并且把 (DATA) 提供给数据驱动器 20。

数据驱动器 20 可以从定时控制器 50 接收数据驱动器控制信号 (DCS)。数据驱动器 20 可以产生数据信号并且把所产生的数据信号提供给数据线 (D1...Dm)，以致与扫描信号同步。

像素单元 30 可以从外部源接收第一电源 (ELVDD) 和第二电源 (ELVSS)，并且把它们提供给像素 40 中的每一个像素。通过控制经由电致发光设备从第一电源 (ELVDD) 流到第二电源 (ELVSS) 的电流，接收第一电源 (ELVDD) 和第二电源 (ELVSS) 的像素 40 中的每一个像素都可以产生与数据信号对应的光。

扫描驱动器 10 可以接收来自定时控制器 50 的扫描驱动器控制信号 (SCS)。扫描驱动器 10 可以产生扫描信号并且把所产生的扫描信号顺序地提供给扫描线 (S1 到 Sn)。

图 2 示出图 1 的像素的一个示范性实施例的电路图。为讨论起见，将描述连接到第 n 根扫描线 (Sn) 和第 m 根数据线 (Dm) 的像素 40，如图 2 所示。参考图 2，像素 40 可以包括 OLED 和连接到数据线 (Dm) 和扫描线 (Sn) 以致控制 OLED 发光还是不发光的像素电路 42。

OLED 的阳极可以连接到像素电路 42，而 OLED 的阴极可以连接到第二电源 (ELVSS)。OLED 可以根据从像素电路 42 提供的电流来发光。即，当把扫描信号提供给扫描线 (Sn) 时，接收提供给数据线 (Dm) 的数据信号的像素电路 42 可以控制 OLED 的发光或不发光。

像素电路 42 可以包括连接到第二晶体管 (M2) 的第一晶体管 (M1)、数据线 (Dm) 和扫描线 (Sn)。像素电路 42 还可以具有连接在第一电源 (ELVDD) 和 OLED 之间的第二晶体管 (M2) 以及连接在第二晶体管 (M2) 的栅极和第一电极之间的存储电容器 (C)。

第一晶体管 (M1) 的栅极可以连接到扫描线 (Sn)，而第一晶体管 (M1) 的第一电极可以连接到数据线 (Dm)。第一晶体管 (M1) 的第二电极可以连接到存储电容器 (C) 的一个端子。由于当把扫描信号提供给扫描线 (Sn) 时可以使第一晶体管 (M1) 导通，所以第一晶体管 (M1) 可以把数据信号提供给存储电容器 (C)。可以理解，第一晶体管 (M1) 的第一电极可以是源极或漏极。例如，如果第一晶体管 (M1) 的第一电极是源极，则第一晶体管 (M1) 的第二电极可以是漏极，反之亦然。

第二晶体管 (M2) 的栅极可以连接到存储电容器 (C) 的一个端子，而第二

晶体管 (M2) 的第一电极可以连接到存储电容器 (C) 的另一个端子和第一电源 (ELVDD)。第二晶体管 (M2) 的第二电极可以连接到 OLED。

在这个示范性配置中, 第二晶体管 (M2) 可以根据存储在存储电容器 (C) 中的电压来控制 OLED 是否发光。即, 当在存储电容器 (C) 中存储与数据信号对应的预定电压时, 第二晶体管 (M2) 可以使 OLED 发光, 并且把与预定电压对应的电流提供给 OLED。

图 3 示出图 1 的数据驱动器的第一示范性实施例的基本方框图。将在数据驱动器 20 包括 “m” 个通道的假设下来描述数据驱动器 20。参考图 3, 数据驱动器 20 可以包括移位寄存器单元 100、取样锁存单元 300、保持锁存单元 400 和数模转换器 (DAC) 单元 500。

移位寄存器单元 100 可以接收开始脉冲 (SP)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2), 以顺序地产生取样脉冲 (SAP)。移位寄存器单元 100 可以包括 “m” 个移位寄存器。

取样锁存单元 300 可以接收取样脉冲 (SAP) 和充电信号 (CH)。取样锁存单元 300 还可以接收输入数字数据的每个位和颠倒的位, 并且可以存储输入数字数据的位和颠倒的位。因此, 取样锁存单元 300 可以包括如输入到每个通道的数字数据位数的两倍那么多的取样锁存器。例如, 如果输入 6 位数字数据, 则取样锁存单元 300 在每个通道中可以包括 12 ($= 6 \times 2$) 个取样锁存器。每个取样锁存器可以存储输入数字数据的位 (DATA) 或颠倒的位 ($\overline{\text{DATA}}$)。

保持锁存单元 400 可以接收第一使能信号 (EN1) 和第二使能信号 (EN2)。保持锁存单元 400 可以同时接收从取样锁存单元 300 输出的每个位和颠倒的位。保持锁存单元 400 可以把每个位和颠倒的位输出到 DAC 单元 500。因此, 与取样锁存单元 300 相似, 保持锁存单元 400 也可以包括如输入到每个通道的数字数据位数的两倍那么多的保持锁存器。例如, 如果输入 6 位数字数据, 则保持锁存单元 400 在每个通道中可以包括 12 ($= 6 \times 2$) 个保持锁存器。

DAC 单元 500 可以产生与从保持锁存单元 400 输出的数字数据的每个位值对应的模拟信号。例如, DAC 单元 500 可以选择多个灰度级电压 (gray scale voltages) 中之一以对应于从保持锁存单元 400 提供的数字数据的位值并且产生模拟数据信号。DAC 单元 500 可以把模拟数据信号分别提供给数据线 (D1 到 Dm)。DAC 单元 500 可以包括数量为 “m” 个的 DAC。

图 4 示出图 3 的数据驱动器的第一示范性实施例的详细方框图, 而图 5 示出用于驱动图 4 的数据驱动器的时序图。将在数据驱动器包括数量为 “m” 个的通

道和输入 6 位数字数据的假设下描述图 4。然而，可以理解，这只是示范性实施，本发明不局限于此。同样，图 5 示出时序图，其中可以把数字数据的最高有效位 (most significant bit) 和颠倒的最高有效位 (reversed most significant bit) 输入到每个通道。

参考图 4，移位寄存器单元 100 的每个通道可以包括一个移位寄存器 (SR1...SRm)。取样锁存单元 300 的每个通道可以包括 12 个取样锁存器，例如，取样锁存器 (SAL1-1...SAL1-12, ..., SALm-1...SALm-12)。保持锁存单元 400 的每个通道可以包括 12 个保持锁存器，例如，(HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12)。为了清楚起见，图 4 只主要示出第一通道的移位寄存器、取样锁存器和保持锁存器。

移位寄存器 (SR1...SRm) 中的奇数编号的移位寄存器 (SR1, SR3, ..., SRm-1) 可以通过各自的第一输入端子 (clk) 接收第一时钟信号 (CLK1)，并且可以通过各自的第二输入端子 (/clk) 接收第二时钟信号 (CLK2)。偶数编号的移位寄存器 (SR2, SR4, ..., SRm) 可以通过各自的第一输入端子 (clk) 接收第二时钟信号 (CLK2)，并且可以通过各自的第二输入端子 (/clk) 接收第一时钟信号 (CLK1)。第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 可以具有相位差，例如，约 180°。在预定期间中的相同时刻，第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 两者都可以处于高电平，如图 5 所示。

第一移位寄存器 (SR1) 可以接收第一时钟信号 (CLK1)、第二时钟信号 (CLK2) 和开始脉冲 (SP) 以产生第一取样脉冲 (SAP1)。第二移位寄存器 (SR2) 可以接收第一时钟信号 (CLK1)、第二时钟信号 (CLK2) 和第一取样脉冲 (SAP1) 以产生第二取样脉冲 (SAP2)。即，移位寄存器 (SR1...SRm) 可以接收开始脉冲 (SP) 或前一级的取样脉冲 (SAP)，以致顺序地产生取样脉冲 (SAP)，如图 5 所示。

取样锁存器 (SAL1-1...SAL1-12, ..., SALm-1...SALm-12) 可以通过各自的第一输入端子 (clk) 接收充电信号 (CH) 并且可以通过各自的第二输入端子 (/clk) 接收取样脉冲 (SAP)。取样锁存器 (SAL1-1...SAL1-12, ..., SALm-1...SALm-12) 也可以接收数字数据的每个位或颠倒的位，并且可以存储数字数据的每个位或颠倒的位。例如，与第一通道对应的取样锁存器 (SAL1-1...SAL1-12) 可以通过各自的第一输入端子 (clk) 接收充电信号 (CH)，并且可以通过各自的第二输入端子 (/clk) 接收第一取样脉冲 (SAP1)。取样锁存器 (SAL1-1...SAL1-12) 也可以接收与第一通道对应的数字数据的每个位或颠倒的位，并且存储数字数据的位或颠倒的位。

在一个实施中，在第一通道中提供的第一取样锁存器(SAL1-1)可以接收数字数据的最高有效位，例如，D[5]（图5中的a1），并且当把第一取样脉冲（SAP1）和充电信号（CH）提供给第一取样锁存器时，可以存储数字数据的最高有效位D[5]。第二取样锁存器(SAL1-2)可以接收数字数据的颠倒的最高有效位，例如， \neg D[5]（图5中的 \neg a1），并且当把第一取样脉冲（SAP1）和充电信号（CH）提供给第二取样锁存器(SAL1-2)时可以存储颠倒的最高有效位 \neg D[5]。

在第一通道中提供的其余取样锁存器(SAL1-3...SAL1-12)可以接收数字数据的每个位或颠倒的位(D[4]、 \neg D[4]、D[3]、 \neg D[3]、D[2]、 \neg D[2]、D[1]、 \neg D[1]、D[0]、 \neg D[0])，并且当把第一取样脉冲（SAP1）和充电信号（CH）提供给其余取样锁存器(SAL1-3...SAL1-12)时，可以按上述相同方式来存储数字数据的位或颠倒的位。如图5所示，在把数字数据输入到取样锁存器(SAL1-1...SAL1-12)的期间中，充电信号（CH）可以处于高电平。

保持锁存器(HOL1-1...HOL1-12,...,HOLm-1...HOLm-12)可以通过各自的第一输入端子(c1k)接收第二使能信号(EN2)和可以通过各自的第二输入端子(\neg c1k)接收第一使能信号(EN1)。接收第一使能信号(EN1)和第二使能信号(EN2)的保持锁存器(HOL1-1...HOL1-12,...,HOLm-1...HOLm-12)可以同时接收存储在取样锁存器(SAL1-1...SAL1-12,...,SALm-1...SALm-12)中的数字数据的每一个位。保持锁存器(HOL1-1...HOL1-12,...,HOLm-1...HOLm-12)可以把所接收的数字数据的每一个位输出到DAC单元500。

在一个实施中，与第一通道对应的保持锁存器(HOL1-1...HOL1-12)可以通过各自的第一输入端子(c1k)接收第二使能信号(EN2)和可以通过各自的第二输入端子(\neg c1k)接收第一使能信号(EN1)，并且可以同时接收存储在与第一通道对应的取样锁存器(SAL1-1...SAL1-12)中的数字数据的每个位或颠倒的位。保持锁存器(HOL1-1...HOL1-12)可以把数字数据的位或颠倒的位输出到第一通道的DAC。

例如，在第一通道中提供的第一保持锁存器(HOL1-1)可以接收存储在第一取样锁存器(SAL1-1)中的位D[5]，第二保持锁存器(HOL1-2)可以接收存储在第二取样锁存器(SAL1-2)中的颠倒的位 \neg D[5]。相似地，在第一通道中提供的保持锁存器(HOL1-3...HOL1-12)可以同时接收存储在取样锁存器(SAL1-3...SAL1-12)中的数字数据的每个位或颠倒的位(D[4]、 \neg D[4]、D[3]、 \neg D[3]、D[2]、 \neg D[2]、D[1]、 \neg D[1]、D[0]、 \neg D[0])，并且可以按上述相同方式

把位或颠倒的位输出到第一通道的 DAC。

可以把从保持锁存器 (HOL1_1...HOL1_12) 分别输出的位或颠倒的位输入到每个通道中提供的 DAC 的对应端子中的每个端子。DAC 可以选择多个灰度级电压中之一以对应于从保持锁存器提供的数字数据的位值。DAC 可以分别产生与所选择的灰度级电压对应的模拟数据信号, 以致把模拟信号分别提供给数据线 (D1...Dm)。

图 6 示出在图 4 的移位寄存器单元中提供的示范性移位寄存器的电路图。参考图 6, 移位寄存器 (SR) 可以接收开始脉冲 (SP) 或前一级的取样脉冲 (SAP)。移位寄存器 (SR) 可以包括具有连接到第二输入端子 (/clk) 的栅极的第一晶体管 (M1)、连接在第一晶体管 (M1) 和输出端子 (out) 之间的第二晶体管 (M2)、分别连接在第四电源 VSS 和第二输入端子 (/clk) 之间的第三晶体管 (M3) 和第四晶体管 (M4)、连接在第三电源 (VDD) 和输出端子 (out) 之间的第五晶体管 (M5) 以及连接在第二晶体管 (M2) 的栅极和第二电极之间的电容器 (C1)。第一到第五晶体管 (M1...M5) 的每一个都可以是 PMOS 晶体管。第三电源 (VDD) 可以具有比第四电源 (VSS) 的电压更高的电压。

第一晶体管 (M1) 的第一电极可以接收开始脉冲 (SP) 或前一级的取样脉冲 (SAP)。第一电极可以连接到外部输入端子。第一晶体管 (M1) 的栅极可以连接到第二输入端子 (/clk), 而第一晶体管 (M1) 的第二电极可以连接到第一节点 (N1)。可以对应于提供给第二输入端子 (/clk) 的第一时钟信号 (CLK1) 或第二时钟信号 (CLK2) 使第一晶体管 (M1) 导通或截止。

第二晶体管 (M2) 的栅极可以连接到第一节点 (N1), 第二晶体管 (M2) 的第一电极可以连接到第一输入端子 (clk)。第二晶体管 (M2) 的第二电极可以连接到输出端子 (out)。可以对应于第一节点 (N1) 的电压使第二晶体管 (M2) 导通或截止。

第三晶体管 (M3) 的第一电极可以连接到第二节点 (N2), 第三晶体管 (M3) 的第二电极可以连接到第四电源 (VSS)。第三晶体管 (M3) 的栅极可以连接到第二输入端子 (/clk)。可以对应于提供给第二输入端子 (/clk) 的第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 使第三晶体管 (M3) 导通或截止。

第四晶体管 (M4) 的第一电极可以连接到第二输入端子 (/clk), 第四晶体管 (M4) 的第二电极可以连接到第二节点 (N2)。第四晶体管 (M4) 的栅极可以连接到第一节点 (N1)。可以对应于第一节点 (N1) 的电压使第四晶体管 (M4) 导通或截止。

第五晶体管(M5)的第一电极可以连接到第三电源(VDD),第五晶体管(M5)的第二电极可以连接到输出端子(out)。第五晶体管(M5)的栅极可以连接到第二节点(N2)。可以对应于第二节点(N2)的电压使第五晶体管(M5)导通或截止。

电容器(C1)可以连接在第二晶体管(M2)的栅极和第二电极之间。当第一晶体管(M1)导通时,充在电容器(C1)上的电压可以对应于提供给第一节点(N1)的开始脉冲(SP)或前一级的取样脉冲(SAP)。

现在将描述移位寄存器(SR)的示范性操作,采取第一移位寄存器(SR1)作为特殊例子。为了便于讨论,假定第四电源(VSS)处于低电平电压,并且第三电源(VDD)可以是时钟信号(CLK1、CLK2)的高电平电压。第四电源(VSS)可以具有比第三电源(VDD)的电压更低的电压。例如,第四电源(VSS)可以处于地电压。

如图5所示,当输入处于高电平的第一时钟信号(CLK1)、输入处于低电平的第二时钟信号(CLK2)和输入处于低电平的开始脉冲(SP)时,第一晶体管(M1)和第三晶体管(M3)可以导通。如果第一晶体管(M1)导通,则可以把处于低电平的开始脉冲(SP)提供给第一节点(N1)。可以使第二晶体管(M2)和第四晶体管(M4)导通。

如果第四晶体管(M4)导通,则可以把第二时钟信号(CLK2)的低电平提供给第二节点(N2)。如果第三晶体管(M3)导通,则可以把第四电源(VSS)提供给第二节点(N2)。可以使第五晶体管(M5)导通以把第三电源(VDD)的电压提供给输出端子(out)。如果第二晶体管(M2)导通,则可以把处于高电平的第一时钟信号(CLK1)提供给输出端子(out)。

此时,可以在电容器(C1)中充入与第一节点(N1)和输出端子(out)之间的差对应的一个电压,即,可以在电容器(C1)中充入与开始脉冲(SP)的低电压和第三电源(VDD)之间的差对应的电压。

接着,第一时钟信号(CLK1)可以处于低电平,第二时钟信号(CLK2)可以处于高电平,而开始脉冲(SP)可以处于高电平。可以使接收处于高电平的第二时钟信号(CLK2)的第一晶体管(M1)和第三晶体管(M3)截止。可以把第一节点(N1)设置成低电平以与电容器(C1)中所充入的电压对应。如图5所示,第二晶体管(M2)可以导通,输出端子(out)的电压可以降低到第一时钟信号(CLK1)的低电平电压。即,可以产生第一取样脉冲(SAP1)。

如果第一节点(N1)的电压处于低电平,则可以使第四晶体管(M4)导通。

如果第四晶体管 (M4) 导通, 则可以把处于高电平的第二时钟信号 (CLK2) 提供给第二节点 (N2)。因此, 可以使第五晶体管 (M5) 截止。

接着, 第一时钟信号 (CLK1) 可以处于高电平, 第二时钟信号 (CLK2) 可以处于低电平, 而开始脉冲 (SP) 可以处于高电平。接收处于低电平的第二时钟信号 (CLK2) 的第一晶体管 (M1) 和第三晶体管 (M3) 导通。如果第三晶体管 (M3) 导通, 则可以把第四电源 (VSS) 的电压提供给第二节点 (N2)。可以使第五晶体管 (M5) 导通, 而可以把第三电源 (VDD) 的电压提供给输出端子 (out)。

如果第一晶体管 (M1) 导通, 则可以把高电平电压提供给第一节点 (N1)。电容器 (C1) 中没有充入高电平电压。因此, 虽然下一个时钟信号 (CLK1、CLK2) 的相位是反相的, 也可以使第二晶体管 (M2) 和第四晶体管 (M4) 导通。移位寄存器 (SR) 可以输出高电平。

即, 在时钟信号 (CLK1、CLK2) 的半个周期中, 移位寄存器 (SR) 可以把低电平电压存储在电容器 (C1) 中, 并且在当把低电平电压输入到外部输入端子的时钟信号 (CLK1、CLK2) 的另半个周期中, 输出低电平电压, 即, 取样脉冲 (SAP)。

当可以输入处于低电平的第一时钟信号 (CLK1)、处于高电平的第二时钟信号 (CLK2)、和第一取样脉冲 (SAP1) 时, 第二移位寄存器 (SR2) 可以把与第一取样脉冲 (SAP1) 对应的电压充入电容器 (C1) 中。当第一时钟信号 (CLK1) 处于高电平并且第二时钟信号 (CLK2) 处于低电平时, 第二移位寄存器 (SR2) 可以输出第二取样脉冲 (SAP2)。如上所述, 移位寄存器 (SR1...SRm) 可以通过重复这个操作而顺序地输出取样脉冲 (SAP1 到 SAPm)。

如图 5 所示, 当第一和第二时钟信号 (CLK1、CLK2) 两者都处于高电平时, 如果在前一过程中第一时钟信号 (CLK1) 处于低电平并且第二时钟信号 (CLK2) 处于高电平, 则可以保持前一输出。同样, 由于许多第一和第二时钟信号 (CLK1、CLK2) 的高电平可能重叠, 即, 同时处于高, 所以如果第一时钟信号 (CLK1) 处于高电平并且第二时钟信号 (CLK2) 处于低电平, 则在相邻移位寄存器 (SR) 的输出脉冲之间可能因为输出处于高电平而产生间隙。

图 7 示出图 4 的取样锁存单元中提供的示范性取样锁存器的电路图。取样锁存器 (SAL1-1...SAL1-12, ..., SALm-1...SALm-12) 中的第一取样锁存器 (SAL1-1, SAL2-1, ..., SALm-1)。第一取样锁存器 (SAL1-1, SAL2-1, ..., SALm-1) 可以接收最高有效位, 例如, 位 D[5]。参考图 7, 可以用与图 6 所示的移位寄存器 (SR) 相同的电路来实施图 4 所示的取样锁存器

(SAL1-1...SAL1-12,...,SALm-1...SALm-12)中的每一个。然而,取样锁存器(SAL1-1...SAL1-12,...,SALm-1...SALm-12)可以通过各个第一输入端子(c1k)接收充电信号(CH),并且可以通过各个第二输入端子(/c1k)接收取样脉冲(SAP)。

现在将结合图5所示的时序图来描述第一通道中的第一取样锁存器(SAL1-1)的示范性操作。当第一取样脉冲(SAP1)处于低电平并且充电信号(CH)处于高电平时,第一取样锁存器(SAL1-1)可以接收最高有效位,例如,位D[5](图5的a1)。可以把输入到第一取样锁存器(SAL1-1)的位D[5]存储在电容器(C1)中。由于第一取样脉冲(SAP1)可以处于低电平,所以第五晶体管(M5)导通。因此,可以从输出端子(out)输出高电平电压。

接着,如果第一取样脉冲(SAP1)处于高电平,并且充电信号(CH)处于高电平,则可以通过输出端子(out)输出与D[5]对应的电压。例如,如果位D[5](a1)是低电平电压,则可以通过输出端子(out)输出低电平电压,而如果位D[5](a1)是高电平电压,则可以通过输出端子(out)输出高电平电压。

按上述相同方式,当第二取样脉冲(SAP2)处于低电平并且充电信号(CH)处于高电平时,在第二通道中提供的第一取样锁存器(SAL2-1)也可以接收数字数据的最高有效位,例如,位D[5](图5的a2)。可以把数字数据的位D[5]存储在电容器(C1)中。接着,第二取样脉冲(SAP2)可以处于高电平,充电信号(CH)可以处于低电平,并且可以通过输出端子(out)输出与位D[5]对应的电压。

第二取样锁存器(SAL2-2)可以接收颠倒的位/D[5](图5中的/a1,/a2,...,/an),并且当每个取样脉冲(SAP1,SAP2,...,SAPm)处于低电平和充电信号(CH)处于高电平时,可以把颠倒的位/D[5]存储在电容器(C1)中。因此,第二取样锁存器(SAL2-2)可以按与每个通道中所提供的第一取样锁存器(SAL1-1,SAL2-1,...,SALm-1)相同的方式来操作。如果取样脉冲(SAP1,SAP2,...,SAPm)处于高电平并且充电信号(CH)处于低电平,则可以从输出端子(out)输出与颠倒的位/D[5]对应的电压。

当把取样脉冲(SAP)和充电信号(CH)提供给取样锁存器(SAL1-1...SAL1-12,...,SALm-1...SALm-12)时,取样锁存器(SAL1-1...SAL1-12,...,SALm-1...SALm-12)可以接收数字数据的位或颠倒的位。取样锁存器(SAL1-1...SAL1-12,...,SALm-1...SALm-12)可以通过输出端子(out)输出与所接收的位对应的电压。

图 8 示出图 4 的保持锁存单元中提供的示范性保持锁存器的电路图。参考图 8, 可以用与图 6 所示的移位寄存器 (SR) 的电路相同的电路来实施如图 4 所示的每个保持锁存器 (HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12)。然而, 保持锁存器 (HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12) 可以通过各自的第一输入端子 (clk) 接收第二使能信号 (EN2), 并且可以通过各自的第二输入端子 (/clk) 接收第一使能信号 (EN1)。

现在将结合图 5 所示的时序图来描述示范性操作。如图 5 所示, 当取样锁存器 (SAL1...SALm) 输出数字数据时, 第一使能信号 (EN1) 可以处于低电平, 并且第二使能信号 (EN2) 可以处于高电平。接着, 每个保持锁存器可以接收从每个取样锁存器 (SAL1 到 SALm) 输出的数据位。可以把输入到保持锁存器的数据位存储在每个保持锁存器所包含的电容器 (C1) 中。

然后, 如果第一使能信号 (EN1) 处于高电平并且第二使能信号 (EN2) 处于低电平, 则每个保持锁存器 (HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12) 可以把与存储在每个保持锁存器 (HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12) 中的数据位对应的电压 (高或低) 输出到 DAC 单元 500。

例如, 第一通道中提供的第一保持锁存器 (HOL1-1) 可以接收从第一取样锁存器 (SAL1-1) 输出的位 D[5] (图 5 的 a1), 然后当第一使能信号 (EN1) 处于低电平并且第二使能信号 (EN2) 处于高电平时把位 D[5] 存储在电容器 (C1) 中。接着, 如果第一使能信号 (EN1) 处于高电平并且第二使能信号 (EN2) 处于低电平, 则第一保持锁存器 (HOL1-1) 可以把与所存储的 D[5] (a1) 对应的电压 (高或低) 输出到第一通道的 DAC。

按上述相同方式, 第二通道中提供的第一保持锁存器 (HOL2-1) 也可以接收从第一取样锁存器 (SAL2-1) 输出的位 D[5], 并且当第一使能信号 (EN1) 处于低电平并且第二使能信号 (EN2) 处于高电平时可以把位 D[5] 存储在电容器 (C1) 中。当第一使能信号 (EN1) 处于高电平并且第二使能信号 (EN2) 处于低电平时, 第一保持锁存器 (HOL1-1) 可以把与所存储的位 D[5] 对应的电压 (高或低) 输出到第一通道的 DAC。

在上述操作中, 第二保持锁存器 (HOL2-2) 可以把与颠倒的位 /D[5] 对应的电压输出到第二通道的 DAC, 因为它可以按与每个通道中提供的第一保持锁存器 (HOL1-1, HOL2-1, ..., HOLm-1) 相同的方式来操作。

图 9 示出图 4 的示范性数模转换器 (DAC) 单元的电路图。为讨论起见, 将在 DAC 接收 6 位数字数据的假设下描述示范性 DAC。参考图 9, 可以只用 PMOS

晶体管来实现 DAC。DAC 可以接收通过保持锁存器输出的 6 位数字数据的每个位或颠倒的位。DAC 可以选择多个灰度级电压中之一以对应于 6 位数字数据的位或颠倒的位，并且可以产生与多个灰度级电压中之一对应的模拟数据信号，以把模拟数据信号提供给数据线，例如，数据线 D1。

例如，如果输入数字数据是 [000000]，则可以选择和输出灰度级电压中的 V_0 。如果输入数字数据是 [000001]，则可以选择和输出灰度级电压中的 V_1 。如果输入数字数据是 [111111]，则可以选择和输出灰度级电压中的 V_63 。因此，如果输入 6 位数字数据，则总共可以显示 64 个灰度级电压。即，如果选择与特定数字数据对应的灰度级电压，则可以把与特定数字数据对应的灰度级电压供给与特定数字数据对应的数据线。

参考移位寄存器 (S/R)、取样锁存器 (SAL)、保持锁存器 (HOL) 和 DAC 的上述操作来描述图 5 如下。然而，假定：向每个通道输入最高有效位和颠倒的最高有效位。

当第二时钟信号 (CLK2) 处于低电平时，奇数编号的移位寄存器 (SR1, SR3, ...) 可以充入与开始脉冲 (SP) 或前一级的取样脉冲 (SAP) 对应的电压，并且当第二时钟信号 (CLK2) 处于高电平时，可以输出低电平电压以对应于所充入的开始脉冲 (SP) 或前一级的取样脉冲 (SAP)。当第一时钟信号 (CLK1) 处于低电平时，偶数编号移位寄存器 (SR2, SR4, ...) 可以充入与前一级的取样脉冲 (sap) 对应的电压，并且当第一时钟信号 (CLK1) 处于高电平时，可以输出低电平电压以对应于所充入的取样脉冲 (sap)。因此，移位寄存器 (SR1...SRm) 可以顺序地产生取样脉冲 (SAP1 到 SAPm)，如图 5 所示。

如图 5 所示，当第一和第二时钟信号 (CLK1、CLK2) 两者都处于高电平时，如果在前一过程中第一时钟信号 (CLK1) 处于低电平并且第二时钟信号 (CLK2) 处于高电平，则可以保持前一输出。同样，由于许多第一和第二时钟信号 (CLK1、CLK2) 的高电平可能重叠，即，CLK1 和 CLK2 同时处于高，所以如果第一时钟信号 (CLK1) 处于高电平并且第二时钟信号 (CLK2) 处于低电平，则在相邻移位寄存器 (SR) 的输出脉冲之间可能因为输出处于高电平而产生间隙，如前所述。

每个通道中提供的第一和第二取样锁存器 (SAL1-1, SAL1-2, ..., SALm-1, SALm-2) 中的每一个都可以接收最高有效位 (D[5]) 或颠倒的最高有效位 (/D[5])，并且当充电信号 (CH) 处于高电平并且把取样脉冲 (SAP1 到 SAPm 中的任何一个) 提供给第一和第二取样锁存器 (SAL1-1, SAL1-2, ..., SALm-1, SALm-2) 时，存储最高有效位 (D[5]) 或颠倒的最高有效位 (/D[5])。接着，当

取样脉冲 (SAP1 到 SAPm 中的任何一个) 处于高电平并且充电信号 (CH) 处于低电平时, 第一和第二取样锁存器 (SAL1-1, SAL1-2, ..., SALm-1, SALm-2) 可以同时输出与所存储的数据位对应的电压。

即, 第一和第二取样锁存器 (SAL1-1, SAL1-2, ..., SALm-1, SALm-2) 可以接收位 D[5] 和颠倒的位 /D[5], 并且当取样脉冲 (SAP1, SAP2, ..., SAPm) 的每一个处于低电平和充电信号 (CH) 处于高电平时把位 D[5] 和颠倒的位 /D[5] 存储在电容器 (C1) 中。接着, 当取样脉冲 (SAP1, SAP2, ..., SAPm) 的每一个处于高电平并且充电信号 (CH) 处于低电平时, 可以通过输出端子 (out) 同时输出与位 D[5] 和颠倒的位 /D[5] 对应的电压。

当第一使能信号 (EN1) 处于低电平并且第二使能信号 (EN2) 处于高电平时, 第一和第二保持锁存器 (HOL1-1, HOL1-2, ..., HOLm-1, HOLm-2) 的每一个可以接收从第一和第二取样锁存器 (SAL1-1, SAL1-2, ..., SALm-1, SALm-2) 输出的数据位。同样, 当第一使能信号 (EN1) 处于高电平并且第二使能信号 (EN2) 处于低电平时, 第一和第二保持锁存器 (HOL1-1, HOL1-2, ..., HOLm-1, HOLm-2) 的每一个可以把高电平电压或低电平电压输出到 DAC, 以对应于存储在第一和第二保持锁存器 (HOL1-1, HOL1-2, ..., HOLm-1, HOLm-2) 中的数字数据。

可以把分别从保持锁存器输出的位和颠倒的位输入到每个通道中提供的 DAC 的对应端子中的每一个端子。DAC 可以选择多个灰度级电压中之一, 以对应于从保持锁存器提供的数据的位值。DAC 可以分别产生与所选择的灰度级电压对应的模拟数据信号, 以致把模拟数据信号分别提供给数据线 (D1 到 Dm)。

如上所述, 可以只用 PMOS 晶体管来实现数据驱动器 20。可以把数据驱动器 20 安装在屏中, 因此, 可以降低包含有数据驱动器的显示器的制造成本。

图 10 示出图 1 的数据驱动器第二示范性实施例的基本方框图。将在数据驱动器包括“m”个通道的假设下来描述数据驱动器。参考图 10, 数据驱动器 20' 可以包括移位寄存器单元 100、转换单元 200、取样锁存单元 300、保持锁存单元 400 以及 DAC 单元 500。与图 3 示出的数据驱动器 20 比较, 转换单元 200 是一个附加单元。转换单元 200 可以输出转换信号 (CV)。可以不使用充电信号 (CH)。

移位寄存器单元 100 可以接收开始脉冲 (SP)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2), 以顺序地产生取样脉冲 (SAP)。移位寄存器单元 100 可以包括“m”个移位寄存器。

转换单元 200 可以接收第一时钟信号 (CLK1)、第二时钟信号 (CLK2) 和取样

脉冲 (SAP) 以顺序地产生转换信号 (CV)。转换单元 200 可以包括“m”个转换电路。

取样锁存单元 300 可以接收取样脉冲 (SAP) 和转换信号 (CV)。取样锁存单元 300 还可以接收输入数字数据的每个位和颠倒的位, 然后可以存储位和颠倒的位。因此, 取样锁存单元 300 可以包括如输入数字数据位数的两倍那么多的取样锁存器。例如, 如果输入 6 位数字数据, 则取样锁存单元 300 在每个通道中可以包括 $12 (= 6 \times 2)$ 个取样锁存器。每个取样锁存器可以存储位 (DATA) 或颠倒的位 (/DATA)。

保持锁存单元 400 可以接收第一使能信号 (EN1) 和第二使能信号 (EN2)。保持锁存单元 400 可以同时接收从取样锁存单元 300 输出的每个位和颠倒的位。保持锁存单元 400 可以把每个位和颠倒的位输出到 DAC 单元 500。因此, 与取样锁存单元 300 相似, 保持锁存单元 400 也可以包括如输入到每个通道的数字数据位数的两倍那么多的保持锁存器。例如, 如果输入 6 位数字数据, 则保持锁存单元 400 在每个通道中可以包括 $12 (= 6 \times 2)$ 个保持锁存器。

DAC 单元 500 可以产生与从保持锁存单元 400 输出的数字数据的每个位值对应的模拟信号。即, DAC 单元 500 可以选择多个灰度级电压中之一以对应于从保持锁存单元 400 提供的数字数据的位值并且产生模拟数据信号。DAC 单元 500 可以把模拟数据信号分别提供给数据线 (D1 到 Dm)。DAC 单元 500 可以包括数量为“m”个的 DAC。

图 11 示出图 10 的数据驱动器的第二示范性实施例的详细方框图, 图 12 示出用于驱动图 11 的数据驱动器的时序图。将在数据驱动器包括数量为“m”个的通道并且输入 6 位数字数据的假设下描述图 10。然而, 可以理解, 本发明不局限于此。图 12 示出时序图, 其中可以把数字数据的最高有效位和颠倒的最高有效位输入到每个通道。

如上所述, 转换单元 200 可以包括在移位寄存器单元和取样锁存单元之间, 并且可以输出转换信号 (CV)。因此, 可以不使用充电信号 (CH)。因此, 第二示范性实施例与之前结合图 4 和 5 描述的第一实施例不同。具体操作可以和上述第一实施例相同。

参考图 11, 移位寄存器单元 100 和转换单元 200 的每个通道可以分别包括移位寄存器 (SR1...SRm) 中之一和转换电路 (CC1...CCm) 中之一。取样锁存单元 300 的每个通道可以包括 12 个取样锁存器 (SAL1-1...SAL1-12, ..., SALm-1...SALm-12), 保持锁存单元 400 的每个通道可以包括 12 个保持锁存器

(HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12)。为了清楚起见, 图 11 中主要示出第一通道的配置。

移位寄存器 (SR1...SRm) 中的奇数编号的移位寄存器 (SR1, SR3, ...) 可以通过各自的第一输入端子 (clk) 接收第一时钟信号 (CLK1), 并且可以通过各自的第二输入端子 (/clk) 接收第二时钟信号 (CLK2)。移位寄存器 (SR1...SRm) 中的偶数编号的移位寄存器 (SR2, ..., SRm) 可以通过各自的第一输入端子 (clk) 接收第二时钟信号 (CLK2), 并且可以通过各自的第二输入端子 (/clk) 接收第一时钟信号 (CLK1)。第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 可以具有相位差, 例如, 约 180° 。在预定期间中的同一时刻, 第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 两者都可以处于高电平, 如图 12 所示。

移位寄存器 (SR1...SRm) 中的第一移位寄存器 (SR1) 可以接收第一时钟信号 (CLK1)、第二时钟信号 (CLK2) 和开始脉冲 (SP) 以产生第一取样脉冲 (SAP1)。第二移位寄存器 (SR2) 可以接收第一时钟信号 (CLK1)、第二时钟信号 (CLK2) 和第一取样脉冲 (SAP1) 以产生第二取样脉冲 (SAP2)。即, 移位寄存器 (SR1...SRm) 可以接收开始脉冲 (SP) 或前一级的取样脉冲 (SAP), 以致顺序地产生取样脉冲 (SAP), 如图 12 所示。

转换电路 (CC1...CCm) 中的奇数编号的转换电路 (CC1, CC3, ...) 可以通过各自的第一输入端子 (clk) 接收第一时钟信号 (CLK1) 并且可以通过各自的第二输入端子 (/clk) 接收第二时钟信号 (CLK2)。偶数编号的转换电路 (CC2, CC4, ...) 可以通过各自的第一输入端子 (clk) 接收第二时钟信号 (CLK2) 并且可以通过各自的第二输入端子 (/clk) 接收第一时钟信号 (CLK1)。

转换电路 (CC1...CCm) 可以接收取样脉冲 (SAP)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 以产生转换信号 (CV)。例如, 第一转换电路 (CC1) 可以接收第一取样脉冲 (SAP1)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 以产生第一转换信号 (CV1)。第二转换电路 (CC2) 可以接收第二取样脉冲 (SAP2)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 以产生第二转换信号 (CV2)。如图 12 所示, 在预定期间中, 第一转换信号 (CV1) 和第二转换信号 (CV2) 可以重叠。

取样锁存器 (SAL1-1...SAL1-12, ..., SALm-1...SALm-12) 可以通过各自的第一输入端子 (clk) 接收转换信号 (CV) 和可以通过各自的第二输入端子 (/clk) 接收取样脉冲 (SAP)。取样锁存器 (SAL1-1...SAL1-12, ..., SALm-1...SALm-12) 还可以接收数字数据的位或颠倒的位, 并且存储数字数据的位或颠倒的位。

例如，与第一通道对应的取样锁存器(SAL1-1...SAL1-12)可以通过各自的第一输入端子(c1k)接收第一转换信号(CV1)和可以通过各自的第二输入端子(/c1k)接收第一取样脉冲(SAP1)。取样锁存器(SAL1-1...SAL1-12)可以接收与第一通道对应的数字数据的位或颠倒的位，并且存储数字数据的位或颠倒的位。

在一个实施中，在第一通道中提供的第一取样锁存器(SAL1-1)可以接收数字数据的最高有效位，例如，位D[5]（图12中的a1），并且当把第一取样脉冲(SAP1)和第一转换信号(CV1)提供给第一取样锁存器时，可以存储数字数据的最高有效位D[5]。第二取样锁存器(SAL1-2)可以接收数字数据的颠倒的最高有效位，例如，位/D[5]（图12中的/a1），并且当把第一取样脉冲(SAP1)和第一转换信号(CV1)提供给第二取样锁存器(SAL1-2)时可以存储颠倒的最高有效位/D[5]。

在第一通道中提供的其余取样锁存器(SAL1-3...SAL1-12)也可以接收数字数据的位或颠倒的位，例如，位D[4]、/D[4]、D[3]、/D[3]、D[2]、/D[2]、D[1]、/D[1]、D[0]、/D[0]，并且当把第一取样脉冲(SAP1)和第一转换信号(CV1)提供给其余取样锁存器(SAL1-3...SAL1-12)时，可以按上述相同方式来存储位或颠倒的位。

保持锁存器(HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12)可以通过各自的第一输入端子(c1k)接收第二使能信号(EN2)和可以通过各自的第二输入端子(/c1k)接收第一使能信号(EN1)。接收第一使能信号(EN1)和第二使能信号(EN2)的保持锁存器(HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12)可以同时接收存储在取样锁存器(SAL1-1...SAL1-12, ..., SALm-1...SALm-12)中的数字数据(DATA)的位中的每一个位。保持锁存器(HOL1-1...HOL1-12, ..., HOLm-1...HOLm-12)可以把所接收的数字数据的位中的每一个位输出到DAC单元500。

在一个实施中，与第一通道对应的保持锁存器(HOL1-1...HOL1-12)可以通过各自的第一输入端子(c1k)接收第二使能信号(EN2)和可以通过各自的第二输入端子(/c1k)接收第一使能信号(EN1)，并且可以同时接收存储在与第一通道对应的取样锁存器(SAL1-1...SAL1-12)中的数字数据的每个位或颠倒的位。保持锁存器(HOL1-1...HOL1-12)可以把数字数据的位或颠倒的位输出到第一通道的DAC。

例如，在第一通道中提供的第一保持锁存器(HOL1-1)可以接收存储在第一

取样锁存器 (SAL1-1) 中的位 D[5], 第二保持锁存器 (HOL1-2) 可以接收存储在第二取样锁存器 (SAL1-2) 中的颠倒的位 $\bar{D}[5]$ 。相似地, 在第一通道中提供的保持锁存器 (HOL1-3...HOL1-12) 可以同时接收存储在取样锁存器 (SAL1-3...SAL1-12) 中的每个位或颠倒的位 D[4]、 $\bar{D}[4]$ 、D[3]、 $\bar{D}[3]$ 、D[2]、 $\bar{D}[2]$ 、D[1]、 $\bar{D}[1]$ 、D[0]、 $\bar{D}[0]$, 并且可以按上述相同方式把位或颠倒的位输出到第一通道的 DAC。

可以把从保持锁存器分别输出的数字数据的位和颠倒的位输入到每个通道中提供的 DAC 的对应端子中的每个端子。DAC 可以选择多个灰度级电压中之一以对应于从保持锁存器提供的数字数据的位值。DAC 可以分别产生与所选择的灰度级电压对应的模拟数据信号, 以致把模拟信号分别提供给数据线 (D1...Dm)。

图 13 示出图 11 的示范性转换电路的电路图。参考图 13, 转换电路 (CC1...CCm) 的每一个可以包括输入单元 202 和输出单元 204。包括在输入和输出单元 202 和 204 中的晶体管 (M11 到 M18) 可以是 PMOS 型晶体管, 即, 每个晶体管都可以是 PMOS 的。

输出单元 204 可以对应于从输入单元 202 输入的高电平或低电平、通过第一输入端子 (clk) 输入的时钟信号 (CLK1 或 CLK2) 的状态和通过第三输入端子 (in) 输入的取样脉冲 (SAP) 来控制是否输出转换信号 (CV)。

输出单元 204 可以包括连接在第三电源 (VDD) 和输出端子 (out) 之间的第十一晶体管 (M11)、连接在输出端子 (out) 和第四电源 (VSS) 之间的第十二晶体管 (M12) 和第十四电容器 (C14)、连接在第十二晶体管 (M12) 的栅极和第一电极之间的第十三晶体管 (M13) 和第十一电容器 (C11)、连接到第十二晶体管 (M12) 的栅极和输入单元 202 的输出端子之间的第十四晶体管 (M14)、连接在第三输入端子 (in) 和第十一晶体管 (M11) 之间的第十五晶体管 (M15) 以及连接在第十一晶体管 (M11) 的栅极和第一电极之间的第十二电容器 (C12)。

第十一晶体管 (M11) 的栅极可以连接到第十五晶体管 (M15) 的第二电极和第十二电容器 (C12) 的一个端子, 第十一晶体管 (M11) 的第一电极可以连接到第三电源 (VDD)。第十一晶体管 (M11) 的第二电极可以连接到输出端子 (out)。当第十五晶体管 (M15) 导通时, 可以根据从第三输入端子 (in) 输入的电压或存储在第十二电容器 (C12) 中的电压来使第十一晶体管 (M11) 导通或截止。

第十二电容器 (C12) 可以连接在第十一晶体管 (M11) 的第一电极和栅极

之间。可以在第十二电容器 (C12) 中充入与第十一晶体管 (M11) 的导通或截止状态对应的电压。例如, 如果第十一晶体管 (M11) 导通, 则可以把能够使第十一晶体管 (M11) 导通的电压充入第十二电容器 (C12), 如果第十一晶体管 (M11) 截止, 则可以把能够使第十一晶体管 (M11) 截止的电压充入第十二电容器 (C12)。

第十二晶体管 (M12) 的栅极可以连接到第十四晶体管 (M14) 的第一电极、第十一电容器 (C11) 的一个端子和第十三晶体管 (M13) 的第二电极。第十二晶体管 (M12) 的第一电极可以连接到输出端子 (out), 第十二晶体管 (M12) 的第二电极可以连接到第四电源 (VSS)。可以根据提供给第十二晶体管 (M12) 的栅极的电压来使第十二晶体管 (M12) 导通或截止。

第十一电容器 (C11) 可以连接在第十二晶体管 (M12) 的第一电极和栅极之间。可以在第十一电容器 (C11) 中充入与第十二晶体管 (M12) 的导通或截止状态对应的电压。例如, 如果第十二晶体管 (M12) 导通, 则可以把能够使第十二晶体管 (M12) 导通的电压充入第十一电容器 (C11), 如果第十二晶体管 (M12) 截止, 则可以把能够使第十二晶体管 (M12) 截止的电压充入第十一电容器 (C11)。

第十三晶体管 (M13) 的栅极可以连接到第十一晶体管 (M11) 的栅极, 第十三晶体管 (M13) 的第一电极可以连接到第十一晶体管 (M11) 的第二电极。第十三晶体管 (M13) 的第二电极可以连接到第十二晶体管 (M12) 的栅极。在与第十一晶体管 (M11) 一起导通或截止的同时, 第十三晶体管 (M13) 可以控制提供给第十二晶体管 (M12) 栅极的电压。

第十四晶体管 (M14) 的栅极可以连接到输入单元 202 的输出端子, 第十四晶体管 (M14) 的第一电极可以连接到第十二晶体管 (M12) 的栅极。第十四晶体管 (M14) 的第二电极可以连接到第四电源 (VSS)。在根据从输入单元 202 的输出端子提供的电压而导通或截止的同时, 第十四晶体管 (M14) 可以控制提供给第十二晶体管 (M12) 栅极的电压。

第十五晶体管 (M15) 的栅极可以连接到第一输入端子 (clk), 第十五晶体管 (M15) 的第一电极可以连接到第三输入端子 (in)。第十五晶体管 (M15) 的第二电极可以连接到第十一晶体管 (M11) 的栅极。在根据通过第一输入端子 (clk) 输入的第一时钟信号 (CLK1) 或第二时钟信号 (CLK2) 而导通或截止的同时, 第十五晶体管 (M15) 可以把第三输入端子 (in) 的电压提供给第十一晶体管 (M11) 的栅极。

第十四电容器 (C14) 可以连接在输出端子 (out) 和第四电源 (VSS) 之间。可以使用第十四电容器 (C14) 使输出端子 (out) 的电压稳定。

输入单元 202 可以对应于第一输入端子 (clk)、第二输入端子 (/clk) 和第三输入端子 (in) 的电压而把高电平或低电平电压提供给输出单元 204。

输入单元 202 可以包括连接到第三电源 (VDD) 和第三输入端子 (in) 的第十八晶体管 (M18)、连接在第十八晶体管 (M18) 和输出单元 204 之间的第十六晶体管 (M16) 以及连接在第十八晶体管 (M18) 和第二输入端子 (/clk) 之间的第十七晶体管 (M17)。

第十六晶体管 (M16) 的第一电极可以连接到输出单元 204 的输入端子, 第十六晶体管 (M16) 的第二电极可以连接到第一输入端子 (clk)。第十六晶体管 (M16) 的栅极可以连接到第十八晶体管 (M18) 的第二电极和第十七晶体管 (M17) 的第一电极。可以根据从第三输入端子 (in)、第二输入端子 (/clk) 或第十三电容器 (C13) 提供的电压使第十六晶体管 (M16) 导通或截止。

第十三电容器 (C13) 可以连接在第十六晶体管 (M16) 的第一电极和栅极之间。可以在如此的第十三电容器 (C13) 中充入与第十六晶体管 (M16) 的导通或截止状态对应的电压。例如, 如果第十六晶体管 (M16) 导通, 则可以把能够使第十六晶体管 (M16) 导通的电压充入第十三电容器 (C13), 而如果第十六晶体管 (M16) 截止, 则可以把能够使第十六晶体管 (M16) 截止的电压充入第十三电容器 (C13)。

第十七晶体管 (M17) 的栅极和第二电极可以连接到第二输入端子 (/clk), 第十七晶体管 (M17) 的第一电极可以连接到第十八晶体管 (M18) 的第二电极。第十七晶体管 (M17) 可以连接成二极管形式, 然后根据提供给第二输入端子 (/clk) 的第一时钟信号 (CLK1) 或第二时钟信号 (CLK2) 使其导通或截止。

第十八晶体管 (M18) 的栅极可以连接到第三输入端子 (in), 而第十八晶体管 (M18) 的第一电极可以连接到第三电源 (VDD)。第十八晶体管 (M18) 的第二电极可以连接到第十六晶体管 (M16) 的栅极。第十八晶体管 (M18) 可以根据提供给第三输入端子 (in) 的电压而导通或截止。

图 14 示出用于驱动图 13 的转换电路的时序图。如图 14 所示, 在下面的说明中, 将假设把第一时钟信号 (CLK1) 提供给第一输入端子 (clk) 和把第二时钟信号 (CLK2) 提供给第二输入端子 (/clk)。参考图 13 和 14, 在第一期间 T(1) 中, 可以通过第一输入端子 (clk) 输入低电平电压, 可以通过第二输入端子 (/clk) 输入高电平电压, 并且可以通过第三输入端子 (in) 输入高电平电压。

如果通过第三输入端子 (in) 和第二输入端子 (/clk) 输入高电平电压, 则第十七晶体管 (M17) 和第十八晶体管 (M18) 截止。此时, 之前存储在第十三晶体管 (C13) 中的电压使第十六晶体管 (M16) 导通。可以经由第十六晶体管 (M16) 通过输入单元 202 的输出端子来输出通过第一输入端子 (clk) 输入的低电平电压。

如果通过输入单元 202 的输出端子输出低电平电压, 则第十四晶体管 (M14) 导通。同样, 第十五晶体管 (M15) 根据提供给第一输入端子 (clk) 的低电平电压而导通。如果第十五晶体管 (M15) 导通, 则可以把提供给第三输入端子 (in) 的高电平电压提供给第十一晶体管 (M11) 和第十三晶体管 (M13) 的栅极。这样, 第十一晶体管 (M11) 和第十三晶体管 (M13) 截止, 而且可以把与截止状态对应的电压充入第十二电容器 (C12) 中。

如果第十四晶体管 (M14) 导通, 则可以把第四电源 (VSS) 的电压提供给第十二晶体管 (M12) 的栅极。如果把第四电源 (VSS) 的电压提供给第十二晶体管 (M12) 的栅极, 则第十二晶体管 (M12) 导通, 而且可以把与导通状态对应的电压充入第十一电容器 (C11) 中。此外, 如果第十二晶体管 (M12) 导通, 则在第一期间 (T1) 中可以通过输出端子 (out) 输出低电平电压。

在第二期间 (T2) 中, 可以把高电平电压输入到第一输入端子 (clk), 可以把低电平电压输入到第二输入端子 (/clk), 以及可以把低电平电压输入到第三输入端子 (in)。

如果把低电平电压输入到第二输入端子 (/clk), 则第十七晶体管 (M17) 导通。如果把低电平电压输入到第三输入端子 (in), 则第十八晶体管 (M18) 导通。这样, 第十六晶体管 (M16) 导通, 并且输入第一输入端子 (clk) 的高电平电压可以通过输入单元 202 的输出端子输出。此时, 可以把与第十六晶体管 (M16) 的导通状态对应的电压充入第十三电容器 (C13) 中。

如果通过输入单元 202 的输出端子输出高电平电压, 则第十四晶体管 (M14) 截止。第十五晶体管 (M15) 根据提供给第一输入端子 (clk) 的高电平电压而截止。

如果第十五晶体管 (M15) 截止, 则第十一晶体管 (M11) 和第十三晶体管 (M13) 根据存储在第十二电容器 (C12) 中的截止电压而截止。此外, 如果第十四晶体管 (M14) 截止, 则第十二晶体管 (M12) 可以根据存储在第十一电容器 (C11) 中的导通电压而导通, 并且可以通过输出端子 (out) 输出低电平电压。即, 在第二期间 (T2) 中可以保持第一期间 (T1) 中的前一输出状态。

在第三期间 (T3) 中, 可以把低电平电压输入到第一输入端子 (clk), 可以把高电平电压输入到第二输入端子 (/clk), 以及可以把低电平电压输入到第三输入端子 (in)。

如果把电压的高电平输入到第二输入端子 (/clk), 则第十七晶体管 (M17) 截止。如果把低电平电压输入到第三输入端子 (in), 则第十八晶体管 (M18) 导通。可以使第十六晶体管 (M16) 的栅极电压增加到第三电源 (VDD) 的电压。如果第十六晶体管 (M16) 的栅极电压增加到第三电源 (VDD) 的电压, 则第十六晶体管 (M16) 第一电极的电压不会减少到低于第三电源 (VDD) 的电压, 因此, 第十四晶体管 (M14) 截止。

第十五晶体管 (M15) 可以根据提供给第一输入端子 (clk) 的低电平电压而导通。如果第十五晶体管 (M15) 导通, 则可以把输入到第三输入端子 (in) 的低电平电压提供给第十一晶体管 (M11) 和第十三晶体管 (M13) 的栅极。因此, 第十一晶体管 (M11) 和第十三晶体管 (M13) 导通。这样, 可以把与第十一晶体管 (M11) 的导通状态对应的电压充入第十二电容器 (C12) 中。

如果第十一晶体管 (M11) 导通, 则可以把第三电源 (VDD) 的电压提供给输出端子 (out)。即, 可以把高电平电压输出到输出端子 (out)。如果第十三晶体管 (M13) 导通, 则可以把第三电源 (VDD) 提供给第十二晶体管 (M12) 的栅极, 因此第十二晶体管 (M12) 截止。这样, 可以把与截止状态对应的电压存储在第十一电容器 (C11) 中。

在第四期间 (T4) 中, 可以把高电平电压输入到第一输入端子 (clk), 可以把低电平电压输入到第二输入端子 (/clk) 以及可以把高电平电压输入到第三输入端子 (in)。

如果把低电平电压输入到第二输入端子 (/clk), 则第十七晶体管 (M17) 导通。如果把高电平电压输入到第三输入端子 (in), 则第十八晶体管 (M18) 截止。可以把输入到第二输入端子 (/clk) 的低电平电压提供给第十六晶体管 (M16), 因此, 第十六晶体管 (M16) 导通。如果第十六晶体管 (M16) 导通, 则可以把提供给第一输入端子 (clk) 的高电平电压提供给第十四晶体管 (M14), 因此, 第十四晶体管 (M14) 截止。

第十五晶体管 (M15) 可以根据提供给第一输入端子 (clk) 的高电平电压而截止。如果第十五晶体管 (M15) 截止, 则第十一晶体管 (M11) 和第十三晶体管 (M13) 可以通过存储在第十二电容器 (C12) 中的电压而导通。如果第十四晶体管 (M14) 截止, 则第十二晶体管 (M12) 根据存储在第十一电容器 (C11)

中的电压而截止。即，在第四期间（T4）中可以输出与第三期间（T3）中一样的高电平电压。

如上所述，如果把低电平电压输入到第一输入端子（clk），则转换电路（CC）可以输出与提供给第三输入端子（in）的电压相反的电压电平，并且如果把高电平电压输入到第一输入端子（clk），则可以保持前一期间的输出。

如上所述，根据本发明实施例的数据驱动器和使用该数据驱动器的有机发光显示器能够使数据驱动器安装在屏中。尤其，仅仅用 PMOS 晶体管就可以实施包括在数据驱动器中的移位寄存器、取样锁存器、保持锁存器和 DAC。因此，可以把数据驱动器安装在屏中并且可以降低制造成本。

这里已经揭示了本发明的各个实施例，虽然使用了特定的术语，但是只在一般和描述的意义上来使用和解释这些术语，并不作为限制。因此，熟悉本领域的技术人员可以理解，可以作出形式上和细节上的各种修改而不偏离由下面权利要求书阐明的本发明的精神范围。

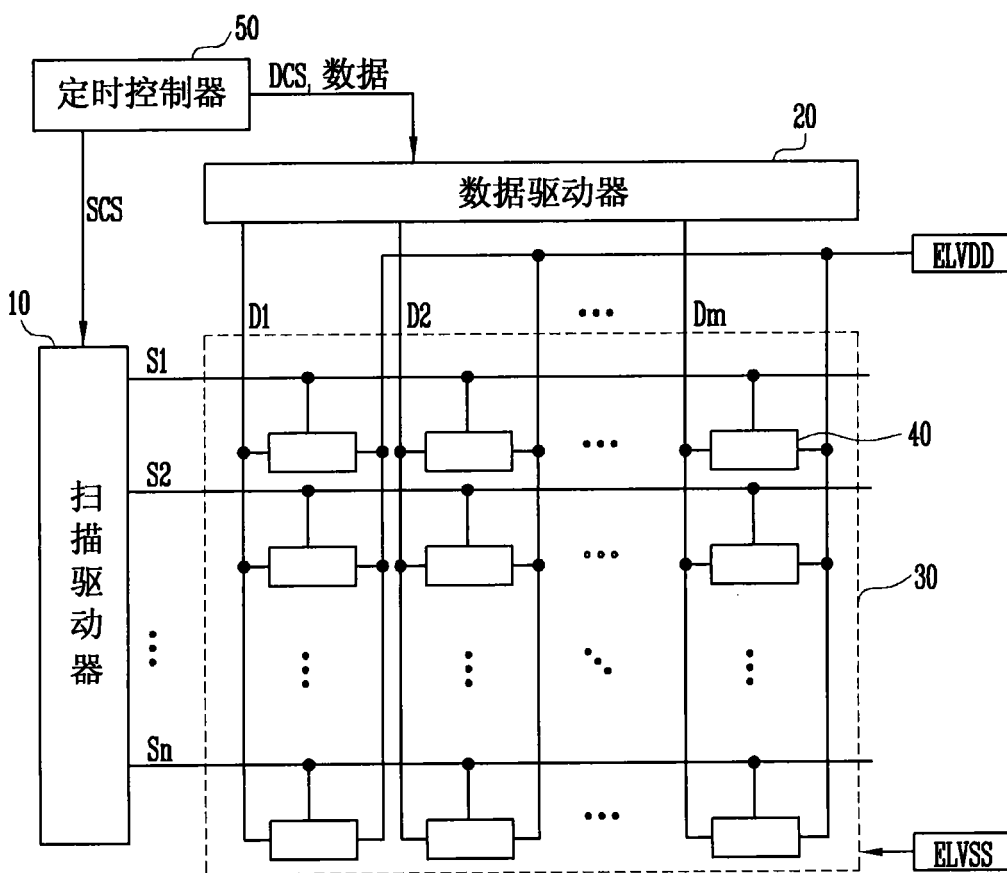


图 1

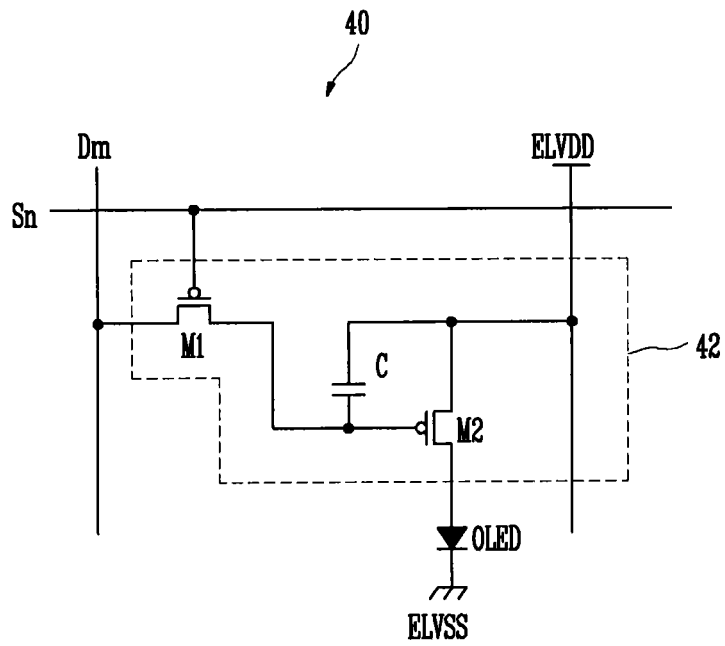


图 2

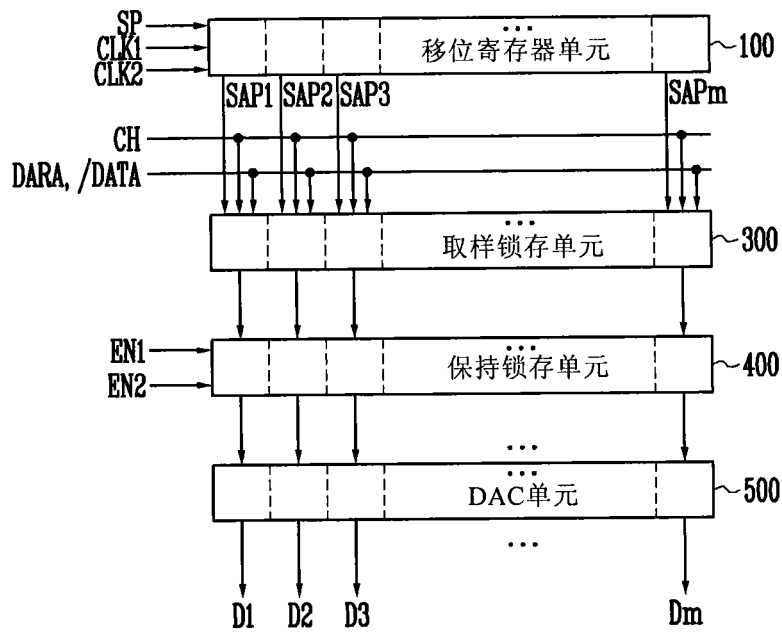


图 3

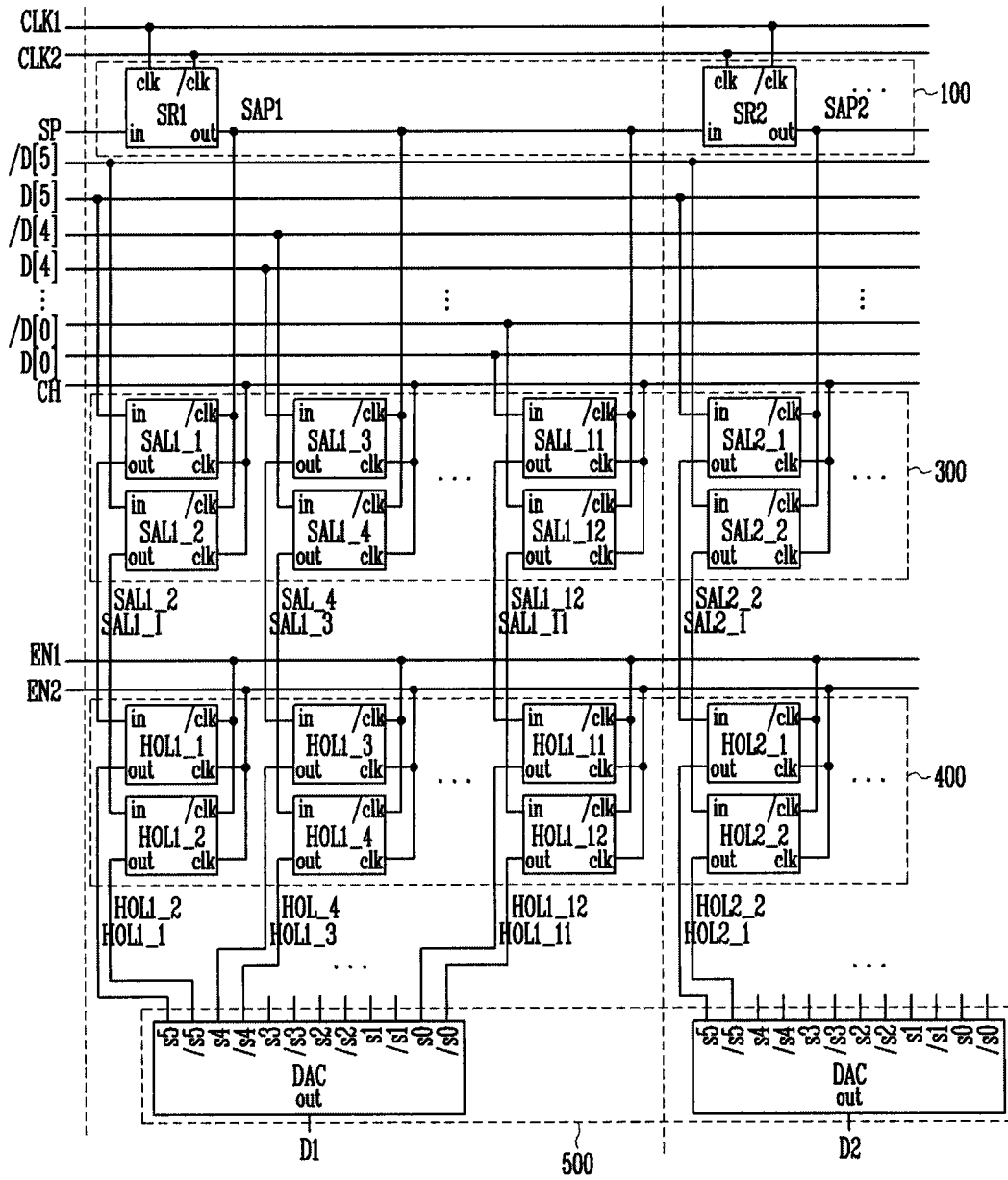


图 4

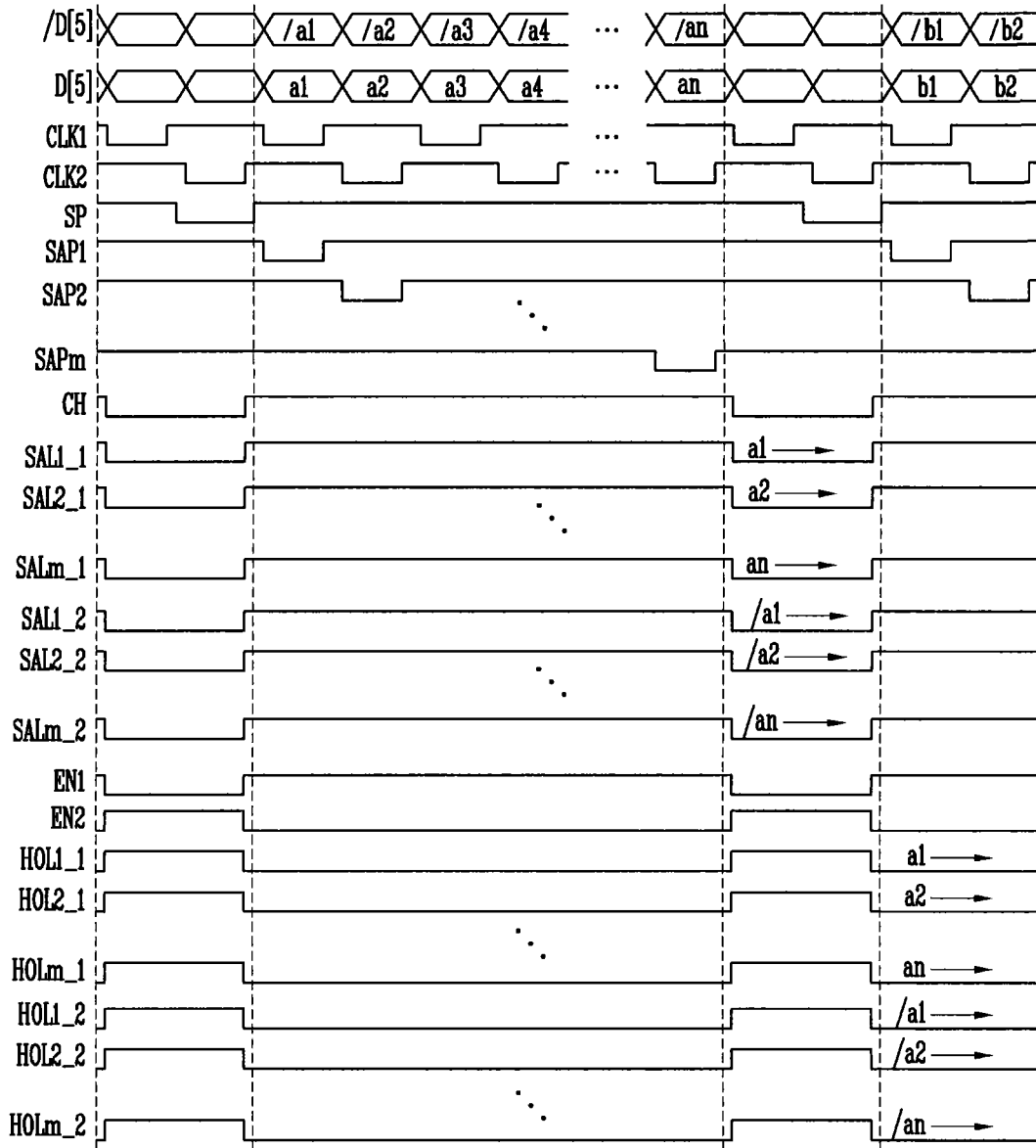


图 5

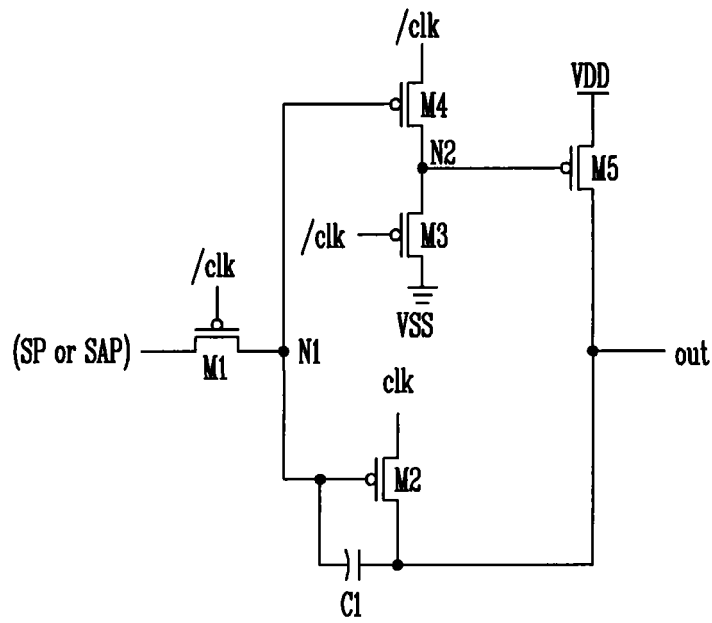


图 6

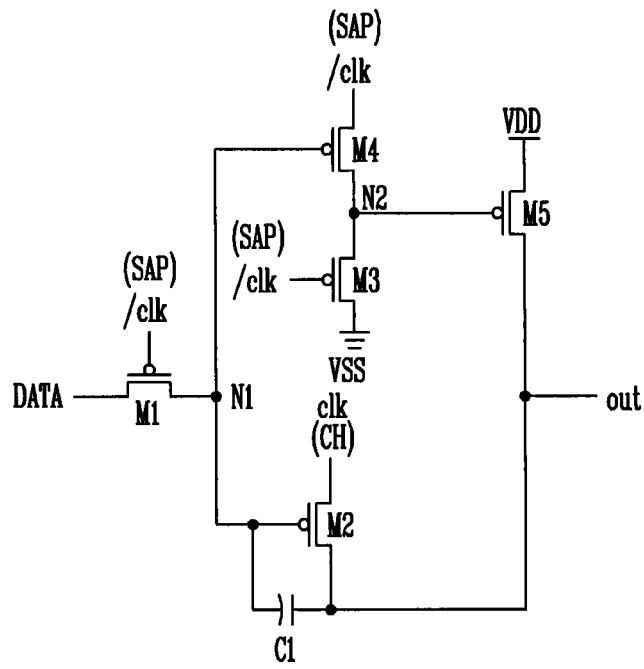


图 7

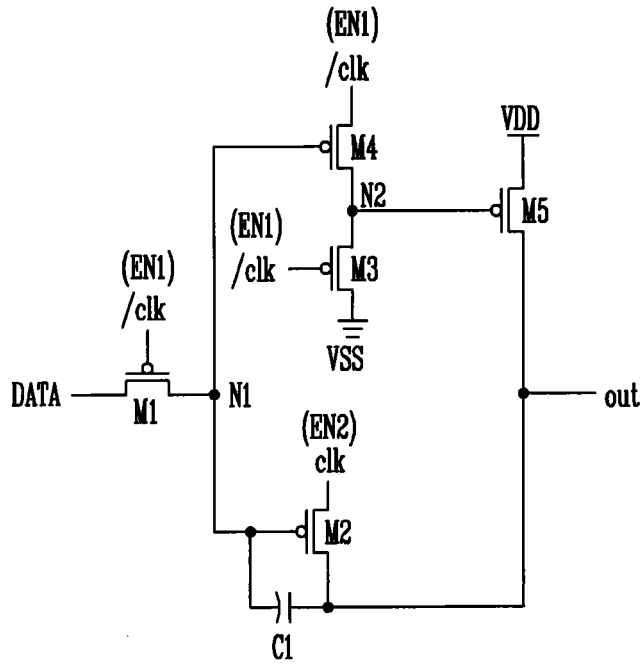


图 8

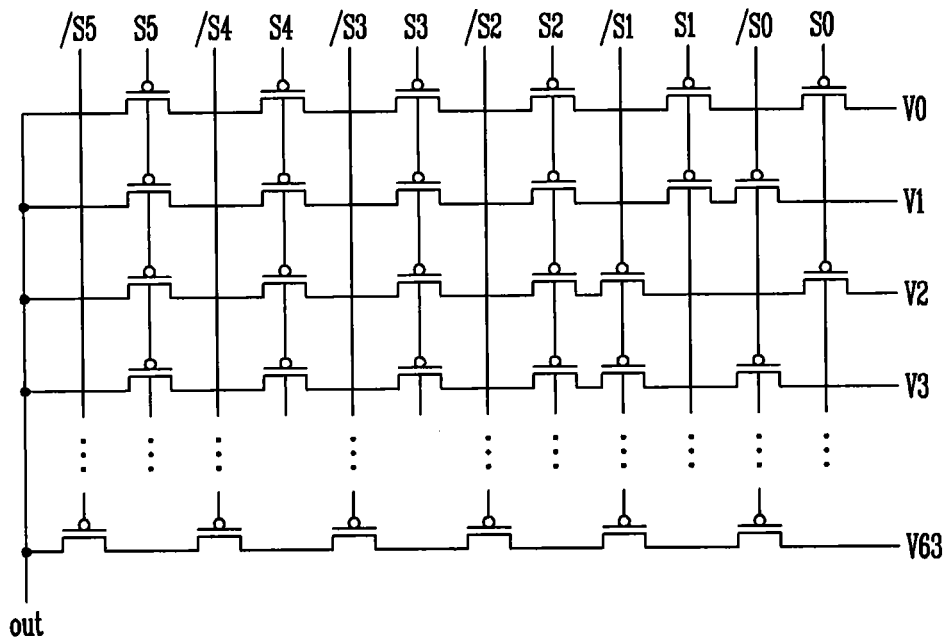


图 9

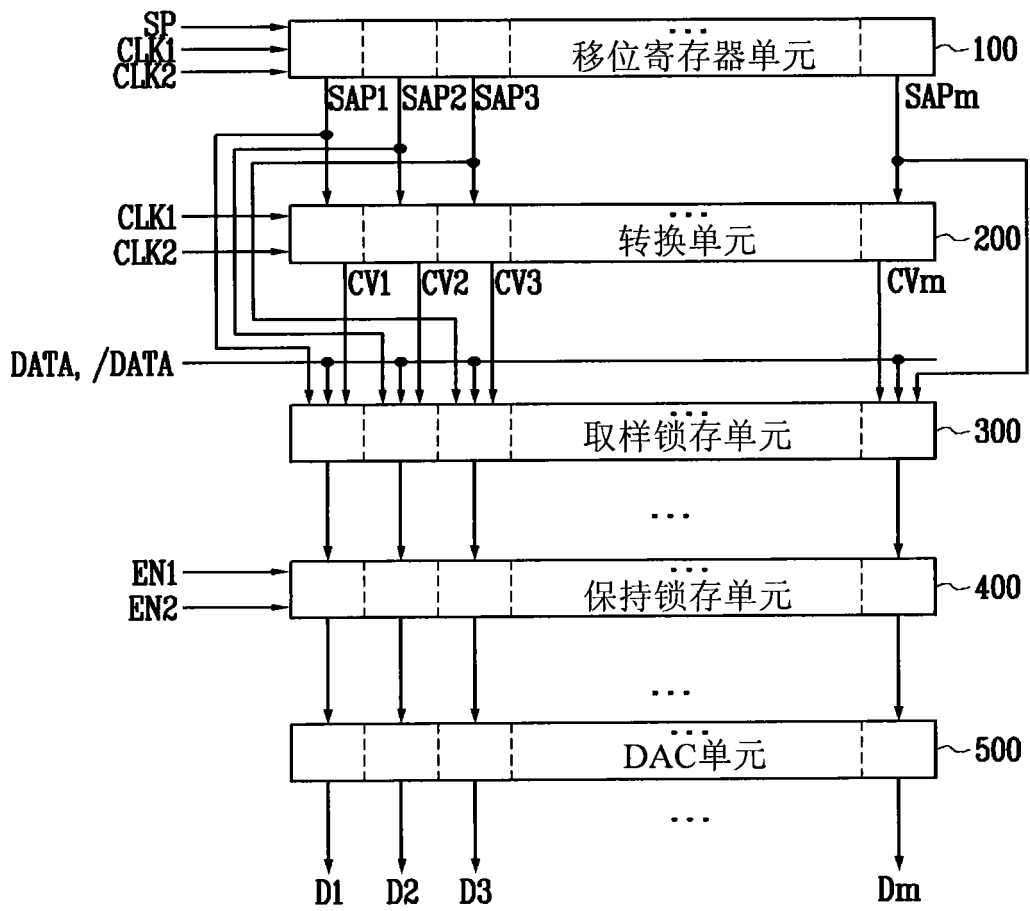


图 10

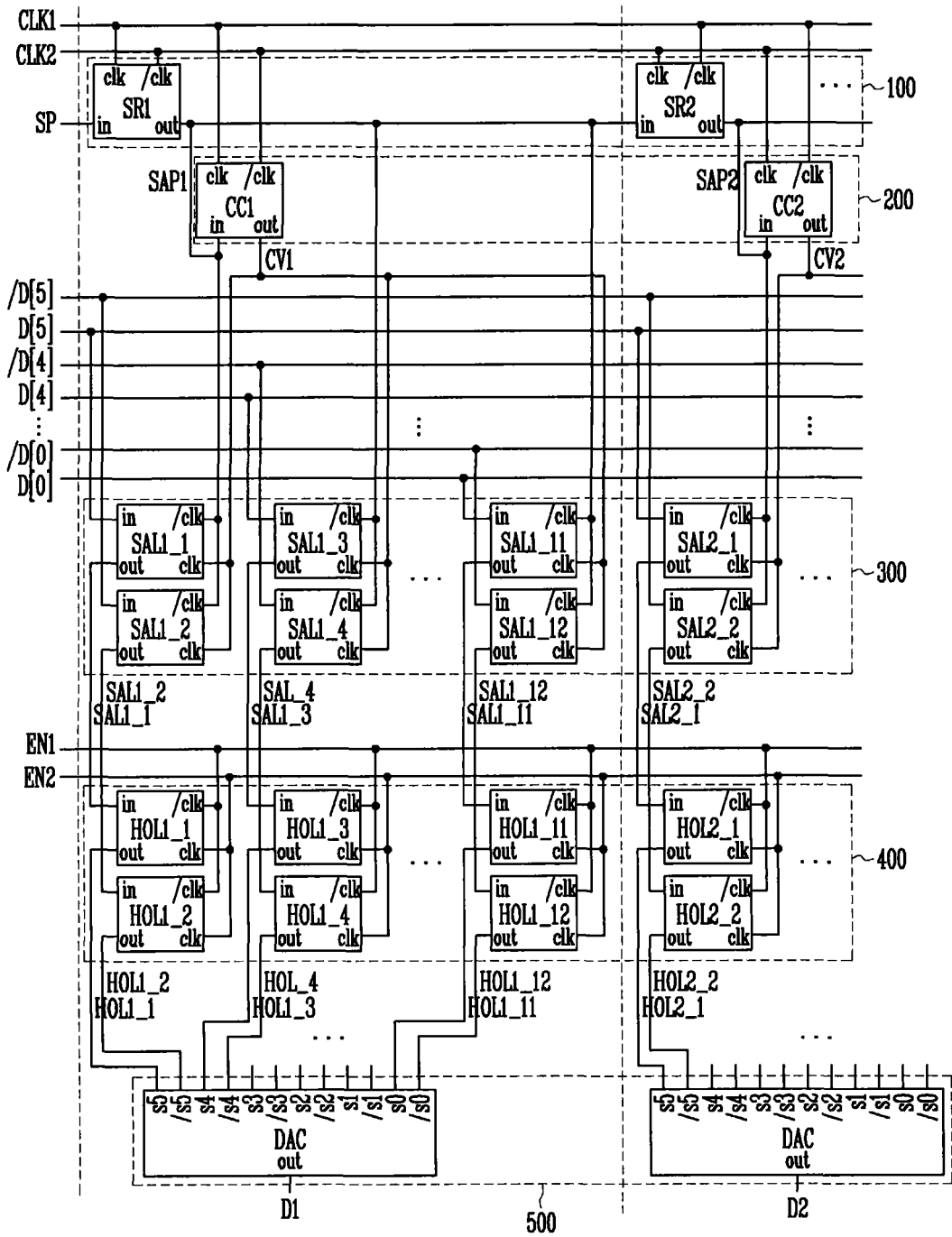


图 11

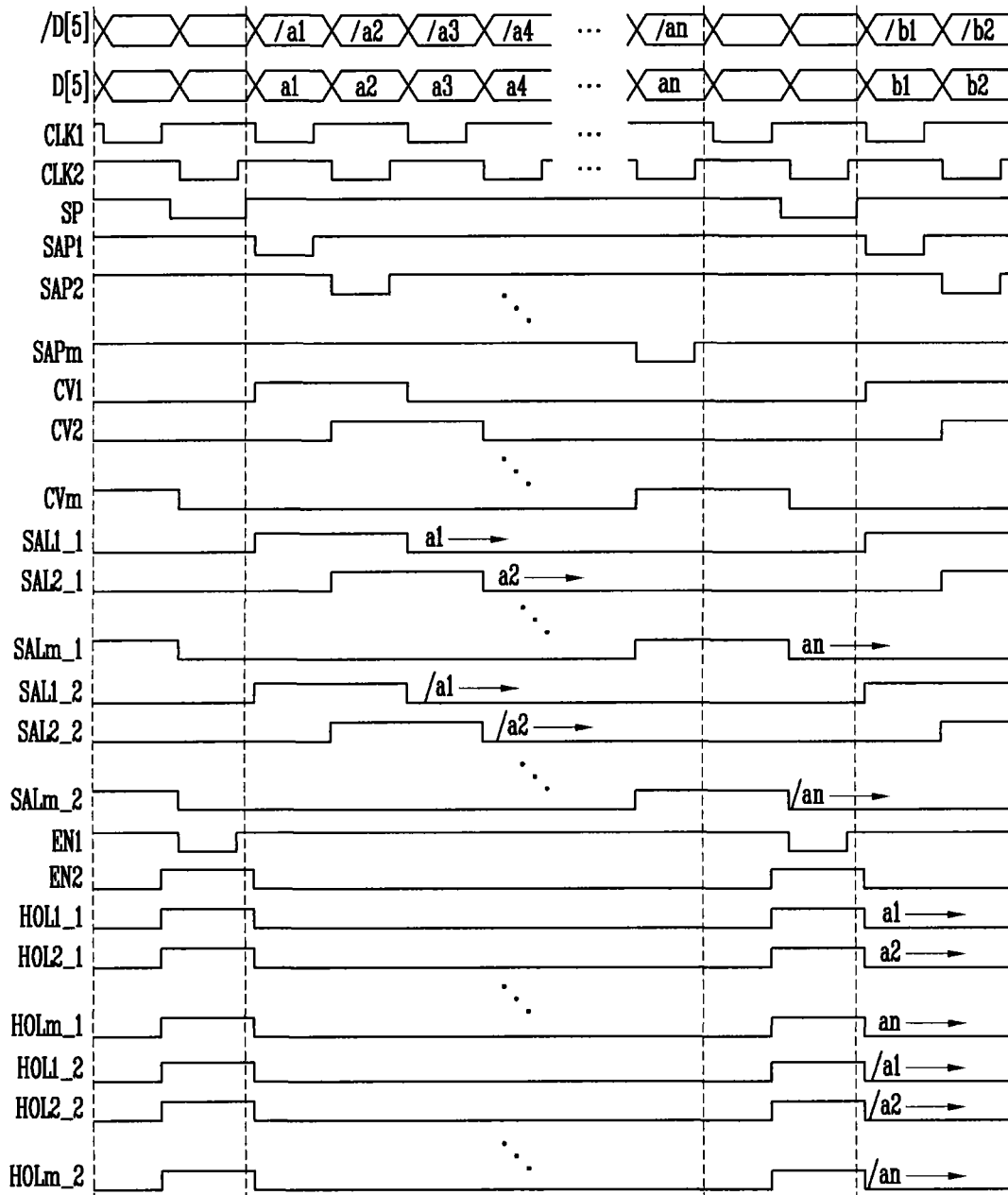


图 12

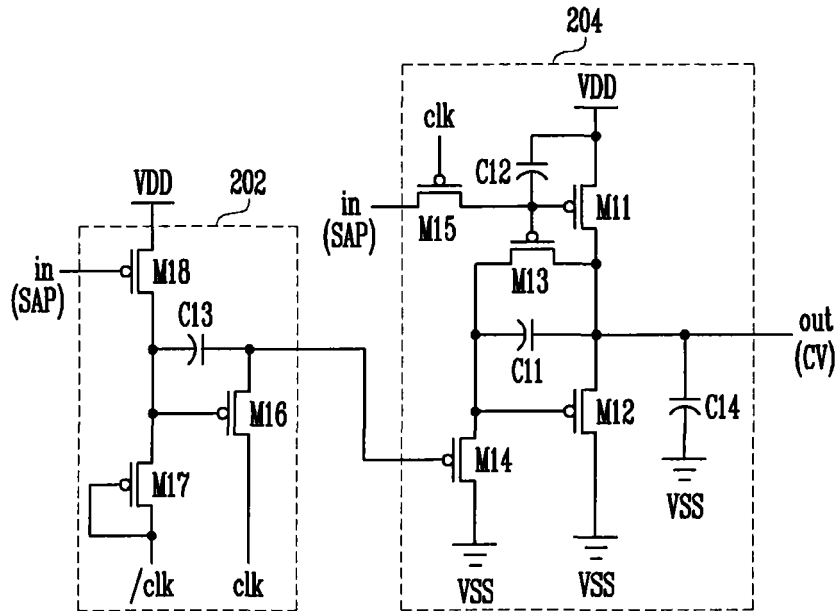


图 13

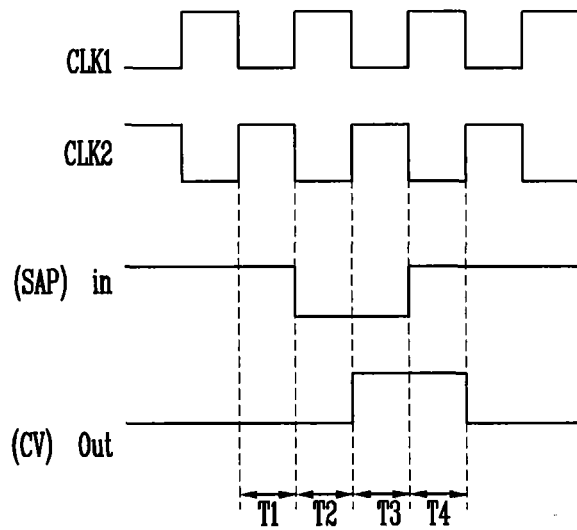


图 14

专利名称(译)	数据驱动器和使用该数据驱动器的有机发光显示器		
公开(公告)号	CN101051442A	公开(公告)日	2007-10-10
申请号	CN200710096807.X	申请日	2007-04-03
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星SDI株式会社		
当前申请(专利权)人(译)	三星SDI株式会社		
[标]发明人	申东蓉		
发明人	申东蓉		
IPC分类号	G09G3/32 G09G3/30		
CPC分类号	G09G3/20 G09G3/3275 G09G2300/0408 G09G2310/027 G09G2310/08		
代理人(译)	梁永		
优先权	1020060031637 2006-04-06 KR		
其他公开文献	CN101051442B		
外部链接	Espacenet SIPO		

摘要(译)

一种数据驱动器包括移位寄存器单元，它配置成接收第一时钟信号、第二时钟信号和开始脉冲以及产生取样脉冲；取样锁存单元，配置成根据取样脉冲接收和输出数字数据的位和颠倒的位；保持锁存单元，配置成接收由取样锁存单元输出的位和颠倒的位并且根据第一使能信号和第二使能信号输出位和颠倒的位；以及数模转换器，配置成接收由保持锁存单元输出的位和颠倒的位和产生与所接收的位和颠倒的位的值对应的模拟信号。

