

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200710093644.X

[51] Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

H05B 33/14 (2006.01)

H01L 27/32 (2006.01)

[45] 授权公告日 2009年7月29日

[11] 授权公告号 CN 100520889C

[51] Int. Cl. (续)

H01L 51/50 (2006.01)

[22] 申请日 2007.3.30

[21] 申请号 200710093644.X

[30] 优先权

[32] 2006.4.6 [33] KR [31] 10-2006-0031636

[73] 专利权人 三星移动显示器株式会社

地址 韩国京畿道水原市

[72] 发明人 申东蓉

[56] 参考文献

CN 1713260 A 2005.12.28

US 6417830 B1 2002.7.9

CN 1552050 A 2004.12.1

US 6583775 B1 2003.6.24

CN 1716369 A 2006.1.4

审查员 王波

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 李湘 梁永

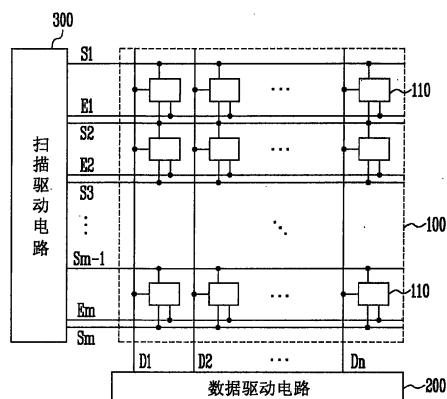
权利要求书 3 页 说明书 21 页 附图 6 页

[54] 发明名称

扫描驱动电路以及采用其的有机发光显示器

[57] 摘要

本发明提供的扫描驱动电路包括：包括多个第一单元的第一扫描驱动器，各第一单元接收输入信号或前一第一单元的输出电压、以及第一和第二时钟信号以输出一扫描信号；以及具有多个第二单元的第二扫描驱动器，各第二单元接收各第一单元其中相应的各个所输出的多个扫描信号、以及第一和第二时钟信号其中至少之一，并输出一发光控制信号。



1. 一种扫描驱动电路, 包括:

包括多个第一单元的第一扫描驱动器, 各第一单元接收输入信号或前一第一单元的输出电压、以及第一和第二时钟信号以输出一扫描信号; 以及

具有多个第二单元的第二扫描驱动器, 各第二单元接收各第一单元其中相应的各个所输出的多个扫描信号、以及第一和第二时钟信号其中至少之一, 并输出一发光控制信号,

其中, 第一扫描驱动器的每一第一单元包括:

第一晶体管, 其中包括接收前一工作的第一单元的输出电压或初始输入信号的第一端子、与第一时钟端子连接的栅极端子、以及第二端子;

第二晶体管, 其中包括与第一晶体管的第二端子连接的栅极端子、与第二时钟端子连接的第一端子、以及与用于输出相应的扫描信号的输出端子连接的第二端子;

第三晶体管, 其中包括与第一时钟端子连接的栅极端子、与第一节点连接的第一端子、以及与第二电源连接的第二端子;

第四晶体管, 其中包括与第一晶体管的第二端子连接的栅极端子、与第一时钟端子连接的第一端子、以及与第一节点连接的第二端子; 以及

第五晶体管, 其中包括与第一节点连接的栅极端子、与第一电源连接的第一端子、以及与输出端子连接的第二端子。

2. 如权利要求 1 所述的扫描驱动电路, 其特征在于, 各第一单元其中相应的各个顺序输出两个扫描信号。

3. 如权利要求 1 所述的扫描驱动电路, 其特征在于, 进一步包括在第一晶体管的第二端子和输出端子两者间连接的第一电容器。

4. 如权利要求 1 所述的扫描驱动电路, 其特征在于, 第一、第二、第三、第四、以及第五晶体管其中每一个是 P 型晶体管。

5. 如权利要求 1 所述的扫描驱动电路, 其特征在于, 第一扫描驱动器的每一第一单元包括第一时钟端子和第二时钟端子, 第一时钟端子接收第一时钟信号和第二时钟信号其中一个, 而第二时钟端子则接收第一时钟信号和第二时钟信号其中另一个。

6. 如权利要求 5 所述的扫描驱动电路, 其特征在于, 将第一时钟信号提供给第一扫描驱动器的奇数序号的第一单元的第一时钟端子, 将第二时钟信号提供给第一扫描驱动器的奇数序号的第一单元的第二时钟端子。

7. 如权利要求 5 所述的扫描驱动电路, 其特征在于, 将第二时钟信号提供给第一扫描驱动器的偶数序号的第一单元的第一时钟端子, 将第一时钟信号提供给第一扫描驱动器的偶数序号的第一单元的第二时钟端子。

8. 如权利要求 5 所述的扫描驱动电路, 其特征在于, 在所输入的第一时钟信号处于低电平且所输入的第二时钟信号处于高电平的期间内实施预充电, 而在所输入的第一时钟信号处于高电平且所输入的第二时钟信号处于低电平的期间内实施评估。

9. 如权利要求 5 所述的扫描驱动电路, 其特征在于, 第一时钟信号和第二时钟信号具有反相关系, 并且在第一和第二时钟信号在至少一个预定时间期间内均为高电平信号这种高电平状态下彼此重叠。

10. 如权利要求 9 所述的扫描驱动电路, 其特征在于, 预充电时间期间内, 各自的第一单元输出高电平, 而评估时间期间内, 各自的第一单元输出与预充电时间期间内接收到的输入相对应的信号电平,

当第一和第二时钟信号在高电平条件下重叠时, 在预充电时间后接着是第一和第二时钟信号重叠的高电平时间时, 便保持前一输出,

而当第一和第二时钟信号在高电平条件下重叠时, 在评估时间后接着是第一和第二时钟信号重叠的高电平时间时, 便输出一高电平。

11. 一种发光显示器, 包括:

包括与各信号线、各数据线、以及各发光信号线其中相应的各线连接的多个像素的像素单元;

对各数据线提供各自的数据信号的数据驱动电路; 以及扫描驱动电路, 其中包括:

包括多个第一单元的第一扫描驱动器, 各第一单元接收输入信号或前一第一单元的输出电压、以及第一和第二时钟信号以输出一扫描信号; 以及

具有多个第二单元的第二扫描驱动器, 各第二单元接收各第一单元其中相应的各个所输出的多个扫描信号、以及第一和第二时钟信号

其中至少之一，并输出一发光控制信号，

其中，第一扫描驱动器的每一第一单元包括：

第一晶体管，其中包括接收前一工作的第一单元的输出电压或初始输入信号的第一端子、与第一时钟端子连接的栅极端子、以及第二端子；

第二晶体管，其中包括与第一晶体管的第二端子连接的栅极端子、与第二时钟端子连接的第一端子、以及与用于输出相应的扫描信号的输出端子连接的第二端子；

第三晶体管，其中包括与第一时钟端子连接的栅极端子、与第一节点连接的第一端子、以及与第二电源连接的第二端子；

第四晶体管，其中包括与第一晶体管的第二端子连接的栅极端子、与第一时钟端子连接的第一端子、以及与第一节点连接的第二端子；以及

第五晶体管，其中包括与第一节点连接的栅极端子、与第一电源连接的第一端子、以及与输出端子连接的第二端子。

扫描驱动电路以及采用其的有机发光显示器

技术领域

本发明涉及有机发光显示器。具体来说，本发明涉及可用于电流驱动型有机发光显示器的扫描驱动电路。

背景技术

正在开发的有种种类型的平板显示器。平板显示器可以制作得与阴极射线管（CRT）相比较薄、体积较小、和/或较轻，因而平板显示器正愈加普遍地取代 CRT。平板显示器包括例如液晶显示器（LCD）、场致发光显示器（FED）、等离子显示屏（PDP）、以及有机发光显示器（OLED）等。

平板显示器当中，有机发光显示器通常使用靠电子和空穴重新组合产生光的有机发光二极管（OLED）来显示图像。这种有机发光显示器由于其具有相对迅速的响应时间、并可以相对较低的功率驱动，因而具有优势。有机发光显示器通常通过用每个像素中所形成的晶体管将与数据信号相对应的电流提供至有机发光二极管当中使得该有机发光二极管能够发光。

这种常规的有机发光显示器可包括：用于将数据信号提供给各数据线的数据驱动器；用于依次将扫描信号提供给各扫描线的扫描驱动器；用于将发光控制信号提供给发光控制线的发光控制驱动器；以及包括与各数据线、各扫描线、和发光控制线连接的多个像素的像素单元。

当将扫描信号提供给扫描线时可以选定像素单元中所包括的各像素来接收数据线的的数据信号。接收该数据信号的各像素显示一预定图像的同时产生与数据信号相对应的具有预定亮度的光。各像素的发光时间由发光控制线所提供的发光控制信号控制。

扫描驱动器或发光控制驱动器要安装于屏板上以减小 OLED 设备的大小、重量以及制造成本，当前开发出的较大的 OLED 板尤其如此。

但由于现有的扫描驱动器或发光控制驱动器由 PMOS 晶体管和

NMOS 晶体管组成，因而难以将现有的扫描驱动器或发光控制驱动器安装于屏板上。而且，现有的发光控制驱动器每当至少一个时钟信号周期才产生一输出信号，因而难以高速驱动现有的发光控制驱动器。另外，产生输出信号时有一预定的静态电流流过，因而由 PMOS 晶体管和 NMOS 晶体管组成的现有的扫描驱动器或发光控制驱动器具有相对较高水平的功率消耗。

发明内容

本发明因此针对基本上克服由于现有技术的限制和不足所造成的一个或多个问题的扫描驱动电路。

本发明实施例因此其一个特征在于，提供一种相对于现有的扫描驱动电路最小化或减小功率消耗的扫描驱动电路。

本发明实施例因此其又一个特征在于，提供一种通过补偿晶体管的阈值电压来补偿非均匀亮度分布的扫描驱动电路。

本发明实施例因此其又一个特征在于，提供一种根据（各）扫描信号产生发光控制信号的扫描驱动电路。

本发明实施例因此其又一个特征在于，提供一种其中包括具有低功率消耗量的第二扫描驱动器的扫描驱动电路。

本发明实施例因此其又一个特征在于，提供一种消除静态电流可能流过的通路的扫描驱动电路。

本发明的上述和其他特征以及优点其中至少之一的实现可借助于提供一种扫描驱动电路，其中包括：包括多个第一单元的第一扫描驱动器，各第一单元接收输入信号或前一第一单元的输出电压、以及第一和第二时钟信号以输出一扫描信号；以及具有多个第二单元的第二扫描驱动器，各第二单元接收各第一单元其中相应的各个所输出的多个扫描信号、以及第一和第二时钟信号其中至少之一，并输出一发光控制信号。

可以顺序输出各第一单元其中相应的各个所输出的 2 个扫描信号。第一扫描驱动器的每一第一单元可以包括：第一晶体管，其中包括接收前一工作的第一单元的输出电压或初始输入信号的第一端子、与第一时钟端子连接的栅极端子、以及第二端子；第二晶体管，其中包括与第一晶体管的第二端子连接的栅极端子、与第二时钟端子连接的第一端子、以及与用于输出相应的扫描信号的输出端子连

接的第二端子；第三晶体管，其中包括与第一时钟端子连接的栅极端子、与第一节点连接的第一端子、以及与第二电源连接的第二端子；第四晶体管，其中包括与第一晶体管的第二端子连接的栅极端子、与第一时钟端子连接的第一端子、以及与第一节点连接的第二端子；以及第五晶体管，其中包括与第一节点连接的栅极端子、与第一电源连接的第一端子、以及与输出端子连接的第二端子。

扫描驱动电路可以包括在第一晶体管的第二端子和输出端子两者间连接的第一电容器。第一、第二、第三、第四、以及第五晶体管其中每一个可以是P型晶体管。

第一扫描驱动器的每一第一单元可以包括第一时钟端子和第二时钟端子，第一时钟端子接收第一时钟信号和第二时钟信号其中一个，而第二时钟端子则接收第一时钟信号和第二时钟信号中另一个。

可以将第一时钟信号提供给第一扫描驱动器的奇数序号的第一单元的第一时钟端子，将第二时钟信号提供给第一扫描驱动器的奇数序号的第一单元的第二时钟端子。可以将第二时钟信号提供给第一扫描驱动器的偶数序号的第一单元的第一时钟端子，将第一时钟信号提供给第一扫描驱动器的偶数序号的第一单元的第二时钟端子。

可以在所输入的第一时钟信号处于低电平且所输入的第二时钟信号处于高电平的期间内实施预充电，而在所输入的第一时钟信号处于高电平且所输入的第二时钟信号处于低电平的期间内实施评估。

第一时钟信号和第二时钟信号可以具有反相关系，可以在高电平状态下彼此重叠以使得第一和第二时钟信号在至少一个预定时间期间内均为高电平信号。

预充电时间期间内，各自的第一单元可以输出高电平，而评估时间期间内，各自的第一单元可以输出与预充电时间期间内接收到的输入相对应的信号电平，当第一和第二时钟信号在高电平条件下重叠时，如果预充电时间后接着是第一和第二时钟信号重叠的高电平时间，便可以保持前一输出，而当第一和第二时钟信号在高电平条件下重叠时，如果评估时间后接着是第一和第二时钟信号重叠的高电平时间，便可以输出一高电平。

第二扫描驱动器的每一第二单元可以包括：在第一电源和用于输出各自的发光控制信号的输出端子两者间连接的第一开关元件；其中包括与输出端子连接的第一端子和与第二电源连接的第二端子的第二开关元件；与同第二开关元件的栅极端子和输出端子连接的第一节点相连接的第一电容器；其中包括与第一节点连接的第一端子、与输出端子连接的第二端子的第三开关元件，该第三开关元件接收多个扫描信号；以及可以包括与第一节点连接的第一端子和与第二电源连接的第二端子，并可以包括与变换单元的输出端子连接的栅极端子的第四开关元件。

第一和第三开关元件其中每一个可以由具有通过连接两个晶体管所实现的传输门结构的晶体管来实现。

变换单元可以包括：其中包括与第一电源连接的第一端子和与第三节点连接的第二端子的第五开关元件；其中包括与第三节点连接的第一端子的第六开关元件；其中包括与变换单元的输出端子连接的第一端子和与第三节点连接的栅极端子的第七开关元件；以及在第三节点和变换单元的输出端子两者间连接的第二电容器。

第二扫描驱动器的每一第二单元可以包括第八开关元件，其中包括与第一电源连接的第一端子和与变换单元的输出端子连接的第二端子。

第八开关元件的控制电极可以与用于接收各扫描信号其中之一的扫描信号输入线或与用于接收第一时钟信号的输入线连接。第一、第二、第三、第四、第五、第六、第七、以及第八开关元件可以是P型元件。

第五开关元件的控制电极可以与用于接收多个扫描信号其中之一的扫描信号输入线连接，第六开关元件的控制电极与用于接收多个扫描信号其中另一个的第二扫描信号输入线或与用于接收第一时钟信号的输入线连接。

第六开关元件的第二端子可以连接为接收提供给第五开关元件的各扫描信号其中相应一个以外的某一扫描信号或第一时钟信号，第六开关元件的栅极端子可以连接为接收提供给第五开关元件的各扫描信号其中相应一个以外的某一扫描信号或第一时钟信号，第七开关元件的第二端子可以连接为接收第二时钟信号。

本发明的上述和其他特征以及优点其中至少之一的实现可另外

借助于提供一种发光显示器，其中包括：包括与各信号线、各数据线、以及各发光信号线其中相应的各线连接的多个像素的像素单元；对各数据线提供各自的数据信号的数据驱动电路；以及扫描驱动电路，其中包括：包括多个第一单元的第一扫描驱动器，各第一单元接收输入信号或前一第一单元的输出电压、以及第一和第二时钟信号以输出一扫描信号；以及具有多个第二单元的第二扫描驱动器，各第二单元接收各第一单元其中相应的各个所输出的多个扫描信号、以及第一和第二时钟信号其中至少之一，并输出一发光控制信号。

附图简述

本发明的上述和其他特征以及优点，通过参照下列附图具体说明其各示范性实施例，对本领域技术人员来说会更为显而易见：

图1示出本发明一个或多个方面可用的示范性的有机发光显示器的示意图；

图2示出如图1所示的示范性的有机发光显示器可用的像素其示范性实施例的电路图；

图3示出采用本发明一个或多个方面的扫描驱动电路的示范性实施例的框图；

图4示出图3所示的示范性扫描驱动电路的第一扫描驱动器的S单元(SCU)的示范性实施例的电路图；

图5示出可以输入至图3所示的扫描驱动电路和图3所示的扫描驱动电路所输出的各示范性信号波形的示范性时序图；

图6示出图3所示的扫描驱动电路的第二扫描驱动器的C单元(CCU)的第一示范性实施例的电路图；以及

图7A至图7E示出图3所示的扫描驱动电路的第二扫描驱动器的C单元(CCU)的第二至第六示范性实施例的电路图。

具体实施方式

于2006年4月6日提交给韩国知识产权局的、名称为“扫描驱动电路以及采用其的有机发光显示器”的韩国专利申请 No.10-2006-0031636 在此通过引用完整地结合于本文中。

下面参照其中图示本发明示范性实施例的各附图更为全面地说

明本发明。但本发明可以按不同形式实现，不应解读为限于本文给出的各实施例。而是给出上述各实施例以便本文的披露全面而完整，且更为全面地向本领域技术人员传达本发明的保护范围。

为了便于说明，图中各层和各区域的尺度可能被放大。同样的参照标号指代全文中同样的元件。

图1示出本发明一个或多个方面可用的示范性的有机发光显示器的示意图。

参照图1，有机发光显示器可以包括图像显示单元100、数据驱动电路200、以及扫描驱动电路300。图像显示单元100可以显示(各)图像。数据驱动电路200可以发送(各)数据信号，扫描驱动电路300可以提供扫描信号和发光控制信号。

图像显示单元100可以包括在水平方向上延伸的多条数据线 D_1 - D_n ，在垂直方向上延伸的多条信号线 S_1 - S_m 、 E_1 - E_m ，以及按矩阵状方式配置的多个像素110。

各信号线可以包括用于发送扫描信号以选择像素110的多条扫描信号线 S_1 - S_m ，以及用于发送发光控制信号以控制有机发光(EL)器件的发光时间的多条发光控制信号线 E_1 - E_m 。

各像素110其中一个可以形成于分别由数据线 D_1 - D_n 、扫描信号线 S_1 - S_m 、以及发光控制信号线 E_1 - E_m 所规定的每一像素区域。

图2示出了如图1所示的示范性的有机发光显示器的某一、某些、每一像素区域可以采用的像素110其示范性实施例的电路图。具体来说，图2所示的示范性像素110是作为与第j数据线 D_j 和第i扫描信号线及发光控制信号线 S_i 、 E_i 连接的第j-i像素图示说明的，但可以是图像显示单元100其中的任一像素。

如图2所示，依据本发明其中一个实施例的像素110可以包括一有机发光(EL)器件OLED、晶体管m1-m4、以及一电容器Cst。可以采用PMOS晶体管作为晶体管m1-m4，但本发明不限于此。

第一晶体管m1可以连接于电源VDD和有机发光(EL)器件OLED两者间来控制流至该有机发光(EL)器件的电流。第一晶体管m1的源极可以与电源VDD连接，第一晶体管m1的漏极可以经由第三晶体管m3与有机发光(EL)器件OLED的阳极连接。

第二晶体管m2和第四晶体管m4可以响应扫描信号线 S_i 输出的扫描信号而导通。第二晶体管m2可以将数据线 D_j 输出的数据信号

送至第一晶体管 m_1 的栅极。第四晶体管 m_4 可以与第二晶体管 m_2 一起连接第一晶体管 m_1 的栅极和漏极, 使得第一晶体管 m_1 可以响应扫描信号而呈二极管连接状态。

电容器 C_{st} 可以连接于第一晶体管 m_1 的栅极和源极两者间, 并可以充电至与数据线 D_j 输出的数据电流 I_{DATA} 相对应的电压。第三晶体管 m_3 可以响应发光控制信号线 E_i 输出的发光控制信号将流过第一晶体管 m_1 的电流送至有机发光 (EL) 器件 OLED。

图 3 示出采用本发明一个或多个方面的扫描驱动电路 300 的示范性实施例的框图。

参照图 3, 扫描驱动电路 300 可以包括用于输出扫描信号的第一扫描驱动器 310 和用于接收该扫描信号并输出一发光控制信号的第二扫描驱动器。第一扫描驱动器 310 可以产生并提供 (各) 扫描信号, 第二扫描驱动器 320 可以产生并提供 (各) 发光控制信号。

数据驱动电路 200 可以将数据电流 I_{DATA} 送至各数据线 D_1-D_n , 扫描驱动电路 300 的第一扫描驱动器 310 可将扫描信号顺序送至扫描信号线 S_1-S_m 。(各) 扫描信号可以用于选择各像素 110 其中相应的一个 (各个)。扫描驱动电路 300 的第二扫描驱动器 320 可以将发光控制信号顺序送至发光控制信号线 E_1-E_m , (各) 发光控制信号线可以用于控制各像素 110 其中相应的一个像素的亮度。

第一扫描驱动器 310 可以包括 n 个 S 单元 SCU1 至 SCU n 。具体来说, 可以将初始输入信号 INPUT 送至各 S 单元 SCU 其中第一个 SCU1 的输入端子 IN, 而第一至第 $n-1$ 个 S 单元 SCU 的各输出信号可以分别作为一输入信号提供给各 S 单元 SCU 其中第二至第 n 个 S 单元 SCU 的输入端子 IN。

各 S 单元 SCU 其中每一个可以包括: 可以对其提供各输入时钟信号其中一个、例如第一和第二时钟信号 CLK1、CLK2 其中一个的第一时钟端子 CLKa; 以及可以对其提供各输入时钟信号其中另一个、例如第一和第二时钟信号 CLK1、CLK2 其中另一个的第二时钟端子 CLKb。

第一和第二时钟信号 CLK1、CLK2 可以具有至少一个重叠的相同电平部分和至少一个重叠的不同电平部分。举例来说, 在相同的时间期间内, 第一时钟信号 CLK1 和第二时钟信号 CLK2 各自的至少一个预定部分可具有相同电平、即高电平, 第一时钟信号 CLK1

和第二时钟信号 CLK2 各自的至少一个其他部分则可具有不同电平、即第一时钟信号 CLK1 可以处于高电平和低电平其中一个电平状态，而第二时钟信号 CLK2 则可以处于相对较高电平和相对较低电平这种另一个电平状态。

本发明各实施例中，第一时钟信号 CLK1 可以送至各 S 单元 SCU 其中奇数序号的 S 单元 SCU 的第一时钟端子 CLKa，而第二时钟信号 CLK2 可以送至各 S 单元 SCU 其中奇数序号的 S 单元 SCU 的第二时钟端子 CLKb，同时第二时钟信号 CLK2 可以送至各 S 单元 SCU 其中偶数序号的 S 单元 SCU 的第一时钟端子 CLKa，而第一时钟信号 CLK1 可以送至各 S 单元 SCU 其中偶数序号的 S 单元 SCU 的第二时钟端子 CLKb。

接收初始输入信号 IN 或前一 S 单元 SCU 的输出电压以及第一和第二时钟信号 CLK1、CLK2 的每一 S 单元 SCU 可以顺序输出一输出信号至各自 S 单元 SCU 的输出端子 SOUT。具体来说，本发明各实施例中，每一 S 单元 SCU 可以响应初始输入信号 INPUT 或前一 S 单元 SCU 的输出电压以及对其提供的第一和第二时钟信号 CLK1、CLK2 而至少暂时改变提供给各自 S 单元 SCU 的输出端子 SOUT 的输出信号其电压模式或电平、例如从高电平电压变化至低电平电压。

参照图 3，第二扫描驱动器 320 可以包括 n 个 C 单元 CCU1 至 CCUn。每一 C 单元 CCU 可以接收多个扫描信号例如两个扫描信号和至少一个时钟信号例如第一驱动器 310 输出的第一和/或第二时钟信号 CLK1、CLK2，可将一发光控制信号输出给各自 C 单元 CCU 的输出端子 COUT。具体来说，例如各 C 单元 CCU 其中第 n 个 C 单元 CCUn 可以分别接收各扫描信号的第 n 个扫描信号和第 n+1 个扫描信号例如 S1 和 S2 或 S2 和 S3 或另一信号等、第一驱动器 310 输出的第一和第二时钟信号 CLK1、CLK2，可产生第 n 个发光信号提供给第 n 个 C 单元 CCUn 的输出端子 COUT。

每一 C 单元 CCU 可以包括可对其提供第一和第二时钟信号 CLK1、CLK2 其中一个的第一时钟端子 CLKa 和可对其提供第一和第二时钟信号 CLK1、CLK2 其中另一个的第二时钟端子 CLKb。第一和第二时钟信号 CLK1、CLK2 可相对于彼此具有相移或呈反相状态。

本发明各实施例中，第一时钟信号 CLK1 可以送至各 C 单元 CCU

其中奇数序号的 C 单元 CCU 的第一时钟端子 CLKa, 而第二时钟信号 CLK2 可以送至各 C 单元 CCU 其中奇数序号的 C 单元 CCU 的第二时钟端子 CLKb。其他实施例中, 例如第二时钟信号 CLK2 可以送至各 C 单元 CCU 其中偶数序号的 C 单元 CCU 的第一时钟端子 CLKa, 而第一时钟信号 CLK1 可以送至各 C 单元 CCU 其中偶数序号的 C 单元 CCU 的第二时钟端子 CLKb。

如图 3 所示, 本发明某些实施例中, 例如第一和第二时钟信号 CLK1、CLK2 以及可从第一扫描驱动器 310 的各 S 单元 SCU 其中第一和第二个 S 单元 SCU1、SCU2、例如从各自输出端子 SOUT 输出的扫描信号 S1、S2 可以如图 3 所示输入至第二扫描驱动器 320 的各 C 单元 CCU 其中第一个 C 单元 CCU1。

本发明某些实施例中, 第一和/或第二时钟信号 CLK1、CLK2 可以独立输入第二扫描驱动器 320 的每一 C 单元 CCU, 各自扫描信号其中至少一个、例如第 n 个和第 n+1 个扫描信号其中至少一个可以独立输入第二扫描驱动器 320 的各自 S 单元 SCU。

第二扫描驱动器 320 的各 C 单元 CCU 其中每一个的输出线, 可以如图 3 所示包括与其连接的预定电容器 C。

本发明各实施例中, 第一扫描驱动器 310 的扫描信号输出可以配置为可通过独立的线路而非通过第二扫描驱动器 320 输入图像显示单元 100。也就是说, 本发明各实施例中, 采用本发明一个或多个方面的扫描驱动电路 300 可以配置为仅将第二扫描驱动器 320 的输出信号、例如 (各) 发光控制信号, 提供给图像显示单元 100。

本发明其他实施例中, 扫描驱动电路 300 可以配置为将第一扫描驱动器 310 输出的 (各) 输出信号、例如 (各) 发光控制信号和扫描信号, 提供给图像显示单元 100。这种实施例中, 第一扫描驱动器 310 的 (各) 扫描信号输出和 (各) 发光控制信号可以经由第二驱动电路 320 输入至图像显示单元 100。因而, 本发明各实施例中, 扫描驱动电路 300 可以同时和/或基本上同时将 (各) 扫描信号和 (各) 发光控制信号提供给图像显示单元 100。

图 4 示出图 3 所示的示范性扫描驱动电路 300 的第一扫描驱动器 310 的 S 单元 SCU 的示范性实施例的电路图。图 5 示出可以输入至图 3 所示的扫描驱动电路和图 3 所示的扫描驱动电路所输出的各示范性信号波形的示范性时序图。

参照图 4 和图 5, 第一扫描驱动器 310 的一个、某些、或全部 S 单元 SCU 可以在第一时间期间内、例如在所输入的时钟信号 CLK1、CLK2 具有彼此不同电平的这种时间期间内实施预充电动作, 可以在第二周期时间内、例如所输入的时钟信号其相位相对于第一时间期间呈反相状态时进行评估。本发明各实施例中, 第二时间期间可紧接着第一时间期间。本发明各实施例中, 所输入的时钟信号 CLK1、CLK2 可以输出基于中间时间间隔的低电平脉冲, 所输入的时钟信号 CLK1、CLK2 可以在各中间时间间隔内在高电平状态下重叠。

具体来说, 本发明某些实施例中, 预充电时间内可以从 S 单元 SCU 输出的输出信号可以具有高电平, 而评估时间内, 可以输出与预充电时间内所接收的输入相对应的信号。

本发明某些实施例中, 各 S 单元 SCU 其中偶数序号的 S 单元 SCU 的评估时间和/或预充电时间可分别对应与各 S 单元 SCU 其中奇数序号的 S 单元 SCU 的评估时间和/或预充电时间情形相同的时间量。

下面参照图 4 所示的示范性第一扫描驱动器 310 的电路图具体说明示范性的 S 单元 SCU 的动作。该示范性的 S 单元 SCU 可用于扫描驱动电路 300 的第一扫描驱动器 310 的一个、某些、或全部 S 单元 SCU。

接下来对各示范性实施例的说明中, 作为 S 单元 SCU 其中设置的一例晶体管将说明 PMOS 薄膜晶体管, 但本发明各实施例不限于此。

参照图 4, 第一扫描驱动器 310 可采用的示范性 S 单元 SCU 可以包括第一 PMOS 晶体管 M1、第二 PMOS 晶体管 M2、第三 PMOS 晶体管 M3、第四 PMOS 晶体管 M4、以及第五 PMOS 晶体管 M5。该 S 单元 SCU 同时可以包括第一电容器 C1。

第一 PMOS 晶体管 M1 可以在其第一端子处接收初始输入信号 INPUT, 该第一端子可以与 S 单元 SCU 的输入端子 IN 相对应。第一 PMOS 晶体管 M1 的栅极端子可以与第一时钟端子 CLKa 连接。

第二 PMOS 晶体管 M2 可以具有其与第一 PMOS 晶体管 M1 的第二端子连接的栅极端子。第二 PMOS 晶体管 M2 的第一端子可以与第二时钟端子 CLKb 连接。第二 PMOS 晶体管 M2 的第二端子可以与输出端子 SOUT 连接, 并且可将各自的扫描信号提供给相应的扫描线 S1 至 Sn。

第三 PMOS 晶体管 M3 可以具有其与第一时钟端子 CLKa 连接的栅极端子。第三 PMOS 晶体管的第一端子可以与 S 单元 SCU 的第一节点 N1 连接, 而第三 PMOS 晶体管的第二端子可以与第二电源 VSS 连接。

第四 PMOS 晶体管 M4 可以具有其与第一 PMOS 晶体管 M1 的第二端子连接的栅极端子。第四 PMOS 晶体管 M4 的第一端子可以与第一时钟端子 CLKa 连接, 而第四 PMOS 晶体管 M4 的第二端子可以与 S 单元 SCU 的第一节点 N1 连接。

第五 PMOS 晶体管 M5 可以具有其与 S 单元 SCU 的第一节点 N1 连接的栅极端子。第五 PMOS 晶体管 M5 的第一端子可以与第一电源 VDD 连接, 而第五 PMOS 晶体管 M5 的第二端子可以与输出端子 SOUT 连接。

第一电容器 C1 可以具有其与第一 PMOS 晶体管 M1 的第二端子连接的第一端子和其与输出端子 SOUT 连接的第二端子。

参照图 4 和图 5, 如果 S 单元 SCU 为第一扫描驱动器 310 的奇数序号的 S 单元, 第一时钟信号 CLK1 可以提供给第一时钟端子 CLKa, 而第二时钟信号 CLK2 可以提供给第二时钟端子 CLKb。如果 S 单元 SCU 为第一扫描驱动器 310 的偶数序号的 S 单元, 第二时钟信号 CLK2 可以提供给第一时钟端子 CLKa, 而第一时钟信号 CLK1 可以提供给第二时钟端子 CLKb。

第二电源 VSS 可以是负电源, 或可以是接地端子。图 4 所示的示范性实施例中, 第二电源 VSS 是接地端子, 但不限于此。

每一 S 单元 SCU 可以包括传递部分、反相部分、以及缓冲部分。该传递部分可以包括第一和第二 PMOS 晶体管 M1、M2 以及第一电容器 C1。反相部分可以包括第一、第三、以及第四 PMOS 晶体管 M1、M3、M4。缓冲部分可以包括第五 PMOS 晶体管 M5。

本发明某些实施例中, 预充电时间可以与其中第一时钟信号 (CLK1) 处于低电平而第二时钟信号 (CLK2) 处于高电平的时间期间相对应。本发明某些实施例中, 评估时间可以与其中第一时钟信号 (CLK1) 处于高电平而第二时钟信号 (CLK2) 处于低电平的时间期间相对应。

因而, 本发明某些实施例中, 预充电时间内, 各自 S 单元的各输出信号其中相应的一个、例如 S1 至 Sn, 可以为高电平信号, 而评

估时间内,各自 S 单元的各输出信号其中相应的一个、例如 S1 至 Sn,可以为与预充电时间内接收到的输入相对应的信号。

参照图 4,本发明某些实施例中,有一信号输入每一 S 单元 SCU 的同时,第一和第二时钟信号 CLK1、CLK2 可以包括至少一个重叠的高电平部分,即第一和第二时钟信号 CLK1、CLK2 在相同时间期间内均为高电平时。

因而,参照图 3、图 4、以及图 5,输入至 n 个 S 单元 SCU1 至 SCU_n 其中每一个的一对第一和第二时钟信号 CLK1、CLK2 可以按预定时间间隔顺序输出低电平信号部分。各个低电平信号部分可以与第一和第二时钟信号 CLK1、CLK2 重叠的高电平部分两者间的时间相对应。第一和第二时钟信号 CLK1、CLK2 重叠的高电平部分相继的各个可以定义第一扫描驱动器 310 的各 S 单元 SCU 其中相应的各个其输出信号两者间的预定时间间隔。各 S 单元 SCU 其中第一和第二个 S 单元 SCU1、SCU2 的第一和第二扫描信号例如 S1、S2 其中相继的各个两者间具有第一和第二时钟信号 CLK1、CLK2 重叠的高电平部分这种预定的中间时间间隔,可以对时钟歪斜或延迟确保宽裕。

参照图 4 和图 5 说明示范性 S 单元 SCU 的示范性动作。下面的说明中将假定,示范性 S 单元 SCU 为第一扫描驱动器 310 的奇数序号、例如第一个 S 单元 SCU。

本发明各实施例中,第一和第三晶体管 M1 和 M3 可以在预充电时间、例如第一时钟信号 CLK1 按低电平输入而第二时钟信号 CLK2 按高电平输入这种时间期间内导通。因而,各自的输入信号 INPUT 可以送至相应的 S 单元的第二和第四晶体管 M2 和 M4 的各栅极端子。如果输入信号 INPUT 为低电平信号,便可以使第二晶体管 M2 和第四晶体管 M4 导通。如果第二晶体管 M2 导通,可将预充电时间期间为高电平的第二时钟信号 CLK2 提供给输出端子 SOUT,而如果第四晶体管 M4 导通,则可将预充电时间期间为低电平信号的第一时钟信号 CLK1 提供给 S 单元 SCU 的第一节点 N1。同时,可将预充电时间期间为低电平信号的第一时钟信号 CLK1 提供给第三晶体管 M3 的栅极端子,因而可将为低电平电压的第二电源电压 VSS 提供给第五晶体管 M5 的栅极端子。因而,将预充电时间期间为低电平信号的第一时钟信号 CLK1 通过第四晶体管 M4 提供,并将第二电源电

压 VSS 的低电平电压通过第三晶体管 M3 提供的结果是, 可以将低电平电压提供给第五晶体管 M5 的栅极端子, 因此可在预充电时间期间使第五晶体管 M5 导通。如果第五晶体管 M5 导通, 可以将可为高电平电压的第一电源电压 VDD 提供给输出端子 SOUT。具体来说, 由于通过第五晶体管 M5 提供的第一电源电压和/或预充电时间期间可具有高电平的第二时钟信号 CLK2, 因而预充电时间期间输出端子 SOUT 可以具有高电平。

因而, 本发明各实施例中, S 单元 SCU 的缓冲单元例如 M5 可以在 (各) 预充电时间期间输出一高电平信号。具体来说, 本发明各实施例中, 不管输入信号 INPUT 是低电平信号还是高电平信号, S 单元 SCU 的缓冲单元例如 M5 总可以在 (各) 预充电时间期间输出一高电平信号。也就是说, 预充电时间期间具有低电平的第一时钟信号 CLK1 提供给第一晶体管 M1 时, 第一晶体管 M1 可以导通, 并将输入信号 INPUT 的高电平提供给第二和第四晶体管 M2、M4。因而, 上述情况下, 第二和第四晶体管 M2、M4 可以在预充电时间期间截止。但具有低电平信号的第一时钟信号 CLK1 可以提供给第三晶体管 M3 的栅极端子, 因而可以将第二电源 VSS 的低电平电压提供给第五晶体管 M5, 由此使得第五晶体管能够将第一电源电压 VDD 的高电平提供给输出端子 SOUT。

而且, 如上所述, 在预充电时间期间, 前一 S 单元 SCU 的输出电压或输入信号 INPUT 可以存储于第一电容器 C1 中, 低电平电压可以存储于 S 单元 SCU 的第一节点 N1。

接着, 在评估时间期间, 当第一时钟信号 CLK1 可以具有高电平时, 第一晶体管 M1 可以截止。当第一晶体管 M1 截止时, 可以中断各自的输入信号 INPUT, 并使第三和第四晶体管 M3 和 M4 截止, 并且根据电容器 C1 存储的电压使第二晶体管 M2 导通或截止。

具体来说, 如果预充电时间期间输入的信号即前一 S 单元 SCU 的输出电压或输入信号 INPUT 处于高电平, 预充电时间期间预充电的信号电平便可以由第一电容器 C1 和第一节点 N1 保持, 缓冲单元例如第五晶体管 M5 可以输出一高电平。上述情况下, 提供的是预充电时间期间输入高电平信号时存储于电容器 C1 中的电压、即具有高电压电平的前一 S 单元 SCU 的输出电压或输入信号 INPUT, 其结果是可以将高电压提供给第二晶体管 M2 的栅极, 因而可以使第二晶体

管 M2 截止。

另一方面，在预充电时间期间输入的信号、即 S 单元 SCU 的输出电压或输入信号 INPUT 处于低电压电平这种情况下，便可以根据第一电容器 C1 存储的低电平信号使第二晶体管 M2 导通。上述情况下，当传递单元例如 M1、M2 其中的第二晶体管 M2 导通时，具有低电平的第二时钟信号 CLK2 可以通过输出端子 SOUT 输出。

本发明各实施例中，可将 S 单元 SCU 的动作控制为，如果前一预充电时间期间输入的信号即前一 S 单元 SCU 的输出信号 SOUT 或初始输入信号 INPUT 处于低电平，各自 S 单元 SCU 在评估时间期间内输出一低电平信号，而如果前一预充电时间期间输入的信号即前一 S 单元 SCU 的输出信号 SOUT 或初始输入信号 INPUT 处于高电平的话，则输出一高电平信号。

如上所述，本发明各实施例中，随着输入信号 INPUT 或前一 S 单元 SCU 的输出信号 SOUT 输入各自的 S 单元 SCU，第一和第二时钟信号包括如图所示，例如图 5，的至少一个重叠的高电平部分。如下面更为具体的说明，第一和第二时钟信号 CLK1、CLK2 其上述预定的重叠的（各）高电平部分可以用于控制例如电容器 C1 存储的电压和/或各自 S 单元 SCU 的输出电压 SOUT。

举例来说，如果 S 单元 SCU 刚经过按高电平重叠的第一和第二时钟信号 CLK1、CLK2 即预定的重叠高电平部分之前的预充电时间期间，便可以使可由第一时钟信号 CLK1 控制的第一和第三晶体管 M1 和 M3 在第一和第二时钟信号 CLK1、CLK2 的后续重叠中间时间期间截止。具体来说，可以使第一和第三晶体管 M1 和 M3 截止，这是因为可对其栅极端子提供在重叠中间时间期间具有高电平的第一时钟信号 CLK1。因而，可以保持第一电容器 C1 存储的电压，具体来说，可以保持与前一 S 单元 SCU 的输出信号 SOUT 或初始输入信号 INPUT 相对应的电压。

当例如该 S 单元 SCU 经过了按高电平重叠的第一和第二时钟信号 CLK1、CLK2 即预定的重叠高电平部分之前的评估时间期间的其他时间，便可使第一和第三晶体管 M1 和 M3 保持截止，这是因为可对其栅极端子提供在重叠中间时间期间具有高电平的第一时钟信号 CLK1。而且，评估时间之后的第一和第二时钟信号 CLK1、CLK2 的这种重叠中间时间期间，可以维持第二晶体管 M2 的工作状态。

具体来说,其间与前一S单元SCU的输出信号SOUT或初始输入信号“输入”相对应的电压具有高电平这种评估时间之后,可使第二晶体管M2保持截止状态,这是因为第二晶体管M2的栅极端子处的电压可以处于高电平。因而,不可以将第二时钟信号CLK2的低电平提供给输出端子SOUT,而可以由缓冲单元例如M5保持高电平输出。

具体来说,其间与前一S单元SCU的输出信号SOUT或初始输入信号INPUT相对应的电压具有低电平这种评估时间之后,可使第二晶体管保持导通状态,这是因为第二晶体管M2的栅极端子上的电压由于电容器C1所存储的电压信号而可以处于低电平,也可以为浮动状态。因此,第二晶体管M2可以保持导通,并将低电平信号提供给输出端子SOUT,同时第二时钟信号CLK2具有低电平,于是在第二时钟信号CLK2改变为高电平和第一时钟信号CLK1改变为低电平时就例如后续的预充电动作或时钟信号CLK1、CLK2的后续重叠高电平时间改变为高电平信号。因而,评估动作后,根据电容器C1存储的电压,如果第二晶体管M2处于例如图4和图5所示的示范性实施例中的导通状态,输出端子SOUT可与第二时钟信号CLK2的电平相对应,如果第二晶体管M2处于导通状态,第二时钟信号CLK2便在评估时间期间具有低电平,因而相应的S单元SCU其输出信号SOUT可为低电平,直到第一和第二时钟信号CLK1、CLK2其中之一或两者改变为止。

如上所述,后续动作的各S单元SCU的各输出脉冲两者间的时间间隔可以通过减小第一和第二时钟信号CLK1、CLK2的(各)高电平重叠时间来减小。如上所述,本发明各实施例中,如果前一动作为预充电动作,预充电动作期间各自S单元SCU的输出便可以在后续重叠高电平时间期间保持。上述实施例中,如果前一动作为评估动作,各自S单元SCU的输出便可以在后续重叠高电平时间期间为高电平信号。

参照图5,输入至第一扫描驱动器的第一S单元SCU的输入信号INPUT可以包括实施两次初始预充电的时间。因此,可以将低电平扫描信号连续两次提供给第二扫描驱动器320的每一扫描线或每一C单元CCU。举例来说,参照图5,对于第一扫描线S1而言,可以在第一和第三时间期间T1、T3提供低电平扫描信号,对于第二扫

描线 S2 而言,可以在第二和第四时间期间 T2、T4 提供低电平扫描信号,而对于第三扫描线 S3 而言,可以在第三和第五时间期间 T3、T5 提供低电平扫描信号。

图 6 示出图 3 所示的扫描驱动电路 300 的第二扫描驱动器 320 的 C 单元 (CCU) 的第一示范性实施例的电路图。

具体来说,下面的说明书中,可以按第二扫描驱动器 320 的第一 C 单元 CCU 说明 C 单元 CCU 的示范性电路图。第一扫描驱动器 310 的第一和第二 S 单元 SCU 所输出的第一和/或第二时钟信号 CLK1、CLK2、以及扫描信号 S1、S2 可以输入至第二扫描驱动器 320 的第一 C 单元 CCU。

参照图 5 和图 6,第二扫描驱动器 320 的 C 单元 CCU 可以包括多个开关元件 SW1 至 SW8、第一节点 N1、可以与 C 单元 CCU 的输出端子 COUT 相对应的输出端子 N2、第三节点 N3、第一和第二电容器 C1、C2、以及第四节点 N4。

第一至第四开关元件 SW1 至 SW4 可以是例如 PMOS 晶体管。第一和第三开关元件 SW1、SW3 其中每一个可由例如具有通过连接两个晶体管来实现的传输门结构这种晶体管实施,因此可以包括一个源极、一个漏极、第一栅极和第二栅极。第二和第四开关元件 SW2、SW4 可以由一个晶体管实施。

第一开关元件 SW1 可以连接于第一电源 VDD 和输出端子 N2 两者间。第二开关元件 SW2 可以连接于输出端子 N2 和第二电源 VSS 两者间。第一电容器 C1 可以具有与输出端子 N2 连接的第一端子和与第一节点 N1 连接的第二端子。第一节点 N1 可以与第二开关元件 SW2 的控制电极连接。

第三开关元件 SW3 可以具有:与输出端子 N2 连接的第一端子,例如源极端子;与第一节点 N1 连接的第二端子,例如漏极端子;与第一开关元件 SW1 的第一栅极端子连接的第一控制电极;以及与第一开关元件 SW1 的第二栅极端子连接的第二控制电极。

第一开关元件 SW1 的第一端子例如源极可以与第一电源 VDD 连接,第一开关元件 SW1 的第二端子例如漏极可以与输出端子 N2 连接。第一扫描驱动器 310 输出的第一扫描信号 S1 可以送至第一和第二开关元件 SW1、SW2 的第一控制电极,而第一扫描驱动器 310 输出的第二扫描信号 S2 可以送至第一和第二开关元件 SW1、SW2

的第二控制电极。第一开关元件 SW1 可以根据第一或第二扫描信号 S1 或 S2 形成用于对输出端子 N2 提供第一电压的第一通路。

第三开关元件 SW3 可以根据第一或第二扫描线 S1 或 S2 将经由第一开关元件 SW1 提供的第一电源 VDD 提供给第一节点 N1。可以依靠第一或第二扫描信号 S1 或 S2 的低电平使第三开关元件 SW3 导通,以便在第二开关元件 SW2 的栅极和源极两者间形成相同或大体相同的电压,因此第三开关元件 SW3 可以起到中断第二开关元件 SW2 所形成的第二通路这种作用。

第二开关元件 SW2 其栅极可以与第一节点 N1 连接,其源极可以与输出端子 N2 连接,而其漏极则可以与第二电源 VSS 连接。该第二开关元件 SW2 可以形成根据第一节点 N1 即其栅极处的电压将第二电源 VSS 提供给输出端子 N2 用的第二通路。第一电源 VDD 其具有的电压电平可高于第二电源 VSS 所具有的电压电平。

第四开关元件 SW4 可以包括:与第一节点 N1 连接的第一端子、例如源极端子;以及与第二电源 VSS 连接的第二端子、例如漏极端子,并可以具有与第四节点 N4 即变换单元的输出端子连接的控制电极。第一电源 VDD 其具有的电压电平可高于第二电源 VSS 所具有的电压电平。

变换单元可以包括第五至第八开关元件 SW5、SW6、SW7、SW8、第二电容器 C2、第三节点 N3、以及第四节点 N4。

第五开关元件可以具有:与第一电源 VDD 连接的第一端子、例如源极端子;与第三节点 N3 连接的第二端子、例如漏极端子;以及与第一扫描信号 S1 连接的栅极端子。第六开关元件 SW6 可以具有:与第三节点 N3 连接的第一端子、例如源极端子;第二端子、例如漏极端子;以及与第二扫描信号 S2 连接的栅极端子。

第七开关元件 SW7 可以具有:与第四节点 N4 即变换单元输出端子连接的第一端子、例如源极端子;与第二时钟信号 CLK2 连接的第二端子、例如漏极端子;以及与第三节点 N3 连接的栅极端子。

第八开关元件 SW8 可以包括:与第一电源 VDD 连接的第一端子、例如源极端子;与第四节点 N4 连接的第二端子、例如漏极端子;以及与第二扫描信号 S2 连接的栅极端子。

第二电容器 C2 可以连接于第三节点 N3 和第四节点 N4 即变换单元输出端子两者间。

其与图 3 所示的第二扫描驱动器 320 的第一 C 单元 CCU 相对应的图示的示范性实施例中，某些连接例如与第一和第二扫描信号 S1、S2 和/或第一和第二时钟信号 CLK1、CLK2，与第二扫描驱动器 320 的示范性第一 C 单元 CCU 相对应。本领域技术人员会理解，图 5 所示的示范性第一 C 单元 CCU 可以应用于示范性第二扫描单元 320 的其他 C 单元 CCU 或为该示范性第二扫描单元 320 的其他 C 单元 CCU 所采用。具体来说，图 6 所示的第一 C 单元 CCU 其示范性实施例中，第五开关元件 SW5 的控制电极与可通过其接收第一扫描驱动器 310 其中相应的（各）S 单元 SCU 的第一扫描信号 S1 这种 C 单元 CCU 的输入相连接，而第六开关元件 SW6 和第八开关元件 SW8 的各控制电极与可通过其接收第一扫描驱动器 310 其中相应的（各）S 单元 SCU 的第二扫描信号 S2 这种 C 单元 CCU 的输入线相连接。

而且，本发明各实施例中，第四开关元件 SW4 可以由变换单元提供给其第四端子 N4 的输出信号的电压状态来控制。

如上所述，第一电容器 C1 其第一端子可以与输出端子 N2 连接，而其第二端子可以与第一节点 N1 连接。第一电容器 C1 可以起到随第四开关元件 SW4 的开关动作在第二开关元件 SW2 的栅极端子和源极端子两者间存储电压的作用，并可以根据第二开关元件 SW2 的栅极和源极两者间的电压切换第二开关元件。第一电容器 C1 可以通过随第四开关元件 SW4 的开关动作维持第二开关元件 SW2 的导通状态（ON）来连续维持第二通路。

下面结合图 5 和图 6 说明第二扫描驱动器 320 的示范性 C 单元 CCU 的示范性动作。

第一开关元件 SW1 和第三开关元件 SW3 可以在其间所输入的第一扫描信号 S1 处于低电平而所输入的第二扫描信号 S2 处于高电平这种第一和第三时间 T1、T3 期间维持导通状态（ON），并可以在其间所输入的第一扫描信号 S1 处于高电平而所输入的第二扫描信号 S2 处于低电平这种第二和第四时间 T2、T4 期间维持导通状态（ON）。第一、第二、第三、以及第四时间 T1、T2、T3、T4 期间，第四开关元件（SW4）可以维持截止状态，这是因为第四节点 N4 即变换单元的输出端处的电压可以在第一、第二、第三、以及第四时间 T1、T2、T3、T4 期间为高电平。

因而，第一电源 VDD 可以通过第一开关元件 SW1 提供给输出

端子 N2, 接着通过第一开关元件 SW1 和第三开关元件 SW3 提供给第一节点 N1。因而, 可以在第一、第二、第三、以及第四时间 T1、T2、T3、T4 期间将第一电源 VDD 的电压电平输出给输出端子 N2。

如果由第三开关元件 SW3 将第一电源 VDD 分别送至第二开关元件 SW2 的源极和栅极, 并且第二开关元件 SW2 的栅极和源极两者间的电压差为“0”, 第二开关元件 SW2 的源极和漏极两者间的通路便没有静态电流通过输出端子 N2 和第二开关元件 SW2 流至第二电源 VSS。

因而, 本发明各实施例中, 可通过在输出端子 N2 输出第一电源 VDD 的第一电压电平期间用第三开关元件 SW3 使第二开关元件 SW2 的栅极和源极两者间的电压电平差为“0”, 来中断静态电流通路, 进而降低功率消耗。

第四节点 N4 即变换单元的输出可在第一扫描信号 S1 和第二扫描信号 S2 在高电平条件下重叠这种时间 T' 期间保持高电平。因此, 即便是第一、第三、以及第四开关元件 SW1、SW3、以及 SW4 截止, 可以维持前一时间的输出, 并可以将第一电源 VDD 的电压电平输出给输出端子 N2。

接下来, 可以使第一和第三开关元件 SW1、SW3 截止, 并使第四开关元件 SW4 导通, 这是因为当所加上的第一和第二扫描信号 S1、S2 处于高电平、并且第二时钟信号 CLK2 具有低电平并经由第七开关晶体管 S7 加到第四节点 N4 时, 变换单元在第五时间期间 T5 输出低电平。

于是, 有一大于第二开关元件 SW2 的阈值电压其绝对值 $|V_{th}|$ 的电压可以加到第一电容器 C1 的第二端子和第一端子两者间、即第二开关元件 SW2 的源极和栅极两者间, 这是因为随第四开关元件 SW4 的导通可以降低第一节点 N1 的电压。第二开关元件 SW2 可以在第二电源电压 VSS 加到其栅极上时导通。

接下来, 随着第一节点 N1 电压的进一步降低, 如果第四开关元件 SW4 的源极和栅极两者间的电压所具有的数值小于第四开关元件 SW4 的阈值电压的绝对值, 便可以使第四开关元件 SW4 截止。

如果第四开关元件 SW4 截止, 便可以使电容器 C1 的第一端子浮动, 因此可以保持第一电容器 C1 中存储的电压。因而, 第一电容器 C1 的第二端子和第一端子两者间存储的电压可以完全降至第二电

源 VSS 的电压，并可以使第二开关元件 SW2 维持导通状态，从而输出端子 N2 的电压可以达到第二电源 VSS 的电压电平，这是因为，第一电容器 C1 的第二端子和第一端子两者间存储的电压可保持大于第二开关元件 SW2 的阈值电压的绝对值的电压。

也就是说，根据本发明其中一个示范性实施例的第二扫描驱动电路 320 的 C 单元 CCU 可以通过在用第三开关元件 SW3 输出第一电源 VDD 的电压电平这一时间期间中断第二开关元件 SW2 的静态电流通路来减小电流泄漏，并且通过用第一电容器 C1 维持第二开关元件 SW2 的导通状态来输出第二电源 VSS 其形成例如完全压降的电压电平。

因而，第二扫描驱动器 320 的 C 单元 CCU 可以输出第一电源 VDD 的电压电平和第二电源 VSS 的电压电平，这些电压电平可以形成一完全的电压摆动，并且通过减小 PMOS 晶体管静态电流的电流泄漏来减小功率消耗。

而且，第二扫描驱动电路其通过 C 单元 CCU 的发光控制信号输出可以在第一电源的电压电平和第二电源的电压电平两者间形成一完全或大体完全的电压摆动，因此图像显示单元 100 可在接收发光控制信号后更为高效地工作。

图 7A 至图 7E 示出图 3 所示的扫描驱动电路 300 可采用的第二扫描驱动器的第二至第六示范性实施例的电路图。

下面第二至第六示范性实施例的说明中对相同的部分使用说明图 6 图示的示范性 C 单元的各部分所用的相同参照标号，下面说明各个示范性实施例之间的差异。

图 7 所示的每一实施例除了输入至其变换单元的信号输入有所不同以外，其动作和组成均与图 6 所示的第二扫描驱动器 320 的示范性 C 单元相同。

如上所述，变换单元可以包括：连接于第一电源 VDD 和第三节点 N3 两者间的第五开关元件 SW5；连接于第三节点 N3 和第一输入端子两者间的第六开关元件 SW6；连接于第四节点 N4 即变换单元输出端子和第二输入端子两者间、具有与第三节点 N3 连接的控制电极的第七开关元件 SW7；连接于第一电源 VDD 和变换单元输出端子 N4 两者间的第八开关元件 SW8；以及连接于第三节点 N3 和变换单元输出端子 N4 两者间的第二电容器 C2。

图 7A 示出的第二示范性实施例中，第六开关元件 SW6 的控制电极和第八开关元件 SW8 的控制电极如图 6 中所示的第一示范性实施例与第一时钟信号 CLK1 的输入线而非与第二扫描信号 S2 的输入线相连接。

图 7B 示出的第三示范性实施例中，第六开关元件 SW6 的控制电极可以与第二扫描信号 S2 的输入线连接，第八开关元件 SW8 的控制电极可以与第一时钟信号 CLK1 的输入线连接。

图 7C 示出的第四示范性实施例中，第六开关元件 SW6 和第八开关元件 SW8 的各控制电极可以与第一时钟信号 CLK1 的输入线连接，可以将第一时钟信号 CLK1 而非第二扫描信号 S2 输入至第一输入端子。

图 7D 示出的第五示范性实施例中，第六开关元件 SW6 的控制电极与第一时钟信号 CLK1 的输入线连接，第八开关元件 SW8 的控制电极可与第二扫描信号 S2 的输入线连接，第一时钟信号 CLK1 可以输入至第一输入端子。

而且，可以如图 7E 所示的示范性实施例那样省略第八开关元件 SW8。本发明某些实施例中，可以如上所述将各种信号输入至第六开关元件的控制电极、第一输入端子、以及第二输入端子。

综上所述，根据本发明一个或多个方面的扫描驱动电路其优点在于，由于可以通过补偿晶体管的阈值电压来补偿非均匀亮度，因而可以使功率消耗量最小化，可以由扫描信号产生发光控制信号，可以包括具有较低功率消耗的第二扫描驱动器，并可以消除可能有静态电流流过的通路。

本文披露了本发明各示范性实施例，尽管所用的是特定术语，但这只是要在总体说明性意义上来解释，而非用于限定。因而，本领域普通技术人员将会理解，可以在不背离如下面权利要求所给出的本发明的实质和范围的情况下，对形式和细节进行种种修改。

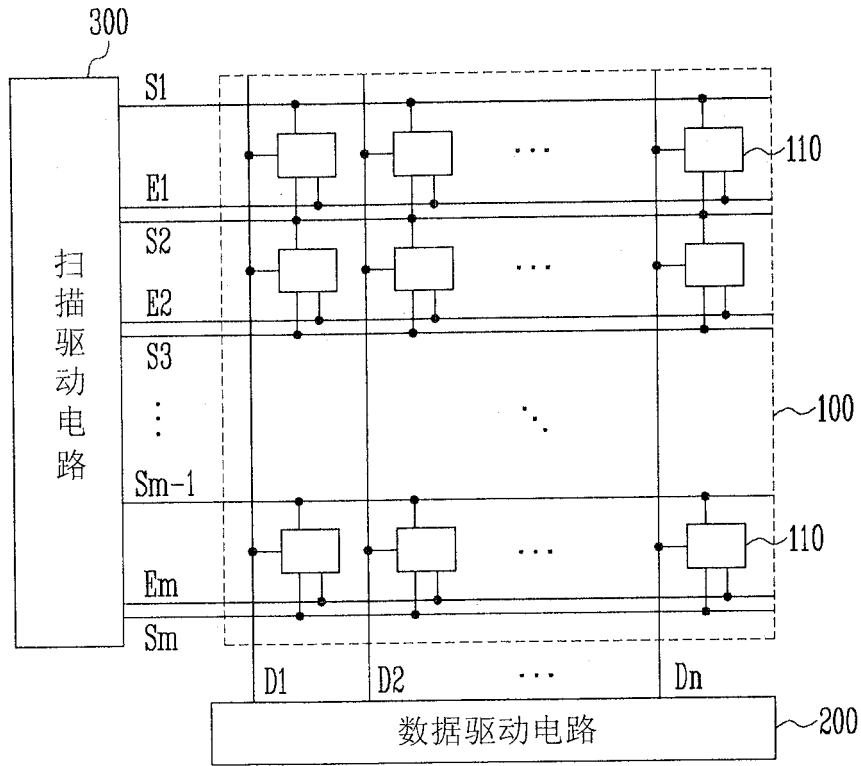


图 1

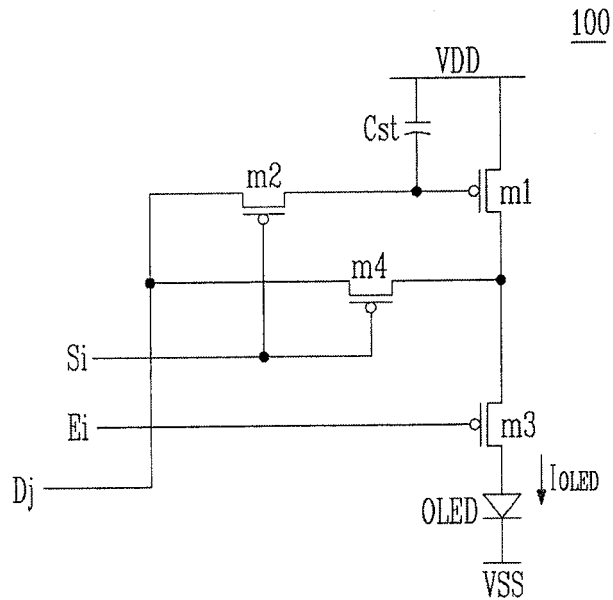


图 2

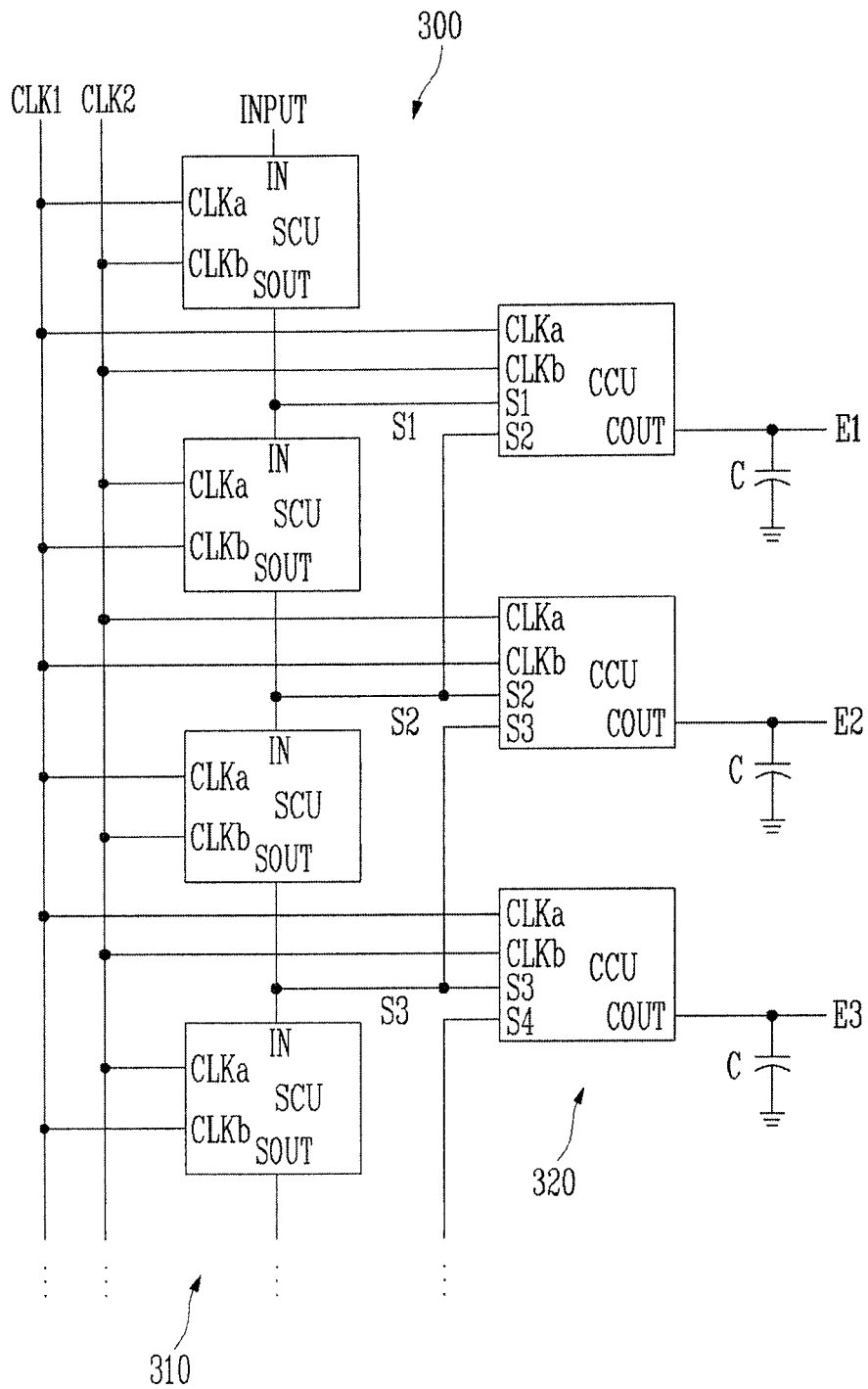


图 3

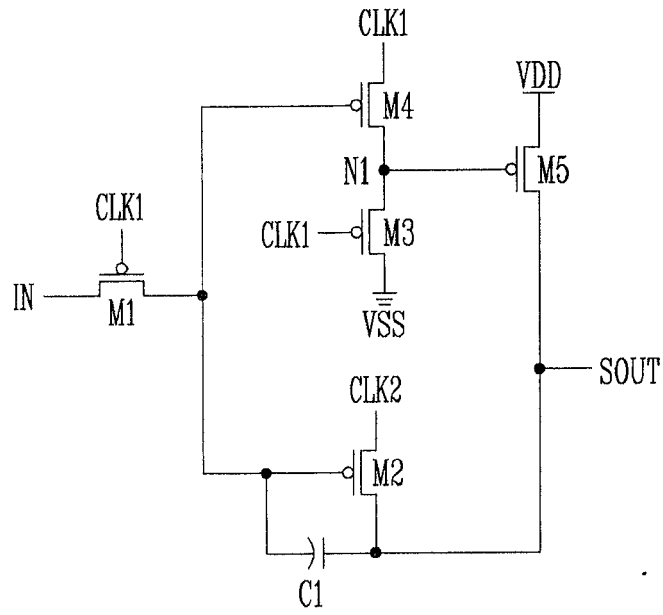


图 4

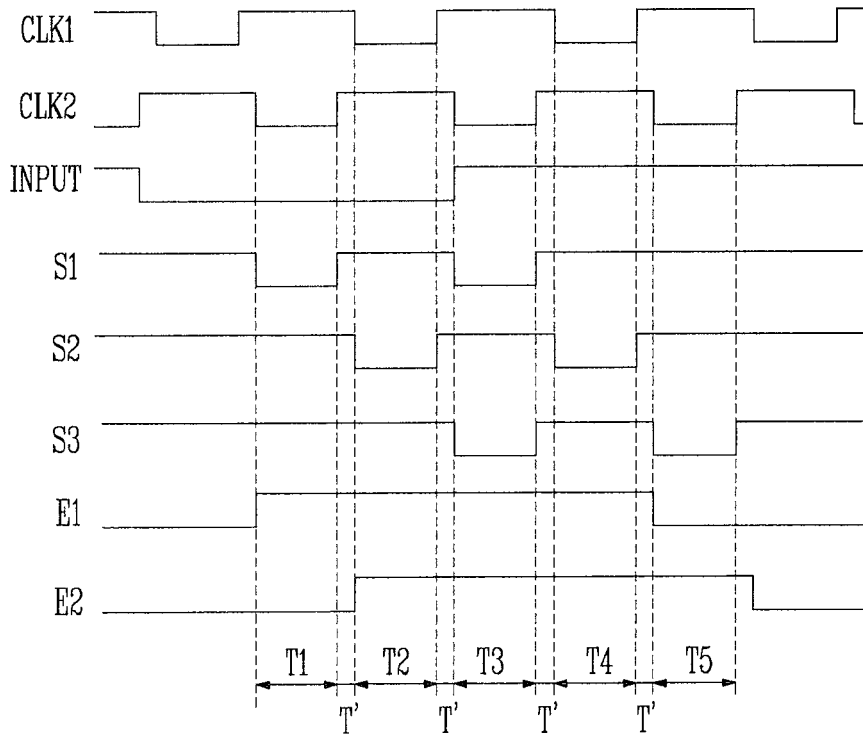


图 5

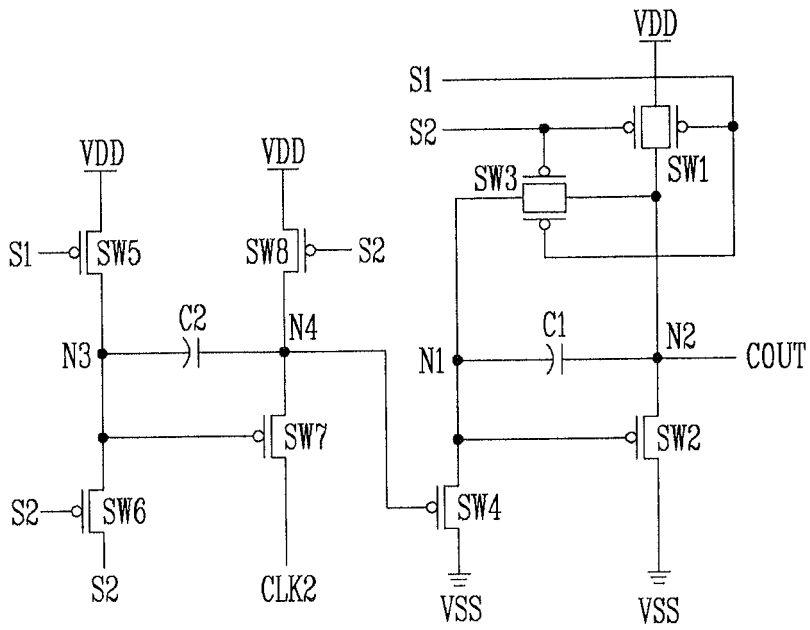


图 6

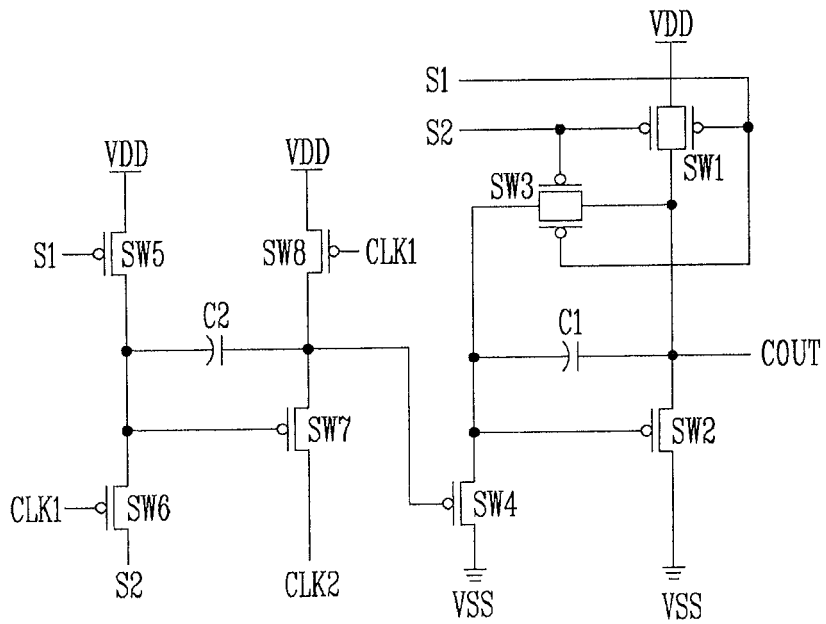


图 7A

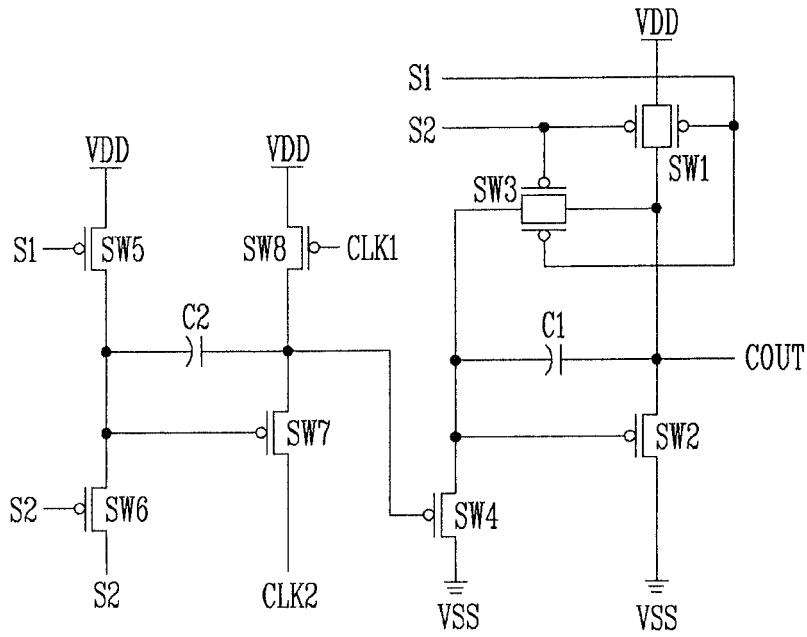


图 7B

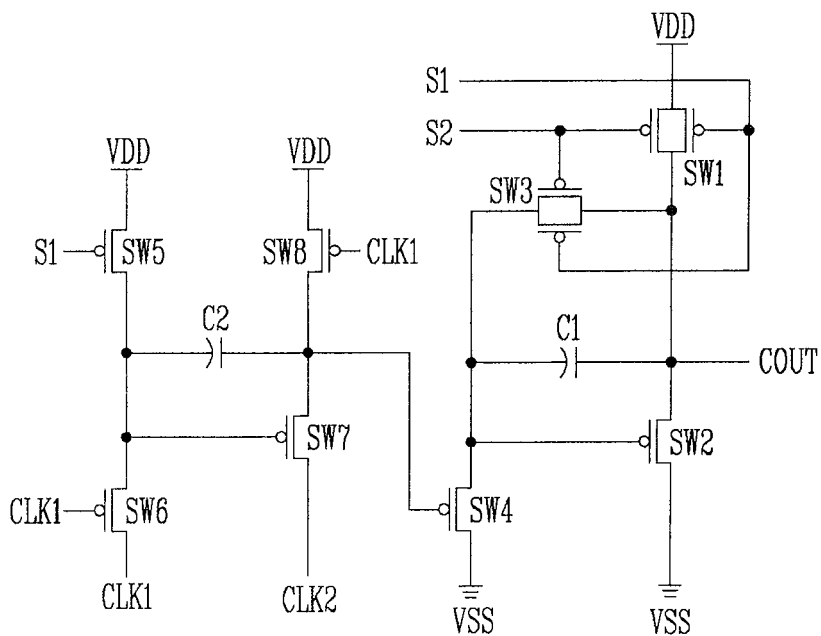


图 7C

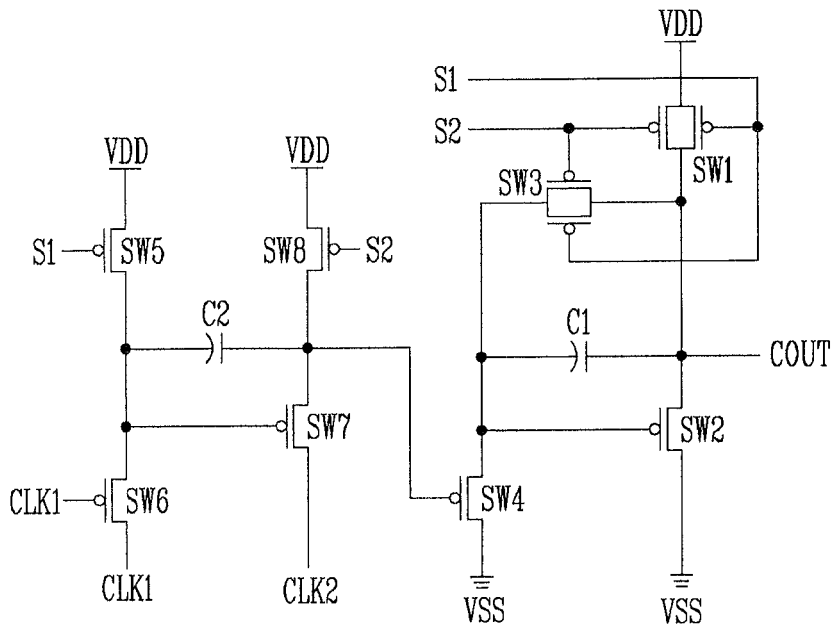


图 7D

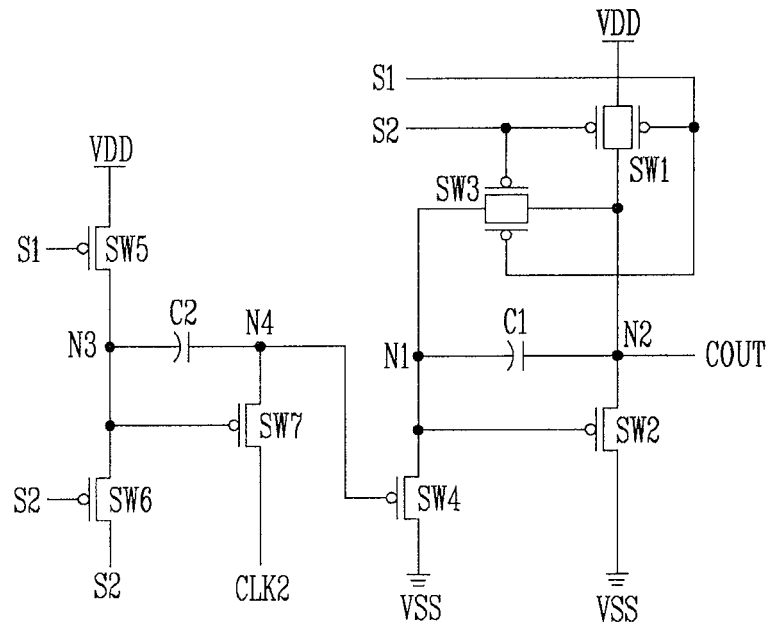


图 7E

专利名称(译)	扫描驱动电路以及采用其的有机发光显示器		
公开(公告)号	CN100520889C	公开(公告)日	2009-07-29
申请号	CN200710093644.X	申请日	2007-03-30
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星SDI株式会社		
当前申请(专利权)人(译)	三星移动显示器株式会社		
[标]发明人	申东蓉		
发明人	申东蓉		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/08 H05B33/14 H01L27/32 H01L51/50		
CPC分类号	G09G2300/0842 G09G3/325 G09G3/20 G09G2330/021 G09G2310/0286 G11C19/184 G09G3/3266		
代理人(译)	李湘 梁永		
审查员(译)	王波		
优先权	1020060031636 2006-04-06 KR		
其他公开文献	CN101051440A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供的扫描驱动电路包括：包括多个第一单元的第一扫描驱动器，各第一单元接收输入信号或前一第一单元的输出电压、以及第一和第二时钟信号以输出一扫描信号；以及具有多个第二单元的第二扫描驱动器，各第二单元接收各第一单元其中相应的各个所输出的多个扫描信号、以及第一和第二时钟信号其中至少之一，并输出一发光控制信号。

