

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 51/56 (2006.01)

H05B 33/10 (2006.01)

H05B 33/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510003658.9

[45] 授权公告日 2008 年 3 月 5 日

[11] 授权公告号 CN 100373658C

[22] 申请日 2005.1.7

[21] 申请号 200510003658.9

[30] 优先权

[32] 2004. 7. 9 [33] US [31] 10/888,692

[73] 专利权人 友达光电股份有限公司

地址 台湾省新竹市

[72] 发明人 李信宏 黄维邦 陈俊雄

[56] 参考文献

US5270221A 1993.12.14

CN1508851A 2004.6.30

CN1405865A 2003.3.26

US6297071B1 2001.10.2

审查员 陈 彬

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯 宇

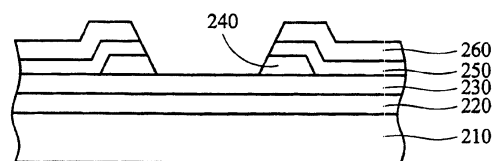
权利要求书 2 页 说明书 5 页 附图 5 页

[54] 发明名称

电致发光显示器的制造方法

[57] 摘要

本发明公开一种制造电致发光显示元件中像素区的方法，以提高形成于像素区中材料层表面平坦度，包括：形成至少一缓冲层于衬底上；形成蚀刻停止层于缓冲层上；形成至少一中间层于蚀刻停止层上；蚀刻中间层以露出蚀刻停止层，蚀刻停止层与中间层实质上具有蚀刻选择性；以及蚀刻蚀刻停止层以露出缓冲层，缓冲层与蚀刻停止层实质上具有蚀刻选择性，以提高暴露的缓冲层的表面平坦度。



1. 一种制造电致发光显示元件中至少一像素区的方法，包括：
形成至少一缓冲层于一衬底上；
形成一蚀刻停止层于该缓冲层上；
形成至少一中间层于该蚀刻停止层上；
蚀刻该中间层以露出该蚀刻停止层，该蚀刻停止层与该中间层具有一选择性蚀刻比；
蚀刻该蚀刻停止层以露出该缓冲层，该缓冲层与该蚀刻停止层具有一选择性蚀刻比；以及
形成一像素电极层于该暴露的缓冲层上。
2. 如权利要求 1 所述的制造电致发光显示元件中至少一像素区的方法，其中该中间层与该蚀刻停止层的蚀刻比大于 20。
3. 如权利要求 1 所述的制造电致发光显示元件中至少一像素区的方法，其中该蚀刻停止层与该缓冲层的蚀刻比大于 20。
4. 如权利要求 1 所述的制造电致发光显示元件中至少一像素区的方法，其中该缓冲层为一氧化硅层。
5. 如权利要求 1 所述的制造电致发光显示元件中至少一像素区的方法，其中该蚀刻停止层为一多晶硅层。
6. 如权利要求 1 所述的制造电致发光显示元件中至少一像素区的方法，其中该中间层为一氧化硅层。
7. 如权利要求 1 所述的制造电致发光显示元件中至少一像素区的方法，其中该中间层被过蚀刻。
8. 如权利要求 1 所述的制造电致发光显示元件中至少一像素区的方法，其中该蚀刻停止层被过蚀刻。
9. 一种制造电致发光显示元件中至少一像素区的方法，包括：
形成一第一缓冲层于一衬底上；
形成一第二缓冲层于该第一缓冲层上；
形成一蚀刻停止层于该第二缓冲层上；
形成一第一中间层于该蚀刻停止层上；
形成一第二中间层于该第一中间层上；

蚀刻该第一中间层与该第二中间层以露出该蚀刻停止层，该蚀刻停止层与该第一中间层具有一选择性蚀刻比；

蚀刻该蚀刻停止层以露出该第二缓冲层，该第二缓冲层与该蚀刻停止层具有一选择性蚀刻比；以及

形成一像素电极层于该暴露的第二缓冲层上。

10. 如权利要求 9 所述的制造电致发光显示元件中至少一像素区的方法，其中该第一中间层与该蚀刻停止层的蚀刻比大于 20。

11. 如权利要求 9 所述的制造电致发光显示元件中至少一像素区的方法，其中该蚀刻停止层与该第二缓冲层的蚀刻比大于 20。

12. 如权利要求 9 所述的制造电致发光显示元件中至少一像素区的方法，其中该第二缓冲层为一氧化硅层。

13. 如权利要求 9 所述的制造电致发光显示元件中至少一像素区的方法，其中该蚀刻停止层为一多晶硅层。

14. 如权利要求 9 所述的制造电致发光显示元件中至少一像素区的方法，其中该第一中间层为一氧化硅层。

15. 如权利要求 9 所述的制造电致发光显示元件中至少一像素区的方法，其中以一缓冲氧化物蚀刻剂蚀刻该第一中间层。

16. 如权利要求 9 所述的制造电致发光显示元件中至少一像素区的方法，其中以一氟等离子体蚀刻该蚀刻停止层。

17. 一种制造电致发光显示元件中一像素区的方法，包括：

形成至少一以氧化硅为主的缓冲层于一衬底上；

形成一以多晶硅为主的蚀刻停止层于该缓冲层上；

形成至少一以氧化硅为主的中间层于该蚀刻停止层上；

蚀刻该中间层以露出该蚀刻停止层，其中该中间层与该蚀刻停止层的蚀刻比大于 20；以及

蚀刻该蚀刻停止层以露出该缓冲层，其中该蚀刻停止层与该缓冲层的蚀刻比大于 20，以提高该暴露缓冲层的一表面平坦度。

电致发光显示器的制造方法

技术领域

本发明涉及一种电致发光显示器 (electro-luminescent display), 且特别涉及一种制造其像素区 (pixel area) 的方法。

背景技术

近来平面显示器的技术有大幅地进步, 其部分原因是因为在衬底如玻璃上制造薄膜晶体管 (TFT) 的技术越来越成熟。相对于需要背光源的液晶材料, 许多人正大力研究可自行发光的电致发光元件, 如有机发光二极管 (OLED), 且因为电致发光元件可自行发光, 所以比需要背光源的液晶显示器的亮度更高。

图 1 为现有电致发光显示元件 10 的剖面图, 包括薄膜晶体管区 110 与像素区 120, 电致发光显示元件 10 包括衬底 130、氮化硅缓冲层 132、氧化硅缓冲层 134、栅极氧化层 136、层间介电 (ILD) 层 138、铟锡氧化物 (ITO) 层 140、有机发光层 142 与阴极层 144。

在形成电致发光显示元件 10 的过程中, 原本沉积在像素区 120 里的栅极氧化层 136 与层间介电 (ILD) 层 138 必须被移除, 因为它们的存在会降低发光强度, 其移除方式是利用光微影步骤先在像素区 120 中定义出栅极氧化层 136 与层间介电 (ILD) 层 138 所要移除的部分, 然后再将此部分以蚀刻方式移除, 以露出其下的氧化硅缓冲层 134, 然后再于其上沉积铟锡氧化物 (ITO) 层 140 与有机发光层 142, 以形成如图所示的衬底。

但此现有工艺方式会产生不平坦表面, 因为栅极氧化层 136 与其下的氧化硅缓冲层 134 的蚀刻选择性很低, 所以很难适当地控制蚀刻工艺的终点, 这会使像素区 120 中的氧化硅缓冲层 134 产生不平坦的表面, 所以随后所形成的铟锡氧化物 (ITO) 层 140 与有机发光层 142 也会产生不平坦的表面, 而这会造成电致发光显示元件 10 效能的严重下降。

所以业界亟需提出一种电致发光显示器的工艺, 以改善像素区材料层的不平坦面。

发明内容

本发明公开一种制造电致发光显示元件的方法，以提高形成于像素区中材料层表面平坦度，其中蚀刻停止层与第一以及第二缓冲层具有蚀刻选择性，因为有此蚀刻停止层的存在，所以很容易控制第一缓冲层的蚀刻，且在蚀刻时不会对其下的栅极氧化层造成伤害；接下来移除蚀刻停止层，此时第二缓冲层大体上还是保持平坦的表面，以改进电致发光显示元件的整体效能。

本发明公开一种制造电致发光显示元件中像素区的方法，包括：形成至少一缓冲层于衬底上；形成蚀刻停止层于缓冲层上；形成至少一中间层于蚀刻停止层上；蚀刻中间层以露出蚀刻停止层，且蚀刻停止层与中间层实质上具有蚀刻选择性；以及蚀刻蚀刻停止层以露出缓冲层，且缓冲层与蚀刻停止层实质上具有蚀刻选择性，以提高暴露缓冲层表面平坦度。

按照本发明的另一方面，提供一种制造电致发光显示元件中至少一像素区的方法，包括：形成第一缓冲层于衬底上；形成第二缓冲层于第一缓冲层上；形成蚀刻停止层于第二缓冲层上；形成第一中间层于蚀刻停止层上；形成第二中间层于第一中间层上；蚀刻第一中间层与第二中间层以露出蚀刻停止层，该蚀刻停止层与该第一中间层实质上具有选择性蚀刻比；蚀刻蚀刻停止层以露出第二缓冲层，该第二缓冲层与该蚀刻停止层实质上具有选择性蚀刻比；以及形成像素电极层于暴露的第二缓冲层上。

按照本发明的又一方面，提供一种制造电致发光显示元件中一像素区的方法，包括：形成至少一以氧化硅为主的缓冲层于衬底上；形成以多晶硅为主的蚀刻停止层于缓冲层上；形成至少一以氧化硅为主的中间层于蚀刻停止层上；蚀刻中间层以露出蚀刻停止层，其中该中间层与该蚀刻停止层的蚀刻比大于 20；以及蚀刻该蚀刻停止层以露出缓冲层，其中该蚀刻停止层与该缓冲层的蚀刻比大于 20，以提高暴露缓冲层的表面平坦度。

此外，请参阅下列特定实施例的描述，以更加了解本发明操作的建构与方法以及其目的与优点，且在阅读时请一并参考附图。

附图说明

图 1 为一现有电致发光显示元件的剖面图；

图 2A ~ 2I 为一系列剖面图，用以说明本发明一优选实施例形成电致发

光显示元件的像素区的流程，以提高其表面平坦度；

图 3A ~ 3D 为一系列剖面图，用以说明本发明另一优选实施例形成电致发光显示元件的像素区的流程，以提高其表面平坦度。

附图标记说明

- 10 ~ 电致发光显示元件
- 110 ~ 薄膜晶体管 (TFT) 区
- 120、200、300 ~ 像素区
- 130、210、310 ~ 衬底
- 132 ~ 氮化硅缓冲层
- 134 ~ 氧化硅缓冲层
- 136 ~ 栅极氧化层
- 138 ~ 层间介电 (ILD) 层
- 140 ~ 铟锡氧化物 (ITO) 层
- 142 ~ 有机发光层
- 144 ~ 阴极层
- 220、320 ~ 第一缓冲层
- 230、330 ~ 第二缓冲层
- 240、340 ~ 蚀刻停止层
- 250、350 ~ 第一中间层
- 260、360 ~ 第二中间层
- 270、370 ~ 导电层
- 280、380 ~ 像素电极层

具体实施方式

本发明公开一种制造电致发光显示元件的工艺，以提高形成于像素区中材料层表面平坦度，其中蚀刻停止层与第一以及第二缓冲层具有蚀刻选择性，因为有此蚀刻停止层的存在，所以很容易控制第一缓冲层的蚀刻，且在蚀刻时不会对其下的栅极氧化层造成伤害；接下来移除蚀刻停止层，此时第二缓冲层大体上还是保持平坦的表面，以改进电致发光显示元件的整体效能。

图 2A ~ 2I 说明本发明一实施例的电致发光显示元件中像素区 200 的工

艺。在图 2A 中，利用如化学气相沉积 (CVD)、低压化学气相沉积 (LPCVD) 或等离子体增强化学气相沉积 (PECVD) 等工艺在衬底 210 上形成第一缓冲层 220，且此层由如氮化硅等介电材料所构成，而衬底 210 包括 (但不限于) 玻璃、石英或聚合物等材料。在图 2B 中，利用如 CVD、LPCVD 或 PECVD 等工艺在第一缓冲层 220 上形成第二缓冲层 230，此层可为氧化硅 (SiO_x) 层，且第一与第二缓冲层 220 与 230 可延伸到 TFT 区 (未显示)。

在图 2C 中，蚀刻停止层 240 形成于第二缓冲层 230 上，此层可为具有厚度 500 埃的多晶硅层，且可藉由两步骤形成，第一步骤就是将多晶硅沉积于像素区 220 与 TFT 区中，而第二步骤就是对多晶硅层进行回蚀刻，以在 TFT 区中形成源极与漏极电极，且在像素区 220 中形成蚀刻停止层 240，且由于蚀刻停止层 240 与源极、漏极都是用相同的多晶硅层所构成，所以就不需额外的掩模以节省成本，此外，蚀刻停止层可为任何的材料，只要此材料与第一、第二缓冲层具有蚀刻选择性即可。

在图 2D 中，第一中间层 250 形成于蚀刻停止层 240 上，且此层可为厚度约 1000 埃的氧化硅层，且此层可延伸到 TFT 区 (未显示)，在此实施例中，在 TFT 区中的第一中间层 250 为栅极氧化层。

在图 2E 中，第二中间层 260 形成于第一中间层 250 上，且此层可为厚度约 2500 埃的氧化硅层，且此层可延伸到 TFT 区 (未显示)，在此实施例中，在 TFT 区中的第二中间层 260 为层间介电 (ILD) 层。

在图 2F 中，利用湿蚀刻或干蚀刻等方式对第一与第二中间层 250 与 260 进行回蚀刻处理，且所使用的蚀刻剂对第一、第二中间层 250、260 与蚀刻停止层具有一定的蚀刻选择比，例如利用缓冲氧化物蚀刻剂 (buffered oxide etchants, 简称 BOE) 来蚀刻以氧化硅为主要材料的第一与第二中间层 250 与 260，此 BOE 为 HF 和 NH_4F 的混合物，且相对于多晶硅而言，对氧化硅具有较高的蚀刻率，所以可在移除第一与第二中间层 250 与 260 的同时，不会影响到蚀刻停止层 240 的表面平坦度，此表面一致度的定义如下：一致度 = $[(\text{最大厚度} - \text{最小厚度}) / (\text{最大厚度} + \text{最小厚度})] * 100\%$ ，换句话说，第一中间层 250 可被过度蚀刻，在此例中，氧化硅与多晶硅的蚀刻比大于 20，如此可使蚀刻终点藉由侦测反应的反应物与/或产物而易于测得。

在图 2G 中，利用对蚀刻停止层 240 与其下的第二缓冲层 230 具有高选择性的蚀刻剂对蚀刻停止层 240 进行回蚀刻，如利用氟等离子体蚀刻由多晶

硅所构成的蚀刻停止层 240，因为相对于氧化硅，氟等离子体对多晶硅而言具有高的蚀刻选择比，所以可在移除蚀刻停止层 240 的同时不会影响到第二缓冲层 230 的表面平坦度，换句话说，蚀刻停止层 240 可被过度蚀刻，在此例中，氧化硅与多晶硅的蚀刻比大于 20，如此可提高第二缓冲层 230 的表面平坦度。

以下列表为第二缓冲层一致度的实验结果，此结果利用扫描式电子显微镜 (SEM) 量测具有约 500 埃的第一缓冲层的 200 mm*200 mm 衬底。

第二缓冲层 (SiO _x) 的厚度 (埃)	500	1000	1500	2000
第二缓冲层 (SiO _x) 的一致度	2.58%	5.01%	1.74%	7.06%

在图 2H 中，形成导电层 270 以与 TFT 区中的源极与漏极电极连接。在图 2I 中，像素电极层 280 如 ITO 层形成于第二缓冲层 230 与第二中间层 260 上，且其具有平坦表面，所以可改善电致发光显示元件的整体效能。

图 3A ~ 3D 说明本发明一实施例的电致发光显示元件中的像素区 300 的工艺。

在图 3A 中，利用图 2A ~ 2F 所述的类似工艺在像素区 300 中形成如图所绘的结构，此结构包括衬底 310、第一缓冲层 320、第二缓冲层 330、蚀刻停止层 340、第一中间层 350 与第二中间层 360；在图 3B 中，导电层 370 形成于部分的第一中间层 350 与蚀刻停止层 340 上；在图 3C 中，将未被导体层 370 所覆盖的蚀刻停止层 340 移除，且因为其具有高的蚀刻选择比，所以此蚀刻大致上不会影响到其下第一中间层 350 的表面平坦度；然后再将像素电极层 380 形成于暴露的第二缓冲层 330 与第二中间层 360 上，如图 3D 所示。

虽然本发明已公开优选实施例如上，然其并非用以限定本发明，任何本领域内的技术人员，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围以所附权利要求所界定的为准。

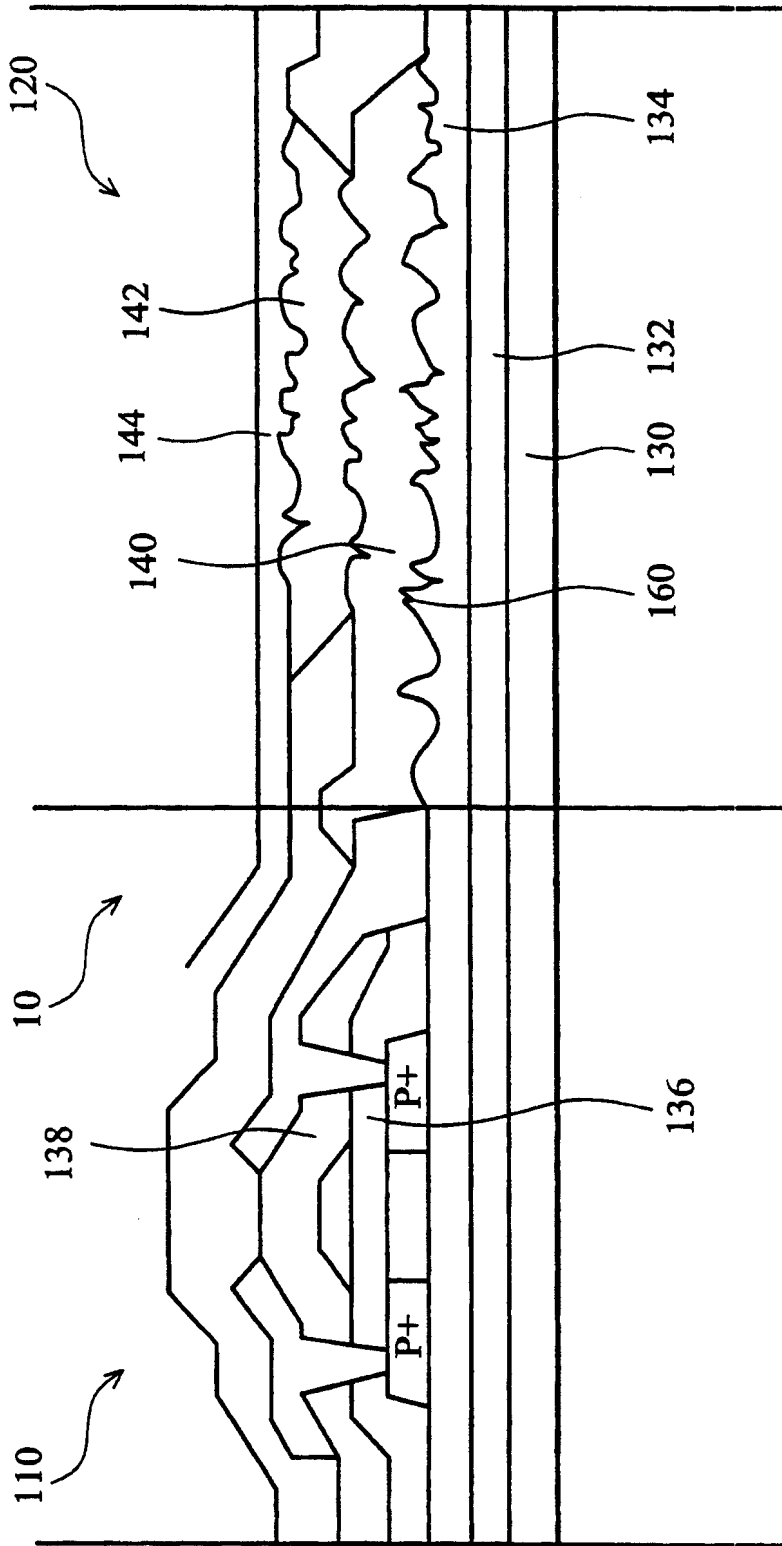


图 1

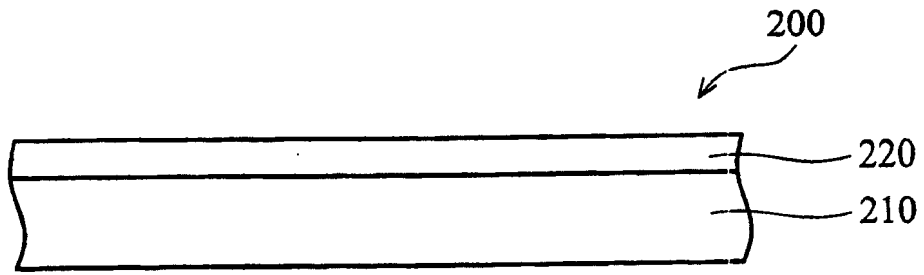


图 2A

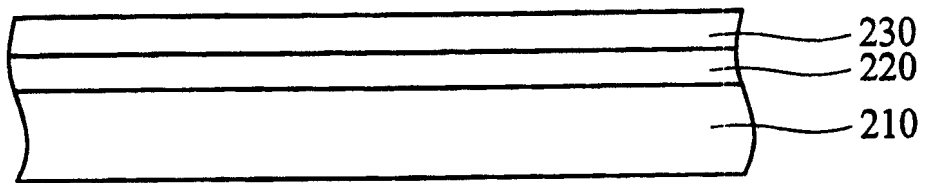


图 2B

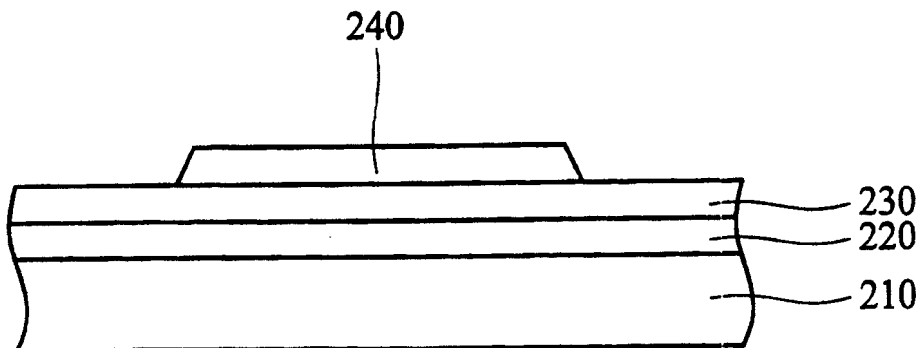


图 2C

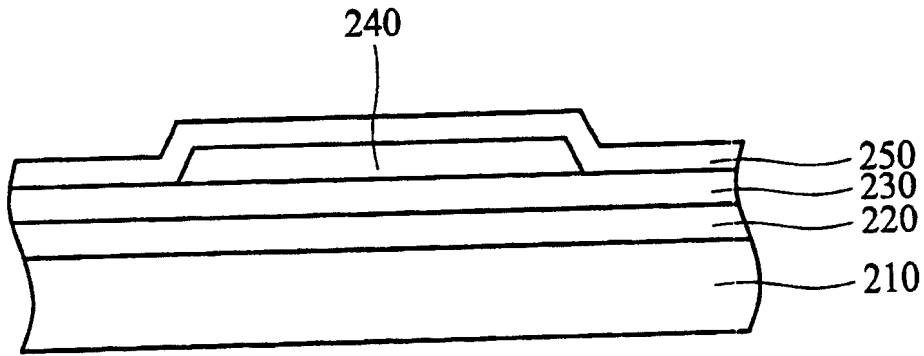


图 2D

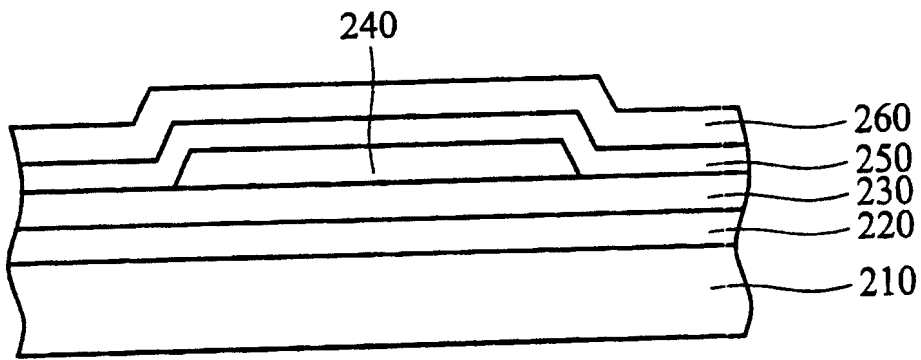


图 2E

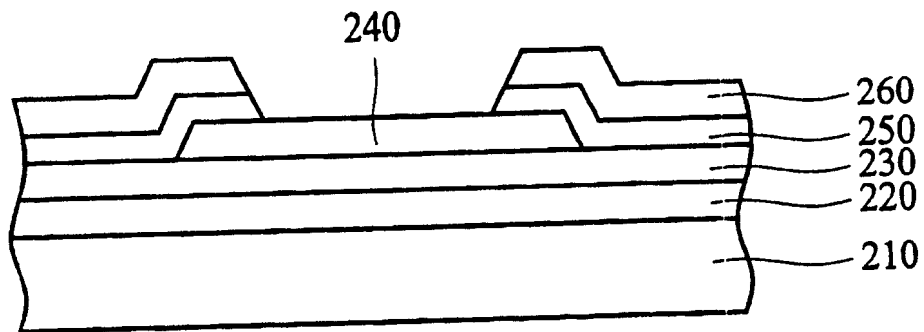


图 2F

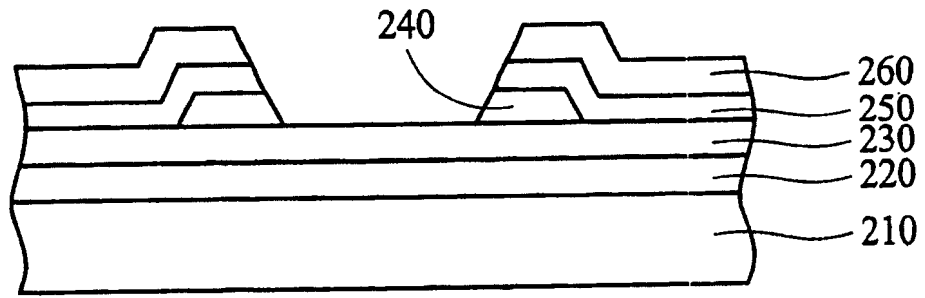


图 2G

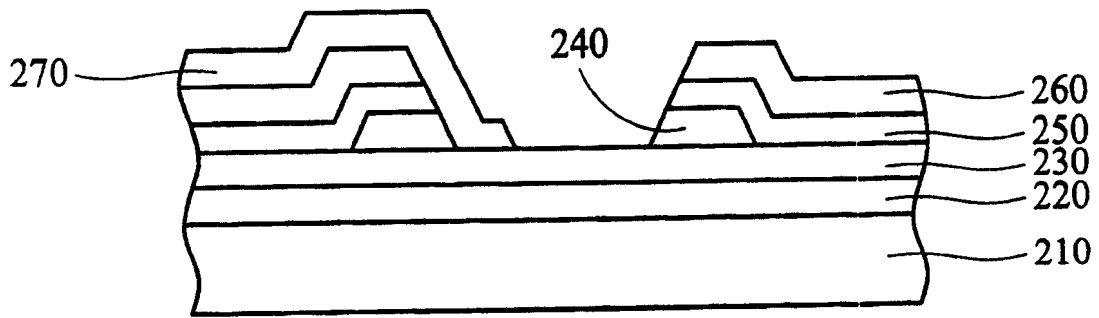


图 2H

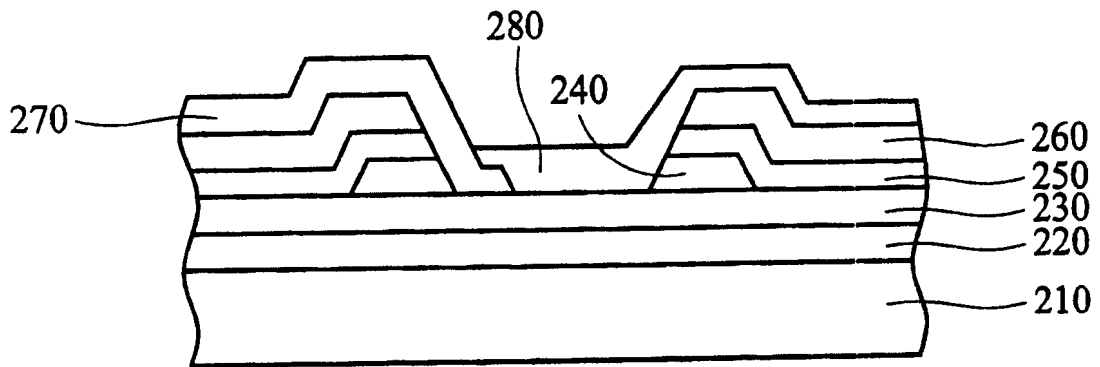


图 2I

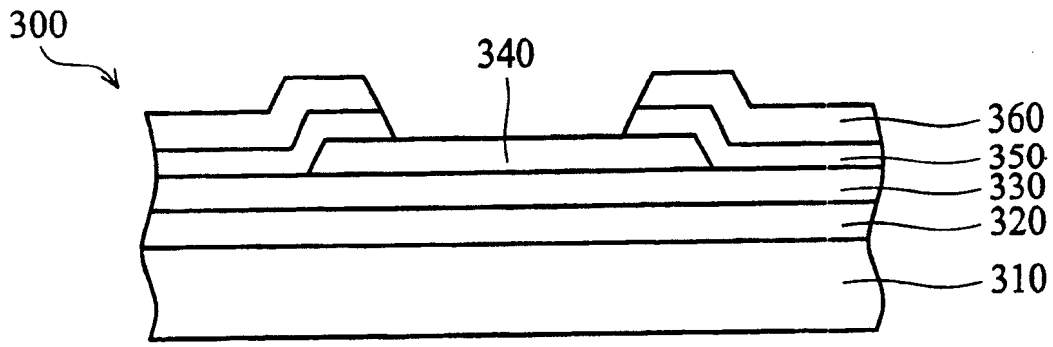


图 3A

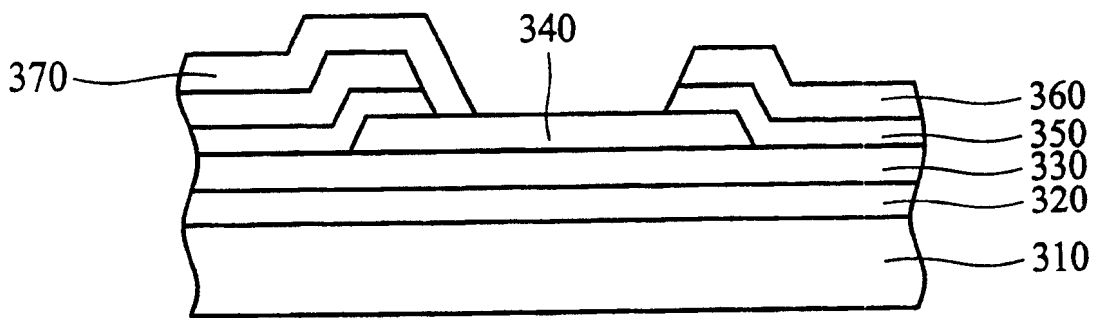


图 3B

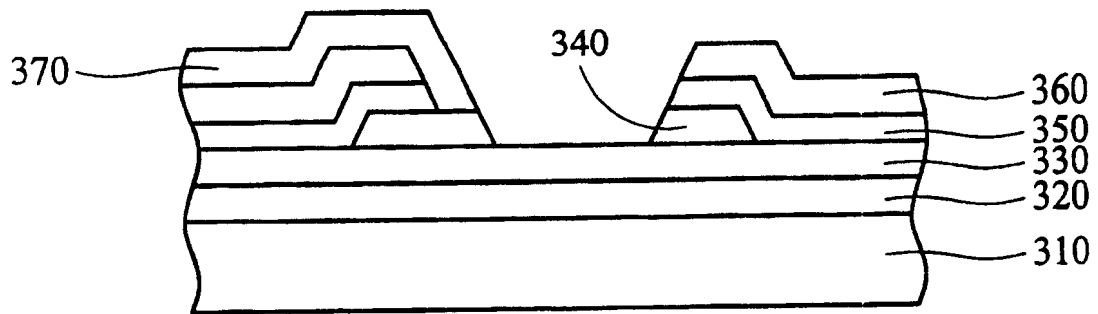


图 3C

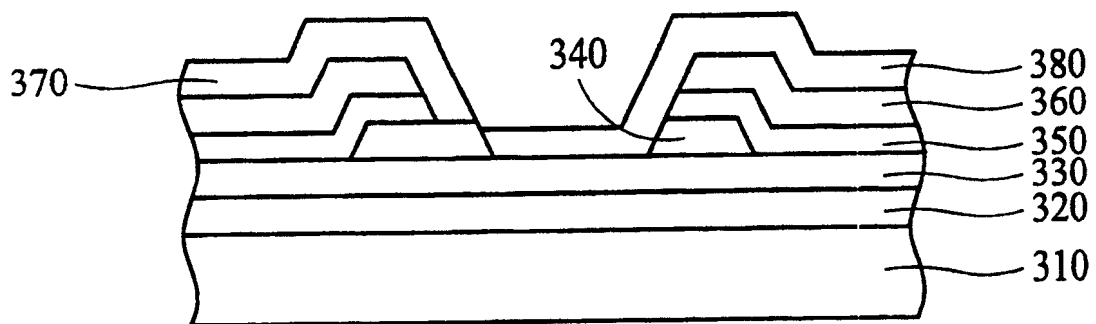


图 3D

专利名称(译)	电致发光显示器的制造方法		
公开(公告)号	CN100373658C	公开(公告)日	2008-03-05
申请号	CN200510003658.9	申请日	2005-01-07
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	李信宏 黄维邦 陈俊雄		
发明人	李信宏 黄维邦 陈俊雄		
IPC分类号	H01L51/56 H05B33/10 H05B33/02 G09F9/30 H01L27/146 H01L27/32 H05B33/00 H05B33/22		
CPC分类号	H01L51/56 H01L27/3244		
代理人(译)	侯宇		
审查员(译)	陈彬		
优先权	10/888692 2004-07-09 US		
其他公开文献	CN1630440A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种制造电致发光显示元件中像素区的方法，以提高形成于像素区中材料层表面平坦度，包括：形成至少一缓冲层于衬底上；形成蚀刻停止层于缓冲层上；形成至少一中间层于蚀刻停止层上；蚀刻中间层以露出蚀刻停止层，蚀刻停止层与中间层实质上具有蚀刻选择性；以及蚀刻蚀刻停止层以露出缓冲层，缓冲层与蚀刻停止层实质上具有蚀刻选择性，以提高暴露的缓冲层的表面平坦度。

