



(12) 发明专利

(10) 授权公告号 CN 1967858 B

(45) 授权公告日 2011.05.25

(21) 申请号 200610101673.1

书第 0045 段至第 0142 段、附图 1-10.

(22) 申请日 2000.06.28

审查员 蒋显辉

(30) 优先权数据

182590/1999 1999.06.28 JP

(62) 分案原申请数据

00124111.7 2000.06.28

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 陈景峻

(51) Int. Cl.

H01L 27/15(2006.01)

H01L 27/32(2006.01)

(56) 对比文件

EP 0845812 A2, 1998.06.03, 说明书第 4 页 10 行至第 5 页第 5 行、第 8 页第 9 行至第 18 行、附图 1,2.

JP 特开平 10-104663 A, 1998.04.24, 说明

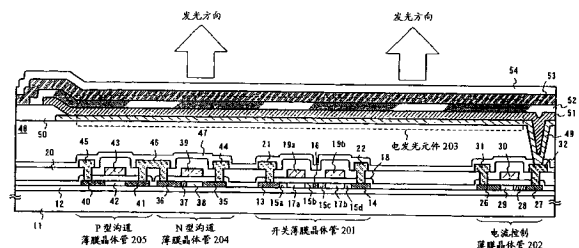
权利要求书 2 页 说明书 19 页 附图 13 页

(54) 发明名称

电发光显示器和电子设备

(57) 摘要

一种电发光显示器,其包括形成衬底上面的多个电发光元件和驱动电路。驱动电路中的至少一部分设置于衬底的一个显示部中,从而可减小该显示器的尺寸。



1. 一种照相机,包括:

显示部分;

操作开关;

图像接收部分;

所述显示部分包括:

形成在衬底上的像素部分,所述像素部分包括至少第一和第二像素,其中每个像素包括发光元件、源极信号线和供电线路;以及

形成在所述像素部分中的驱动电路,所述驱动电路包括至少第一和第二部分,

其中所述第一部分包括第一薄膜晶体管,且所述第二部分包括第二薄膜晶体管,

其中所述第一薄膜晶体管形成在所述第一像素中,且所述第二薄膜晶体管形成在所述第二像素中,

其中所述第一薄膜晶体管经第一连接布线连接到所述供电线路,

其中所述第一连接布线形成在所述源极信号线之下,并形成在与所述第一薄膜晶体管的栅极相同的层中,

其中所述第一薄膜晶体管和所述第二薄膜晶体管经第二连接布线相互连接,以及

其中所述第二连接布线形成在所述源极信号线之上。

2. 根据权利要求1的照相机,其中所述驱动电路是从包括移位寄存器、电平偏移器、缓冲器、锁存器、D/A转换器、取样电路、分波电路、升压电路、 γ 补偿电路、存储器和差动放大电路的组中选出的一种。

3. 根据权利要求1的照相机,其中每个所述像素部分包括与所述发光元件相连的第三薄膜晶体管。

4. 一种便携式信息终端,包括:

图像接收部分;

操作开关;以及

显示部分;

所述显示部分包括:

形成在衬底上的像素部分,所述像素部分包括至少第一和第二像素,其中每个像素包括发光元件、源极信号线和供电线路;以及

形成在所述像素部分中的驱动电路,所述驱动电路包括至少第一和第二部分,

其中所述第一部分包括第一薄膜晶体管,所述第二部分包括第二薄膜晶体管,

其中所述第一薄膜晶体管形成在所述第一像素中,所述第二薄膜晶体管形成在所述第二像素中,

其中所述第一薄膜晶体管经第一连接布线连接到所述供电线路,

其中所述第一连接布线形成在所述源极信号线之下,并形成在与所述第一薄膜晶体管的栅极相同的层中,

其中所述第一薄膜晶体管和所述第二薄膜晶体管经第二连接布线相互连接,以及

其中所述第二连接布线形成在所述源极信号线之上。

5. 根据权利要求4的便携式信息终端,其中所述驱动电路是从包括移位寄存器、电平偏移器、缓冲器、锁存器、D/A转换器、取样电路、分波电路、升压电路、 γ 补偿电路、存储器

和差动放大电路的组中选出的一种。

6. 根据权利要求 4 的便携式信息终端,其中每个所述像素部分包括与所述发光元件相连的第三薄膜晶体管。

7. 一种计算机,包括:

显示部分;以及

键盘,

所述显示部分包括:

形成在衬底上的像素部分,所述像素部分包括至少第一和第二像素,其中每个像素包括发光元件、源极信号线和供电线路;以及

形成在所述像素部分中的驱动电路,所述驱动电路包括至少第一和第二部分,

其中所述第一部分包括第一薄膜晶体管,所述第二部分包括第二薄膜晶体管,

其中所述第一薄膜晶体管形成在所述第一像素中,所述第二薄膜晶体管形成在所述第二像素中,

其中所述第一薄膜晶体管经第一连接布线连接到所述供电线路,

其中所述第一连接布线形成在所述源极信号线之下,并形成在与所述第一薄膜晶体管的栅极相同的层中,

其中所述第一薄膜晶体管和所述第二薄膜晶体管经第二连接布线相互连接,以及

其中所述第二连接布线形成在所述源极信号线之上。

8. 根据权利要求 7 的计算机,其中所述驱动电路是从包括移位寄存器、电平偏移器、缓冲器、锁存器、D/A 转换器、取样电路、分波电路、升压电路、 γ 补偿电路、存储器和差动放大电路的组中选出的一种。

9. 根据权利要求 7 的计算机,其中每个所述像素部分包括与所述发光元件相连的第三薄膜晶体管。

电发光显示器和电子设备

技术领域

[0001] 本发明涉及电发光显示器,以及具有作为显示器的电发光显示器的电子设备,该电发光显示器由嵌入衬底中的半导体元件(采用半导体薄膜的元件)形成。

背景技术

[0002] 近年来,在衬底上形成薄膜晶体管的技术已广泛地使用,涉及有源矩阵型显示器的应用研究正在进行。特别是,采用多晶硅膜的薄膜晶体管与采用普通的非晶硅膜的薄膜晶体管相比较,具有较高的场效应移动性(μ_{FE}),从而可进行高速操作。其结果是,可进行下述像素控制,该控制一般是通过位于衬底外部的驱动电路、通过作为像素形成于相同衬底上的驱动电路而进行的。

[0003] 由于下述的许多优点,这种有源矩阵显示器已引起注意,该许多优点是在这种有源显示器中,在相同的衬底上组合各种电路和元件而获得的,该优点,比如为较低的制作成本,显示器的微型化,增加的区域,较高的总处理量。

[0004] 在相同的衬底上具有用于驱动像素部的驱动电路和像素的单片型显示器中,上述驱动电路形成于像素部的边缘,于是与仅仅在衬底上形成像素部的场合相比较,由于驱动电路的尺寸,所要求的衬底尺寸较大。因此,可从一个衬底上切出的显示器的数量随驱动电路的专用表面积的减小程度而变化。

[0005] 特别是,在具有 1 英寸或更小的对角线的像素的显示器中,必须将驱动电路放置于极小的衬底上,驱动电路中的专用表面积对衬底尺寸造成较大影响。但是,无论像素部的尺寸,驱动电路的功能是相同的,为了以很小的尺寸形成具有相同功能的电路,各种因素比如增加薄膜晶体管特性、以及实现微型化的技术便成为关键点。

发明内容

[0006] 本发明是针对上述问题而提出的,本发明的目的在于进一步使有源矩阵型电发光显示器的体积微型化,使制作成本较低。另外,本发明的另一目的在于进一步使带有作为显示器的,有源矩阵型电发光显示器的电子设备微型化,减小制造成本。

[0007] 电发光元件是针对有源矩阵型电发光显示器中的每个像素而形成的。在这里,电发光元件指包括阴极,电发光层和阳极层的发光元件。电发光元件的射出光(后面称为“电发光”)从衬底一侧,或从与衬底相反的一侧射出。此情况在图 6A 和图 6B 中示出。

[0008] 在图 6A 中的结构中,依从电发光元件的底部的顺序,电发光元件包括像素电极(阳极),电发光层,MgAg 电极(阴极);该像素电极由 ITO(氧化铟锡)形成。此外,阴极本身较薄,于是形成保护电极(在这里为铝电极),以便保护阴极功能,同时增强该功能。在此场合,电发光是从形成有薄膜晶体管的衬底的一侧射出的。于是,在整个像素电极表面积中,其下方未形成有薄膜晶体管和布线的部分成为有效的发光区域。

[0009] 另一方面,在图 6B 的结构中,依从电发光元件的底部的顺序,电发光元件包括像素电极(阳极),其由铝膜形成;MgAg 电极(阴极);电发光层;ITO 电极(阳极)。在此场

合,电发光不通过像素电极传递,于是所有的光朝向与衬底相反的一侧射出(电发光显示器的顶侧)。于是,像素电极中的整个表面积变为有效发光区域。

[0010] 因此,对于图 6A 的场合,在像素电极下方,形成尽可能少的元件或布线。但是,在图 6B 的场合,无论在像素电极下方形成什么,该下方为纯静区,均没有关系。

[0011] 为了明确本发明的主要方面,本发明的目的在于有效地使用下述有源矩阵型电发光显示器中的像素电极下方的静区,在该显示器中,通过类似图 6B 的方法,制成电发光元件,以便实现发光。特别是,在像素部中,以矩阵主体排列的每个像素中的像素电极下方,形成用于驱动像素部的驱动电路。另外,不仅可采用驱动电路,而且还可形成其它的信号处理电路(比如分波电路,升压电路, γ 补偿电路,存储器,差动放大电路)。

[0012] 换言之,在像素部内部的静区中,设置按照普通方式形成于像素部的边缘处的电路和元件,可有效地使用衬底表面积。应注意到,作为形成于像素部的边缘处的元件,包括有比如用作抵抗 ESD(静电退化)的措施保护元件这样的元件。

[0013] 另外,本发明不仅适合于有源矩阵型电发光显示器,而且还适合于下述电发光显示器,该电发光显示器具有形成在相同衬底上的驱动电路,并具有简单的矩阵类型的像素部。换言之,本发明对于下述电发光显示器是有效的,在该电发光显示器中,像素部中的电发光朝向与衬底相反的一侧射出,另外在上述衬底上形成其它的电路或元件。

附图说明

- [0014] 图 1 为表示电发光显示器的横截面结构的图;
- [0015] 图 2A ~ 2E 为表示制造电发光显示器的方法的图;
- [0016] 图 3A ~ 3D 为表示制造电发光显示器的方法的图;
- [0017] 图 4A ~ 4D 为表示制造电发光显示器的方法的图;
- [0018] 图 5A ~ 5C 为表示制造电发光显示器的方法的图;
- [0019] 图 6A 和 6B 为用于说明光从电发光显示器射出的方向的图;
- [0020] 图 7A 和 7B 为表示电发光组件的外观的图;
- [0021] 图 8A ~ 8C 为表示制造电发光显示器的方法的图;
- [0022] 图 9 为表示电发光显示器中的像素部的结构的图;
- [0023] 图 10 为表示电发光显示器的横截面结构的图;
- [0024] 图 11A 和 11B 为表示电发光显示器中的像素部的顶部结构的图;
- [0025] 图 12 为表示电发光显示器中的像素部的顶部结构的图;
- [0026] 图 13A ~ 13F 为表示电子设备的特定实例的图。

具体实施方式

[0027] 首先,图 1 表示本发明的有源矩阵型电发光显示器的示意性横截面结构。标号 11 表示衬底,标号 12 表示构成图 1A 中的底部(在后面称为“底膜”)的绝缘膜。玻璃衬底、石英衬底、结晶的玻璃衬底、陶瓷衬底、硅衬底、金属衬底、或塑料衬底可用作上述衬底 11。

[0028] 此外,上述底膜 12 对于下述场合是特别有效的,在该场合,采用包含金属离子的衬底或具有导电性的衬底,但是无需形成石英衬底。包含硅的绝缘膜可作为上述底膜 12 形成。应注意到,术语“包含硅的衬底”特别是指下述绝缘膜,比如,氧化硅膜、氮化硅膜、或氧

化的氮化硅膜（定义为： SiO_xN_y ，其中 X 和 Y 表示任意的整数），该氧化的氮化硅膜按照本说明书中的预定的比例，包含硅，氧和氮。

[0029] 标号 201 表示开关薄膜晶体管，标号 202 表示电流控制薄膜晶体管，两者由 n 型沟道薄膜晶体管形成。n 型沟道薄膜晶体管的场效应移动性大于 p 型沟道薄膜晶体管的场效应移动性，于是，电流可高速流动，容易使大量电流在 n 型沟道薄膜晶体管中流动。此外，即使在相同量的电流的情况下，可使 n 沟道薄膜晶体管较小。于是，当将 n 型沟道薄膜晶体管用作电流控制薄膜晶体管时，可更加有效地使用像素电极下方的静区。

[0030] 应注意到，在本发明中，无需将开关薄膜晶体管和电流控制薄膜晶体管，限制在 n 型沟道薄膜晶体管，并且对于开关薄膜晶体管或电流控制薄膜晶体管来说、或这两者来说，可采用 p 型沟道薄膜晶体管。

[0031] 上述开关薄膜晶体管 201 中形成有：有源层，该有源层包括源极区域 13，漏极区域 14，LDD 区域 15a ~ 15d，分隔区域 16，以及沟道形成区域 17a 和 17b；栅极绝缘膜 18；栅电极 19a 和 19b；第 1 中间层绝缘膜 20；源极布线 21；漏极布线 22。应注意到，根据电路或元件的情况，栅极绝缘膜 18 或第 1 中间层绝缘膜 20 可在衬底上的所有薄膜晶体管中间为相同或不同的。

[0032] 图 1A 所示的开关薄膜晶体管 201 包括栅电极 19a 和 19b，它们相互导通，从而形成所谓的双栅极结构。显然，不仅可采用双栅极结构，而且还可采用所谓的多栅极结构（指包括具有两个或多个串联的沟道形成区域的有源层），比如三栅极结构。

[0033] 上述多栅极结构在降低上述薄膜晶体管中的截止电流值方面是极为有效的，由于使开关薄膜晶体管的截止电流充分降低，这样可采用下述结构，其中在上述开关薄膜晶体管的漏极中，未形成电容器（用于保存电流控制薄膜晶体管的栅极电压的电容器）。其结果是，可更加有效地利用像素内部的静区。

[0034] 此外，这样形成开关薄膜晶体管 201 中的 LDD 区域 15a ~ 15d，以便使它们不会通过栅极绝缘膜 18 与栅电极 19a 和 19b 重合。该结构在降低截止电流值方面是非常有效的。还有，上述 LDD 区域 15a ~ 15d 的长度（宽度）可设定在 $0.5 \sim 3.5 \mu\text{m}$ 的范围内，具体设定在 $2.0 \sim 2.5 \mu\text{m}$ 的范围内。

[0035] 应注意到，特别最好形成偏移区域（由半导体层形成的区域，其与沟道形成区域的成分相同，并且其上未施加栅极电压），以便减小截止电流值，该区域位于沟道形成区域和 LDD 区域之间。此外，当采用具有两个栅电极的多栅极结构时，形成于沟道形成区域之间的上述分隔区域 16（与源极区域或漏极区域同样，以相同的浓度添加相同的杂质元素的区域）在降低截止电流值方面是有效的。

[0036] 此外，上述电流控制薄膜晶体管 202 中形成有：有源层，该有源层包括源极区域 26，漏极区域 27，LDD 区域 28，以及沟道形成区域 29；栅极绝缘膜 18；栅电极 30；第 1 中间层绝缘膜 20；源极布线 31；漏极布线 32。应注意到，上述栅电极 30 具有单栅极结构，但是也可采用多栅极结构。

[0037] 上述开关薄膜晶体管 201 中的漏极与电流控制薄膜晶体管 202 的栅极导通。具体来说，上述电流控制薄膜晶体管 202 中的栅电极 30 通过漏极布线（也称为“连接布线”）22，与开关薄膜晶体管 201 中的漏极区域 14 导通。此外，源极布线 31 与提供预定电压用的供电线路连接。

[0038] 上述电流控制薄膜晶体管 202 为下述元件,该元件用于对进入到电发光元件 203 中的电流进行控制,如果认为上述电发光元件的性能变差,则最好没有过大的电流流动。于是,最好对沟道的长度(L)进行设计,从而过大的电流不会流入电流控制薄膜晶体管 202。最好单位像素的电流在 $0.5 \sim 2 \mu\text{A}$ 的范围内(特别是最好在 $1 \sim 1.5 \mu\text{A}$ 的范围内)。

[0039] 如上所述,当开关薄膜晶体管的沟道长度由 $L1$ ($L1 = L1a + L1b$) 表示,该沟道宽度由 $W1$ 表示,电流控制薄膜晶体管的沟道长度由 $L2$ 表示,该沟道宽度由 $W2$ 表示时,如图 9 所示,最好 $W1$ 在 $0.1 \sim 5 \mu\text{m}$ 的范围内(具体是在 $0.5 \sim 2 \mu\text{m}$ 的范围内),并且 $W2$ 在 $0.5 \sim 10 \mu\text{m}$ 的范围内(具体是在 $2 \sim 5 \mu\text{m}$ 的范围内)。此外,最好 $L1$ 在 $0.2 \sim 18 \mu\text{m}$ 的范围内(具体是在 $2 \sim 15 \mu\text{m}$ 的范围内),并且 $L2$ 在 $1 \sim 50 \mu\text{m}$ 的范围内(具体是在 $10 \sim 30 \mu\text{m}$ 的范围内)。应注意到,本发明不限于上述数值。

[0040] 图 1 所示的电发光显示器的特征还在于:在电流控制薄膜晶体管 202 中,上述 LDD 区域 28 形成于漏极区域 27 和沟道形成区域 29 之间,并且该 LDD 区域 28 包括通过绝缘膜 18 与栅电极 30 重合的区域以及非重合的区域。

[0041] 上述电流控制薄膜晶体管 202 具有较高的电流,以便使电发光元件 203 发光,并且最好采取对付热载体进入造成的性能变差的措施。还有,当显示黑色时,上述电流控制薄膜晶体管设定在截止状态,但是如果在此时,截止电流值较高,则清楚的黑色显示是不可能的,这样会造成比如对比度降低的问题。于是,必须对截止电流值进行控制。

[0042] 人们知道,LDD 区域与栅电极重合的结构对于热载体进入造成的性能变差来说,是非常有效的。但是,如果将全部 LDD 区域与栅电极重合,则上述截止电流值上升,于是,本发明的申请人通过下述方式,同时解决热载体和截止电流值的问题,该方式为:在上述结构上添加下述新的结构,在该下述结构中,形成有多个未与栅电极重合的 LDD 区域。

[0043] 此时,上述 LDD 区域中的与栅电极重合的长度可在 $0.1 \sim 3 \mu\text{m}$ 的范围内(最好在 $0.3 \sim 1.5 \mu\text{m}$ 的范围内)。如果该长度过长,则寄生电容量变大,如果该长度过短,则防止热载体的效果变差。再有,上述 LDD 区域中的未与栅电极重合的长度可设定在 $1.0 \sim 3.5 \mu\text{m}$ 的范围内(最好在 $1.5 \sim 2.0 \mu\text{m}$ 的范围内)。如果该长度过长,则充分的电流不能够流动,如果该长度过短,则降低截止电流值的效果变差。

[0044] 在上述结构中,在栅电极与 LDD 区域重合的区域,形成寄生电容,于是,最好该区域不形成于源极区域 26 和沟道形成区域 29 之间。载体(在这里指“电子”)流动方向始终与电流控制薄膜晶体管的相同,因此,仅仅在漏极区域一侧,足以形成 LDD 区域。

[0045] 应注意到,如果电流控制薄膜晶体管 202 中的(施加于源极区域与漏极区域之间)驱动电压等于或小于 10V ,则热载体的进入难于再造成问题,因此,还可省略 LDD 区域 28。在此场合,有源层由源极区域 26,漏极区域 27 和沟道形成区域 29 形成。

[0046] 此外,从增加允许电流量的观点来看,使电流控制薄膜晶体管 202 中的有源层(特别是,沟道形成区域)变厚(其厚度最好在 $50 \sim 10\text{nm}$ 的范围内,特别是最好在 $60 \sim 80\text{nm}$ 的范围内)是有效的。相反,从使开关薄膜晶体管 201 的截止电流值减小的观点来看,使有源层(特别是沟道形成区域)变薄(其厚度最好在 $20 \sim 50\text{nm}$ 的范围内,特别是最好在 $25 \sim 40\text{nm}$ 的范围内)是有效的。

[0047] 上面对形成于像素内部的薄膜晶体管的结构进行了描述。应注意到,也可同时在

相同的像素内部形成驱动电路（严格地说，驱动电路的局部）。图 1 示出了 CMOS 电路，形成驱动电路的基本机构。

[0048] 在图 1 中，下述薄膜晶体管用作 CMOS 电路中的 n 型沟道薄膜晶体管 204，该下述薄膜晶体管具有尽可能多地减少热载体进入，并且在操作速度方面尽可能少地降低的结构。应注意到，在这里所称的驱动电路指数据信号驱动电路（包括移位寄存器，电平转换器，缓冲器，锁存器，D/A 转换器，以及取样电路），以及栅极信号驱动电路（包括移位寄存器，电平转换器，以及缓冲器）。显然，还可形成另一信号处理电路（比如，分波电路、升压电路、 γ 补偿电路、存储器、或差动放大电路）。

[0049] 上述 n 型沟道薄膜晶体管 204 中的有源层包括源极区域 35，漏极区域 36，LDD 区域 37，以及形成区域 38，上述 LDD 区域 37 通过栅极绝缘膜 18 与栅电极 39 重合。

[0050] 考虑到不会降低操作速度，故仅仅在漏极区域一侧上形成 LDD 区域。此外，无需注意 n 型沟道薄膜晶体管 204 中的截止电流值，但是需要更加强调操作速度。于是，最好 LDD 区域 37 完全与栅电极重合，以便尽可能多地减少阻挡元件。换言之，最好消除所有偏移。

[0051] 几乎不用担心因热载体进入而造成的 CMOS 电路中的 p 型沟道薄膜晶体管 205 的性能变差，特别是，无需形成 LDD 区域。于是，有源层包括源极区域 40，漏极区域 41，沟道形成区域 42，而栅极绝缘膜 18 和栅电极 43 形成于顶部。显然，与 n 型沟道薄膜晶体管 204 同样，通过形成 LDD 区域，抵抗热载体。

[0052] 还有，n 型沟道薄膜晶体管 204 和 p 型沟道薄膜晶体管 205 均为第 1 中间层膜 20 覆盖，形成源极布线 44 和 45。此外，上述两个薄膜晶体管通过漏极布线 46 而实现导通。

[0053] 标号 47 表示第 1 钝化膜，该膜的厚度可设定在 $10\text{nm} \sim 1\mu\text{m}$ 的范围内（最好在 $200 \sim 500\text{nm}$ 的范围内）。包含硅（特别是最好采用氧化的氮化硅膜或氮化硅膜的绝缘膜）的绝缘膜可用作钝化膜材料。该钝化膜 47 起避免上述形成的薄膜晶体管受到碱金属和潮湿的影响。待最后形成于薄膜晶体管上的电发光层包含碱金属，比如钠。换言之，第 1 钝化膜 47 用作防护层，从而碱金属（移动离子）不会穿入薄膜晶体管。

[0054] 再有，标号 48 表示第 2 中间绝缘膜，该膜用作对因薄膜晶体管造成的台阶部** (step) 进行调平的钝化膜。最好，有机树脂膜用作第 2 中间绝缘膜 48，可采用下述的中间绝缘膜，该膜，比如可为聚酰亚胺、聚酰胺、聚丙烯酸酯、或 BCB（苯并环丁烯）。这些有机树脂膜具有下述优点，即容易形成良好的调平表面，另外具有较低的特定介电常数。上述电发光层对于非平整是非常敏感的，于是最好通过第 2 中间绝缘膜，基本上将薄膜晶体管的台阶部吸收。另外，最好形成较低的特定介电常数的材料，其厚度较大，从而减小形成于栅极布线或数据布线和电发光元件中的阴极之间的寄生电容。于是，最好上述厚度在 $0.5 \sim 5\mu\text{m}$ 的范围内（特别是最好在 $1.5 \sim 2.5\mu\text{m}$ 的范围内）。

[0055] 此外，标号 49 表示由透明导电膜形成的像素电极。在打开第 2 中间绝缘膜 48 中的以及第 1 钝化膜 47 中的接触孔之后，上述像素电极 49 这样形成，从而在打开部分，与电流控制薄膜晶体管 202 中的漏极布线 32 连通。应注意到，如果像素电极 49 和漏极区域 27 不直接连接，如图 1 所示，即使在电发光层中的碱性金属扩散到栅电极中的情况下，碱金属仍不会通过像素电极进入有源层。

[0056] 第 3 中间层绝缘膜 50 形成于像素电极 49 上，该膜 50 由氧化硅膜，氧化的氮化硅膜，或有机树脂膜形成，其厚度在 $0.3 \sim 1\mu\text{m}$ 的范围内。通过刻蚀法，在位于像素电极 49

上面的第 3 中间层绝缘膜 50 中形成开口部,该开口部的边缘经过刻蚀从而形成锥状。该锥角可设定在 $10^{\circ} \sim 60^{\circ}$ 的范围内(最好在 $30^{\circ} \sim 50^{\circ}$ 的范围内)。

[0057] 阴极 51 形成于第 3 中间层绝缘膜 50 上。包含低工作功能材料比如镁 (Mg), 锂 (Li), 或钙 (Ca) 的材料用作阴极 51。最好采用由 MgAg (Mg 和 Ag 按照 Mg : Ag = 10 : 1 的混合比例混合形成的材料) 形成的电极。此外,作为其它的实例,可给出 MgAgAl 电极, LiAl 电极, LiFA1 电极。

[0058] 在阴极 51 上形成电发光层 52。此时,必须使阴极 51 处于完全为电发光层 52 覆盖的状态,该电发光层 51 这样形成,从而该电发光层中的布线图案大于阴极 51。通过采用该方式,可避免阴极 51 与之后形成的阳极之间短路。

[0059] 此外,最好在不曝露于大气中的情况下,采用多腔式(也称为“多机具型”)的真空蒸镀机,连续地形成阴极 51 和电发光层 52。之所以这样,是为了避免电发光层 52 的性能受到潮湿而变差。就形成阴极 51 和电发光层 52 的方法来说,可采用已知的方法。

[0060] 首先,比如对应于所有的像素,通过第 1 掩模形成阴极 51,接着,通过第 2 掩模,在对应于红色的像素中,形成发红光的电发光层。然后,可依次形成发绿光的电发光层和发蓝光的电发光层,同时对第 2 掩模的移动进行精确地控制。应注意到,当对应于 RGB 的像素排列成条带状时,可按照上述方式简单地使第 2 掩模移动,但是为了实现所谓的电发光三角形排列像素结构,对于发绿光的电发光层,可采用特定的第 3 掩模,对于发蓝色的电发光层,可采用特定的第 4 掩模。

[0061] 另外,在上面的描述中给出的是下述实例,在该实例中,按照每种颜色采用掩模,通过蒸镀法形成发光电发光层,但是也可采用喷墨法,筛网印刷法,离子电镀法。此外,可这样形成肋,从而将像素包围,将每种颜色的电发光层分开。

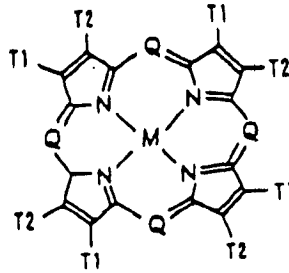
[0062] 还有,在上面的描述中给出的是采用红、绿、蓝这 3 种颜色进行颜色显示的实例,但是如果制造显示单色光的电发光显示器,则可在整个表面上形成发红、绿、蓝中的任何一种光的电发光层。显然,还可形成发白色光的电发光层,以便形成单色电发光显示器。

[0063] 对于电发光层 51 可采用单层结构或叠层结构,但是最好采用叠层结构,因为其具有良好的发光效率。一般,在像素电极上,依次形成孔浇注层,孔传送层,发光层,以及电子传送层,但是也可采用下述结构,该结构包括孔传送层,发光层,电子传送层,或采用下述结构,该结构包括孔浇注层,孔传送层,发光层,电子传送层,电子进入层。本发明可采用任何已知的结构,此外,还可将荧光颜料掺入电发光层。

[0064] 在下面的美国专利和日本专利申请公开文献中所给出的材料,比如可用作有机电发光材料,该美国专利包括:US4356429 号专利;US4539507 号专利;US4720432 号专利;US4769292 号专利;US4885211 号专利;US4950950 号专利;US5059861 号专利;US5047687 号专利;US5073446 号专利;US5059862 号专利;US5061617 号专利;US5151629 号专利;US5294869 号专利;US5294870 号专利;上述日本专利申请公开文献包括 JP 特开平 10-189525;JP 特开平 8-241048;JP 特开平 8-78159。

[0065] 具体来说,可将比如由下述一般结构式代表的材料用作孔浇注层。

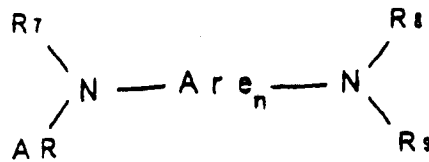
[0066] 化学结构式 1



[0067] 在这里, Q 表示 N 或 C-R (碳链); M 表示金属, 金属氧化物, 或金属卤代化合物; R 表示氢, 烷基, 芳烷基, 烯丙基, 或烷芳基; T1 和 T2 表示非饱和的 6 个环, 该环包含取代基比如氢、烷基、或卤素。

[0068] 此外, 可将用作芳香族叔胺作为孔传送层的有机材料, 该材料最好包含下述一般通式代表的四烯丙基二胺。

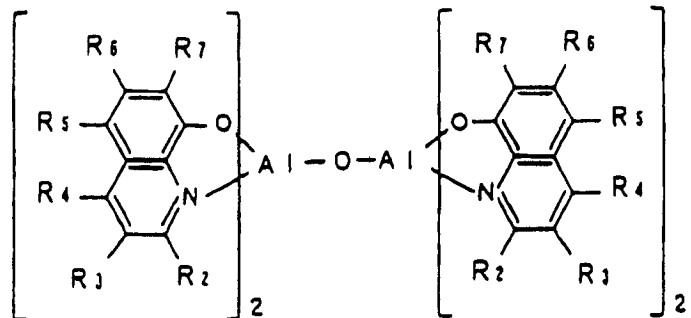
[0069] 化学结构式 2



[0070] 在这里, Are 表示亚烯丙基, n 表示 1 ~ 4 的整数, AR, R₇, R₈ 和 R₉ 分别表示所选择的烯丙基。

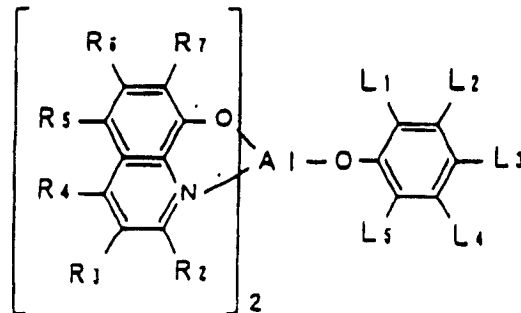
[0071] 另外, 金属氧样 (oxynoid) 化合物可用作电发光层, 电子传送层, 或电子注入层的有机材料。比如, 由下述一般结构式表示的材料可用作金属氧样化合物。

[0072] 化学结构式 3



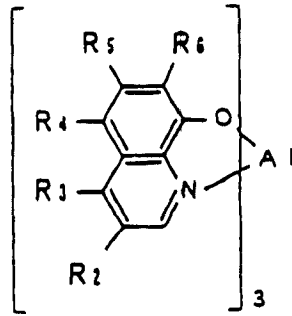
[0073] 在这里, R₂ ~ R₇ 是可以取代的, 也可采用下述的金属氧样化合物。

[0074] 化学结构式 4



[0075] 在这里, R₂ ~ R₇ 按照上述方式定义; L₁ ~ L₇ 为包含 1 ~ 12 碳原子的碳水化合物基的基团 *; L₁ 和 L₂, 或 L₂ 和 L₃ 可形成苯环。另外, 还可采用下述的金属氧样化合物。

[0076] 化学结构式 5



[0077] 在这里, $R_2 \sim R_6$ 是可以取代的。因此, 作为有机电发光元件材料, 包括具有有机配位基的配位化合物。应注意到, 上面描述的仅仅是可用作本发明的电发光材料的有机电发光材料的一些实例, 绝对不必将电发光材料限制于这些材料。

[0078] 另外, 聚合物材料可用作电发光材料。下述的聚合物可作为典型的聚合物材料给出, 即聚对亚苯基亚乙烯 (polyparaphenylene vinylenes, PPVs); 聚氟丁二烯 (polyfluorenes)。对于着色来说, 最好采用比如, 发红光材料中的氰基聚亚苯基亚乙烯 (cyano-polyphenylene vinylene); 发绿光材料中的聚亚苯基亚乙烯 (polyphenylene vinylene); 发蓝光材料中的聚亚苯基亚乙烯基 (polyphenylenevinylene) 或聚烷基苯 (polyalkylphenylene)。

[0079] 应注意到, 电发光显示器大致分为 4 种颜色显示方法: 形成对应于 R(红), G(绿) 和 B(蓝) 的 3 种电发光元件的方法; 将发白色光的电发光元件与滤色片组合的方法; 将发蓝或蓝绿色光的电发光元件和荧光物质 (荧光颜色改变层, CCM) 组合的方法; 将作为阴极的透明电极 (相对电极), 以及对应于 R, G 和 B 的重合的电发光元件组合的方法。

[0080] 图 1 的结构为下述场合的实例, 在该场合, 采用对应于 R, G 和 B 的 3 种电发光元件的形成方法; 应注意到, 虽然图 1 仅仅示出了 1 个像素, 但是可分别对应于红, 绿和蓝色, 形成具有相同结构的多个像素, 并且可进行彩色显示。但是, 可在与发荧光的方法无关的情况下实现本发明, 在本发明中可采用所有的上述 4 种方法。

[0081] 在形成至电发光层 52 之后, 在电发光层 52 上, 形成由透明导电膜 (氧化导电膜) 形成的阳极 53。该膜的厚度可设定在 80 ~ 300nm 的范围内 (最好在 100 ~ 200nm 的范围内)。在本发明的场合, 电发光层发出的光沿图 1 的向上方向 (与衬底相对的方向) 射出, 于是, 阳极 53 相对电发光层 52 发出的光来说必须是透明的。

[0082] 应注意到, 包括阴极 51 (或具有像素阴极 49 的阴极, 以及阴极 51) 的荧光元件, 电发光层 52 和阳极 53 在本说明书中称为“电发光元件”。该电发光元件由图 1 中的标号 203 表示。

[0083] 标号 54 表示第 2 钝化膜, 该膜的厚度可设定在 10nm ~ 1 μ m 的范围内 (最好在 200 ~ 500nm 的范围内)。形成第 2 钝化膜的目的主要是在于防止电发光层 52 受到潮气影响, 但是如果使第 2 钝化膜受到热辐射的作用, 则也是有效的。应注意到, 如上所述, 电发光层相对热量来说是较弱的, 于是最好在尽可能低的温度下 (最好在室温 ~ 120°C 的范围内), 进行膜的沉淀。因此, 可以说, 等离子体 CVD, 溅射法, 真空蒸镀法, 离子电镀法, 以及溶液型涂敷法 (旋转镀膜) 为理想的膜沉淀方法。

[0084] 这样便形成带有图 1 所示的结构像素部。在本发明的像素部中, 包括 n 型沟道薄膜晶体管 204 和 p 型沟道薄膜晶体管 205 的 CMOS 电路形成于像素电极 49 的下方, 对于

作为基本机构的 CMOS 电路,形成各种元件,驱动电路,信号处理部。应注意到,图 1 并不意味着在一个像素中形成一个 CMOS 电路,而是意味着按照普通方式形成于像素部的边缘的多个电路,比如驱动电路形成于该像素部内部。

[0085] 按照普通方式形成于像素部的边缘的信号处理部分、元件、驱动电路是采用形成于每个像素中的像素电极下方的薄膜晶体管形成的。总之,它们形成于像素部的内部(像素部的内侧)。

[0086] 应注意到,本发明的主要方面在于通过下述方式有效地使用衬底面积,该方式为:将按照普通方式形成于像素部的边缘处的电路或元件,设置于按照与衬底相反的方向射出光的电发光显示器中的像素部(在像素电极下方)内部的静区中。于是,本发明不限于图 1 的薄膜晶体管结构。

[0087] 第 1 实施例

[0088] 下面参照图 2A~5C,对本发明的优选实施例进行描述。在这里对图 1 所示的像素部的制造方法进行描述。应注意到,在上述附图中,CMOS 电路是作为驱动电路的基本机构而示出的,以便简化描述。

[0089] 首先,如图 2A 所示,制备衬底 501,在其表面上,形成有底膜(图中未示出)。叠置厚度为 100nm 的氮氧化硅(silicon nitride oxide)膜,以及厚度为 200nm 的氮氧化硅膜,这些膜用作第 1 实施例中的结晶的玻璃上的底膜。此时,按照重量百分比计,与结晶的玻璃衬底相接触的膜的氮浓度适合设定在 10~25% 的范围内。显然,还可在不形成底膜的情况下,直接在石英衬底的顶面上形成元件。

[0090] 接着,通过已知的膜沉淀方法,在上述衬底 501 上形成其厚度为 45nm 的非结晶硅膜 502。应注意到,上述衬底 501 上的膜不必限于非结晶硅膜,如果采用具有非结晶结构的半导体膜(包括微结晶半导体膜),该膜也可采用其它的膜。此外,还可采用包括非结晶结构的化合物半导体膜,比如非结晶硅锗膜。

[0091] 对于从此步骤到图 2C 中的步骤的过程,可完全参照本发明的申请人提出的 JP 特开平 10-247735 号文献。在上述专利申请中,公开了涉及通过作为催化剂的元素比如 Ni,使半导体膜结晶化的方法。

[0092] 首先,形成具有开口部 503a 的保护膜 504。在第 1 实施例中,采用厚度为 150nm 的氧化硅膜。之后,通过旋转镀膜法,在保护膜 504 上,形成包含镍(Ni)的层 505(含镍层)。上述专利申请涉及该含镍层的形成。

[0093] 接着,如图 2B 所示,通过在惰性气氛中,在 570℃ 温度下进行热处理 14 个小时,使非结晶硅膜 502 结晶。该结晶过程基本上与下述衬底并行进行,该衬底带有与作为原料的 Ni 相接触的区域(后面称为“加 Ni 区域”)506a 和 506b,形成多晶硅膜 507,该膜 507 具有晶体结构,在该结构中,排列有杆状晶体。

[0094] 然后,如图 2C 所示,在加 Ni 区域 506a 和 506b 上,添加属于周期表族中的元素 15(最好为磷),其中留下作为掩模的保护膜。这样,便形成添加有高浓度的磷的区域(后面称为“加磷区域”)508a 和 508b。

[0095] 之后,如图 2C 所示,在惰性气氛中,在 600℃ 的温度下,进行热处理达 12 个小时。由于上述的热处理,位于多晶硅膜 507 中的 Ni 实现迁移,最终其几乎完全地俘获于加磷区域 508a 和 508b 中,如图中的箭头所示。可将这种情况视为磷对金属元素(第 1 实施例中

的 Ni) 的吸气作用的现象。

[0096] 当通过 SIMS(二次离子体光谱法)测定时,通过该方法而在多晶硅膜 509 中保留的 Ni 的浓度至少降低到 2×10^{17} atoms/cm³。Ni 为半导体的使用期限杀手,如果 Ni 的浓度降低到该值,则不会对薄膜晶体管的特性造成有害影响。另外,上述浓度几乎为可通过目前的 SIMS 测定的界限值,于是,可想到具有甚至更低的浓度(小于 2×10^{17} atoms/cm³)。

[0097] 由此获得下述的多晶硅膜 509,该膜 509 是通过催化剂实现结晶的,其中该催化剂降低到不会对薄膜晶体管造成损坏的值。之后通过制造布线图案,采用多晶硅膜 509,形成有源层 510 ~ 513。应注意到,此时可采用上述的多晶硅膜,形成在后来的制造布线图案的过程中的,用于掩模对齐的标记(参见图 2D)。

[0098] 接着,如图 2E 所示,通过等离子 CVD 形成厚度为 50nm 的氮氧化硅膜,另外,通过在 950℃ 的温度下、在氧化气氛中进行热处理达 1 个小时的方式,进行热氧化步骤。应注意到,上述氧化环境可为氧气气氛、或添加有卤族元素的氧气气氛。

[0099] 通过上述的热氧化步骤,氧化在有源层和上述的氮氧化硅膜之间的交界处进行,使厚度约为 15nm 的多晶硅膜氧化,形成厚度约为 30nm 的氧化硅膜。换言之,形成栅极绝缘膜 514,其厚度为 80nm,该膜由厚度为 30nm 的氧化硅膜和厚度为 50nm 的氮氧化硅膜叠置形成。

[0100] 然后,如图 3A 所示,形成保护掩模 515,通过栅极绝缘膜 514,添加杂质元素,该元素造成 p 型导电性(该元素在后面称为“p 型杂质元素”)。作为该 p 型杂质元素,可采用属于周期表族中的元素 13,典型的为硼或镓。该方法(称为“沟道掺杂法”)为对薄膜晶体管极限电压进行控制的方法。

[0101] 应注意到,在第 1 实施例中,通过在物质不分离的情况下,对乙硼烷(B₂H₆)进行等离子体激发等离子电镀处理,添加硼。显然,还可采用离子植入法,其是对物质进行分离。通过上述方法,形成杂质区域 516 ~ 518,该区域包含浓度在 1×10^{15} atoms/cm³ ~ 1×10^{18} atoms/cm³ 范围内的硼(作为典型方式,在 5×10^{16} atoms/cm³ ~ 1×10^{17} atoms/cm³ 范围内)。

[0102] 接着,如图 3B 所示,形成保护掩模 519a 和 519b,通过栅极绝缘膜 514 添加杂质元素,该元素具有 n 型导电性(该元素在后面称为“n 型杂质元素”)。位于周期表族中的元素 15,具体来说,磷或砷可用作 n 型杂质元素。应注意到,在第 1 实施例中,通过在物质不分离的情况下,对磷(PH₃)进行等离子体激发等离子电镀处理,添加磷。显然,还可采用离子植入法,其是对物质进行分离。

[0103] 对剂量进行调整,从而按照上述方式形成的 n 型杂质区域 520 和 521 中所包含的 n 型杂质元素的浓度在 2×10^{16} ~ 5×10^{19} atoms/cm³ 范围内(作为典型方式,在 5×10^{17} ~ 5×10^{18} atoms/cm³ 范围内)。

[0104] 如图 3C 所示,进行激活添加 n 型杂质元素和 p 型杂质元素的步骤。不必对激活的方式进行限定,但是最好采用炉退火方法,因为已形成了栅极绝缘膜 514。另外,可能会对源层和栅极绝缘膜中的为图 3A 步骤中的沟道形成区域的部分之间的界面造成损坏,于是最好在尽可能高的温度下进行热处理。

[0105] 在第 1 实施例中,采用对热具有较高抵抗性的结晶的玻璃,于是,在 800℃ 的温度下进行炉退火处理达 1 个小时,进行上述激活步骤。应注意到,可通过使上述步骤环境变为

氧化气氛,进行热氧化,另外可采用惰性气氛,进行热处理。

[0106] n型杂质区域 520 和 521 的边缘区域,即未添加 n 型杂质元素的 n 型杂质区域 520 和 521(通过图 3A 的步骤形成的 p 型杂质区域)的边缘中的区域的边界(连接部分)是通过上述步骤确定的。这意味着,在今后形成薄膜晶体管时,可在 LDD 区域和沟道形成区域之间,形成极好的连接部分。

[0107] 接着,形成厚度在 200 ~ 400nm 的范围内的导电膜,制造布线图案,形成栅电极 522 ~ 525。应注意到,对于栅电极,可形成单层电极膜,但是当需要时,最好采用 2 层或 3 层的叠置膜。已知的导电膜可用作栅极导电材料(参见图 3D)。

[0108] 具体来说,可采用选自下述一组元素的膜,该组元素包括:钽(Ta)、钛(Ti)、钼(Mo)、钨(W)、铬(Cr)、导电硅(Si);或采用上述元素(作为典型实例为氮化钽膜、氮化钨膜、氮化钛膜)的氮化物的膜;或采用上述元素的组合的合金(作为典型实例为 Mo-W 合金,或 Mo-Ta 合金)的膜;或采用上述元素的硅化物膜(作为典型实例为钨的硅化物膜或钛的硅化物膜)。显然,可采用单层膜或叠层膜。

[0109] 在第 1 实施例中,采用由厚度为 50nm 的氮化钨(WN)膜和厚度为 350nm 的钨(W)膜形成的叠层膜。该膜可通过溅射法形成。另外,如果惰性气体比如 Xe 或 Ne 作为溅射气体添加,则可避免因应力造成的膜的剥落。

[0110] 此时这样形成栅电极 523 和 525,从而使 n 型杂质区域 520 和 521 的部分分别与插入它们之间的栅极绝缘膜 514 重合。上述重合部分在今后变为与上述栅电极重合的 LDD 区域。应注意到,可在横截面上看到两个栅电极 524,但是实际上它们相互导通。

[0111] 接着,如图 4A 所示,作为掩模,按照与栅电极 522 ~ 525 本身对齐的方式,添加 n 型杂质元素(在第 1 实施例中,采用磷)。调节添加量,从而将磷添加到按照下述浓度形成的杂质区域 526 ~ 532,该浓度为杂质区域 520 和 521 的 $1/10 \sim 1/2$ (作为典型实例,在 $1/4 \sim 1/3$ 的范围内)。具体来说,最好上述浓度在 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 的范围内(作为典型实例,在 $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$ 的范围内)。

[0112] 然后,如图 4B 所示,按照这样的形状,形成保护掩模 533a ~ 533d,以便将栅电极覆盖,添加 n 型杂质元素(在第 1 实施例中,采用磷),形成包含高浓度磷的杂质区域 534 ~ 540。在这里,还采用磷化氢(PH_3)进行离子电镀,在 $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ 的范围内(作为典型实例,在 $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ 的范围内),对这些区域的磷浓度进行调节。

[0113] 通过该步骤形成 n 沟道薄膜晶体管中的源极或漏极区域,在开关薄膜晶体管中,保留有通过图 4A 的步骤所形成的 n 型杂质区域 529 ~ 531 的一部分。这些保留区域与图 1 中的开关薄膜晶体管中的 LDD 区域 15a ~ 15d 相对应。

[0114] 之后,如图 4C 所示,去除保护掩模 533a ~ 533d,形成新的保护掩模 541。之后添加 p 型杂质元素(在第 1 实施例中,采用硼),形成包含高浓度硼的杂质区域 542 和 543。在这里,按照在 $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ 的范围内(作为典型实例,在 $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ 的范围内)的浓度,采用乙硼烷(B_2H_6)通过离子电镀法,添加硼。

[0115] 应注意到,已按照在 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 的范围内的浓度添加了磷,但是在这里,按照至少为磷的 3 倍的浓度添加硼。于是,已完全形成的 n 型杂质区域反转为 p-型,并且用作 p 型杂质区域。

[0116] 接着,如图 4D 所示,在去除保护掩模 541 之后,形成第 1 中间层绝缘膜 544。包含

硅的单层绝缘膜用作第 1 中间层绝缘膜,但是也可采用相同的叠层膜。此外,膜的厚度适合在 $400 \sim 1.5 \mu\text{m}$ 的范围内。在第 1 实施例中,在厚度为 200nm 的氮氧化硅膜上形成厚度为 800nm 的氧化硅膜的叠层结构。

[0117] 之后,激活按照其相应的浓度添加的 p 型杂质元素和 n 型杂质元素。作为激活的方式,最好采用炉退火。在第 1 实施例中,在惰性气氛中,在 550°C 的温度下,采用电炉进行热处理达 4 个小时。

[0118] 此外,还在包含 $3 \sim 100\%$ 的范围内的氢的气氛中,在 $300 \sim 450^\circ\text{C}$ 的温度下,进行热处理达 $1 \sim 12$ 小时,进行氢化处理。该方法为通过最终已激发出的氢,对半导体膜中的悬挂键进行氢化终止处理的一种。作为另一种氢化方式,还可进行等离子体氢化(采用通过等离子体激发的氢)处理。

[0119] 应注意到,上述氢化步骤还可在形成第 1 中间层绝缘膜 544 的期间进行。即,在形成厚度为 200nm 的氮氧化硅膜之后,按照上述方式进行氢化处理。之后,可形成剩余的厚度为 800nm 的氧化硅膜。

[0120] 接着,在第 1 中间层绝缘膜 544 中形成接触孔,并且形成源极布线 545 ~ 548,漏极布线 549 ~ 551。在第 1 实施例中,具有通过溅射法相继形成的厚度为 100nm 的钛膜、厚度为 300nm 的包含钛的铝膜、以及厚度为 150nm 的钛膜的 3 层结构的叠层膜用作电极。显然,还可采用其它的导电膜。

[0121] 然后,形成厚度在 $50 \sim 500\text{nm}$ 的范围内(作为典型实例,在 $200 \sim 300\text{nm}$ 的范围内)的第 1 钝化膜 552。在第 1 实施例中,厚度为 300nm 的氧化的氮化硅膜用作第 1 钝化膜 344。氮化硅膜也可构成氮氧化硅膜用的衬底。

[0122] 此时,在氮氧化硅膜形成之前,采用包含氢的气体比如 H_2 或 NH_3 ,进行等离子体处理是有效的。通过该步骤激发出的氢供向第 1 中间层绝缘膜 544,并且通过进行热处理改善第 1 钝化膜 552 的膜质量。此时,添加到第 1 中间层绝缘膜 544 中的氢扩散到底侧,可对有源层进行有效的氢化处理。

[0123] 接着,如图 5B 所示,通过有机树脂,形成第 2 中间层绝缘膜 553。比如,聚酰亚胺,聚丙烯酸酯类,以及 BCB(苯并环丁烯)可用作有机树脂。特别是,必须使第 2 中间层绝缘膜找平薄膜晶体管所形成的台阶部,于是最好采用具有优越的找平特性的丙烯酸酯类膜。在第 1 实施例中,形成厚度为 $2.5 \mu\text{m}$ 的丙烯酸酯类膜。

[0124] 之后,在第 2 中间绝缘膜 553 和第 1 钝化膜 552 中,形成用于实现漏极布线 551 的接触孔,形成像素电极 554。在第 1 实施例中,作为像素电极,形成厚度为 200nm 的铝合金膜(按照重量百分比计包含 1% 的钛的铝膜)。

[0125] 然后,形成厚度为 500nm 的包含硅(在第 1 实施例中为氧化硅膜)的绝缘膜,在与像素电极 554 相对应的位置形成开口部,形成第 3 中间层绝缘膜 555。在形成开口部时,通过采用湿刻蚀法,可以容易地形成呈锥状的侧壁。如果上述开口部的侧壁不是充分地平缓,则由于台阶部造成的电发光层的性能变差变为突出的问题。

[0126] 接着,在不曝露于大气中的情况下,采用真空蒸镀法,依次形成阴极(MgAg 电极)556 和电发光层 557。该阴极 556 的膜的厚度可设定在 $180 \sim 300\text{nm}$ 的范围内(作为典型实例,在 $200 \sim 250\text{nm}$ 的范围内),并且电发光层 557 的厚度可设定在 $80 \sim 200\text{nm}$ 的范围内(作为典型实例在 $100 \sim 120\text{nm}$ 的范围内)。

[0127] 在该步骤中,首先,针对与红色相对应的像素,与绿色相对应的像素,与蓝色相对应的像素,依次形成阴极 556。如果在此时,制作阴极 556 的布线图案,则必须将其曝露给大气中,不能够连续形成电发光层。于是,最好在沉淀时,采用金属掩模这样的材料,通过真空蒸镀法,确实地对阴极 556 制造布线图案。

[0128] 然后,通过真空蒸镀法,形成发出相应的颜色的电发光层 557,从而覆盖每个像素中形成的阴极 556。应注意到,电发光层对于溶液,具有很小的抵抗性,于是,每种颜色的电发光层必须在不采用光刻法的情况下,单独地形成。然后,采用金属掩模或类似物,覆盖除了这些所需的像素以外的区域,有选择地形成电发光层。

[0129] 换言之,对掩模进行设定,以便覆盖除了与红色相对应的像素以外的所有区域,采用掩模,有选择地形成发红色的电发光层和阴极。然后,对掩模进行设定,以便覆盖除了与绿色相对应的像素以外的所有区域,采用掩模,有选择地形成发绿色的电发光层和阴极。接着同样地,对掩模进行设定,以便覆盖除了与蓝色相对应的像素以外的所有区域,采用掩模,有选择地形成发蓝色的电发光层和阴极。应注意到,在这里针对所采用的所有掩模是不同的场合进行了描述,但是也可采用相同的掩模。

[0130] 如果如实施例 1 所示,采用下述方法,该方法指采用真空蒸镀法,在沉淀时,进行用于制作布线图案的成形方法,则可在不曝露于大气中的情况下,依次形成阴极 556 和电发光层 557,可增加电发光元件的发光效率。

[0131] 应注意到,已知的材料可用作电发光层 557。考虑到驱动电压,最好以有机材料作为上述已知的材料。比如,可将下述的 4 层结构用作电发光层,该 4 层结构由孔浇注层,孔传送孔,发光层,电子注入层形成。另外,图中给出的下述实例,在该实例中,MgAg 电极用作第 1 实施例中的电发光元件的阴极,但是也可采用其它的已知材料。

[0132] 接着,形成阳极 558,该阳极由透明导电膜形成,覆盖电发光层 557。在第 1 实施例中,形成厚度为 110nm 的氧化铟锡 (ITO) 膜,制造布线图案,形成阳极。另外,还可采用透明导电膜,在该膜中,在氧化铟或氧化锡中,添加 2 ~ 20% 的氧化锌 (ZnO)。

[0133] 最后,形成第 2 钝化膜 559,其厚度为 300nm,该膜由氮化硅膜形成。通过该第 2 钝化膜 559,避免电发光层 557 受到比如潮气这样的因素的影响。另外,该第 2 钝化膜 559 还起释放电发光层 557 所产生的热量的作用。

[0134] 这样,便形成具有图 5C 所示的结构的有源矩阵型电发光显示器。应注意到,第 1 实施例的制造步骤仅仅是一个实例。比如,虽然形成第 1 实施例中的有源层的半导体膜,可通过 JP 特开平 10-247735 号文献中所描述的方式形成,但是,也可采用其它的已知方式。上述整个专利申请公开文献在这里供参考而引用。

[0135] 此外,上述的 LDD 区域或类似区域的布置给出的仅仅是一个优选实例,不必将其结构限制于第 1 实施例的布置。应注意到,在将多晶硅膜用作有源层的场合,最好采用第 1 实施例的结构,因为会增加可靠性,充分利用将多晶硅用作有源层的优点。

[0136] 第 2 实施例

[0137] 在按照第 1 实施例进行到图 5C 之后,最好还采用下述方式进行封装(密封),该方式为:采用外壳材料比如具有高度气密性的保护膜(比如叠层膜或紫外线硬化树脂膜)、或陶瓷密封罐,从而不曝露于大气中。此时,通过使外壳材料的内侧形成惰性气氛,并且通过在外壳材料中放入干燥剂(比如氧化钡),便使电发光层的可靠性(使用期限)增加。

[0138] 另外,在通过包装步骤增加气密性之后,便获得下述连接器(挠性印刷电路,FPC),该连接器用于形成于衬底上的元件或电路用的输出端子与外部输入端子之间的连接,形成制品。在本说明书中,处于可发运的状态的上述电发光显示器称为“电发光组件”。

[0139] 在这里,通过图 7A 和 7B,对电发光组件的结构进行描述。在衬底 701 上,形成像素部 702,栅极信号侧驱动电路 703,数据信号侧驱动电路 704,信号处理部(非驱动电路的电路组,比如分波电路和升压电路)705。按照本发明,在像素部的内部,形成栅极信号侧驱动电路 703,数据信号侧驱动电路 704,信号处理部 705。另外,虽然在图中未示出,但是通过 FPC706,将相应的驱动电路和信号处理部的各种布线与外部设备连接。

[0140] 外壳材料 707 形成于包覆像素部的位置。应注意到,外壳材料 707 为具有较大非规则性的形状,在该形状中,内部尺寸(深度)大于像素部 702 的外部尺寸(高度),或具有片状,并且通过透明材料形成。

[0141] 此外,上述外壳材料 707 通过粘接剂 708 与衬底 701 固定,从而与衬底 701 一起形成气密空间 709,如图 7B 所示。此时,电发光元件处于完全密封于上述空间内的状态,并且完全与外部大气隔绝。应注意到,可形成多个外壳材料 707。最好采用绝缘物质比如玻璃或聚合物作为外壳材料 707。下面的成分可作为实例给出:非结晶玻璃(比如硼硅玻璃或石英);结晶的玻璃;陶瓷玻璃;有机树脂(比如丙烯酸树脂,苯乙烯树脂,聚碳酸酯树脂,和环氧树脂);和硅树脂。

[0142] 可将粘接剂比如环氧树脂或丙烯酸树脂作为粘接剂 708 的材料。另外,还可将热硬化型的树脂或光硬化型的树脂用作粘接剂。应注意到,必须采用尽可能多的氧和潮气不透过材料。

[0143] 另外,最好通过惰性气体(比如氩,氦,或氮)填充外壳材料 707 和衬底 701 之间的空间 709。不对气体进行限制,另外可采用惰性液体(比如,液态氟化碳,作为典型实例为全氟烷烃(paraffluoroalkaline)。就该惰性液体来说,可比如参照 JP 特开平 8-78519 号文献所给出的材料。

[0144] 在空间 709 中形成干燥剂是有效的。比如,在 JP 特开平 9-148066 号文献中所描述的材料可用作干燥剂。作为典型实例可采用氧化钡。

[0145] 在像素部中形成多个具有电发光元件的各自独立的像素,所有像素具有作为共同电极的阳极 710。在标号 711 所示的区域,阳极 710 通过由与像素电极相同的材料形成的连接布线 712,与输入输出布线 713 连接。该输入输出布线 713 为对阳极 710 施加预定电压的布线,并且通过导电膏剂 714 与 FPC706 连接。

[0146] 现在通过图 8A ~ 8C,对在区域 711 中,实现接触结构的制造步骤进行描述。

[0147] 首先,按照第 1 实施例中的步骤,获得图 5A 的状态。此时,在衬底的边缘部中的接触部(图 7B 中的标号 711 所示的区域)中,去除第 1 中间层绝缘膜 544 和栅极绝缘膜 514,形成输入输出布线 713。显然,该布线可与图 5A 中的漏极布线和源极布线,同时形成(参见图 8A)。

[0148] 接着,对第 2 中间层绝缘膜 553 和第 1 钝化膜 552 进行刻蚀,去除标号 801 表示的区域,形成开口部 802。然后,形成该连接布线 712,以便覆盖该开口部 802。显然,连接布线 712 与图 5B 中的像素电极 544 同时形成(参见图 8B)。

[0149] 在此状态下,在像素部中,进行电发光元件形成步骤(第 3 中间层绝缘膜,阴极,电

发光层的形成步骤)。此时,不采用掩模或类似物,在图 8A ~ 8C 所示的区域,形成第 3 中间层绝缘膜和电发光元件。在形成电发光层 557 之后,采用单独的物质形成阳极 558。因此,该阳极 558 和输入输出布线 713 通过连接布线 712,实现导通。另外,形成第 2 钝化膜 559,获得图 8C 的状态。

[0150] 这样在图 7B 中的标号 711 表示的区域中,获得接触结构。之后,输入输出布线 713 通过外壳材料 707 和衬底 701 之间的空间(应注意到,其由粘接剂填充;即,必须使粘接剂 708 具有下述厚度,该厚度足以找平输入输出布线中的台阶部),与 FPC706 连接。将形成有粘接剂 708 的部分压入到外壳材料 707 与衬底 701 之间,于是如果在那里具有元件或电路,则具有其受到损坏的可能,但是假设仅仅布线穿过,如图 7B 所示,这样不会产生问题。

[0151] 应注意到,按照第 1 实施例的方式,可进行制造第 2 实施例中给出的有源型电发光显示器的方法。

[0152] 第 3 实施例

[0153] 在第 3 实施例中通过图 10 对本发明的有源型矩阵型显示器中的像素部的横截面结构进行描述。应注意到,在图 10 中,与图 1 中的相同的部分采用相同的标号。

[0154] 在图 10 中,标号 1001 表示供电线路,其与电流控制薄膜晶体管中的源极区域连接(图中未示出)。另外,标号 1002 表示数据布线,其与开关薄膜晶体管中的源极区域连接(图中未示出)。

[0155] 供电线路 1001 与数据布线 1002 位于沿与栅极布线保持平行的方向排列的相邻的像素之间。于是,用于将形成于不同的像素中的驱动电路薄膜晶体管(形成驱动电路的局部的薄膜晶体管)相互连接的布线,必须跨过供电线路 1001 与数据布线 1002。

[0156] 在此场合,可给出比如第 3 实施例所描述的方法。第 1 种为下述方法,在该方法中,与栅电极 39 和 43 同时,形成第 1 连接布线 1003,使第 1 连接布线 1003 从数据线这样的布线下通过。在第 3 实施例中,该方法用于将供电线路 1001 与 CMOS 电路 1000b 连接。

[0157] 此外,第 2 种为下述方法,在该方法中,形成第 2 连接布线 1004,该布线 1004 跨过供电线路 1001 和 / 或数据布线 1002。在第 3 实施例中,该方法用于将 CMOS 电路 1000a 与 CMOS 电路 1000b 连接。

[0158] 在此场合,在第 2 中间绝缘膜 553 中,打开接触孔之后,可在图 5B 的步骤中,形成第 2 连接布线 1004,而不是像素电极。接着,形成中间绝缘膜,将第 2 连接布线 1004 覆盖,将接触孔打开,可形成像素电极。

[0159] 应注意到,在第 3 实施例中,供电线路 1001 和数据布线 1002 形成于相同的层上,但是它们也可形成于不同的层上。即,供电线路 1001 或数据布线 1002 可形成于图 10 中的第 2 连接布线 1004 的层中。此时,第 2 连接布线可形成与栅极布线相同的层上,跨过供电线路和数据布线。

[0160] 因此,第 3 实施例的特征在于采用下述连接线,该连接线形成于与供电线路和数据布线不同的层上,另外供电线路和数据布线按照上述方式实现跨越。与栅极布线相同的布线形成于数据布线和像素电极之间的层中的布线可用作第 3 实施例的连接布线。

[0161] 应注意到,第 3 实施例的结构可以很容易地参照第 1 实施例制造。另外,可按照与第 2 实施例的电发光显示器组合的方式,实现第 3 实施例的结构。

[0162] 第 4 实施例

[0163] 在第 4 实施例中,针对下述场合的实例进行了描述,该场合指采用第 3 实施例的结构,在像素的内侧形成驱动电路。具体来说,给出了下述实例,在该实例中,在像素部的内侧(内部),形成移位寄存器。

[0164] 图 11A 为像素部中的一个像素的放大的俯视图,图 11B 为像素的电路图。开关薄膜晶体管 201 和电路控制薄膜晶体管 202 具有与图 1 相对应的标号。标号 1101 表示存储电容器,其起下述作用,该作用指在一个帧期间,存储施加给电流控制薄膜晶体管中的栅极上的电压,应注意到,如果通过用于开关薄膜晶体管 202 的多栅极结构,尽可能多地减小薄膜晶体管的截止电流。则可省略存储电容器 1101。

[0165] 在第 4 实施例中,显然,存储电容器 1101 形成于电流控制薄膜晶体管 202 中的栅电极与供电线路 1102 之间。显然,该电容器还可形成电流控制薄膜晶体管中的源极区域,与电流控制薄膜晶体管 202 中的栅电极(包括栅极布线)之间。

[0166] 此外,移位寄存器中的部分(双稳态多谐振荡器电路)位于像素内侧,一个双稳态多谐振荡器电路通过下述的 3 个部件形成,该 3 个部件包括倒相器 1103,计时的倒相器 1104 和 1105。该触发器与实际的移位寄存器串联。

[0167] 另外, V_g 表示栅极信号, V_s 表示源极信号(数据信号), V_{dd1} (供电线路 1102)表示供给电发光元件 203 的阴极信号, V_{ck} 表示时钟信号(V_{ck} 上方的杆指倒相的信号 V_{ck}), V_{dd2} 表示计时倒相器的前侧信号, V_{dd3} 表示计时倒相器中的负载侧信号。应注意到,在第 4 实施例中,接地电势施加到 V_{dd1} 上。

[0168] 在第 4 实施例这样的结构中,在每个像素中,形成一个双稳态多谐振荡器电路,并且该电路与相邻接的像素内侧的单独的双稳态多谐振荡器电路串联。当上述 V_{ck} 跨过像素之间时,可采用连接布线 1106 和 1115,该布线指在图 10 中,通过标号 1004 表示的连接线。

[0169] 应注意到,连接布线 1114 和 1115 可与数据布线和供电线路的同时形成。换言之,如果在相同的层上没有交叉,则不会产生问题,当一根布线跨过另一布线时,操作人员可适当地对形成其它布线的层进行设定。

[0170] 应注意到,可自由地将第 4 实施例的结构与第 1 ~ 3 实施例中的任何结构进行组合。

[0171] 第 5 实施例

[0172] 下面对与第 4 实施例不同的有源矩阵型电发光显示器中的像素的结构实例进行描述。具体来说,图 12 表示图 11 所示的像素结构中的栅极布线用的不同材料的实例。应注意到,图 12 的结构基本上与图 11 的相同,因此仅仅对不同之处进行描述。

[0173] 在第 5 实施例中,通过开关薄膜晶体管的 3 栅极结构,将截止电流设定为等于或小于 10pA(最好是等于或小于 1pA)。图 11 所示的存储电容器 1101 省略。

[0174] 在图 12 中,标号 61a ~ 61c 表示由氮化钨膜和钨膜的叠层膜形成的栅电极,其与第 1 实施例中的栅电极类似。如图 12 所示,这些栅电极分别可按照单独的布线图案形成,并且可按照各自导通的布线图案形成,但是在形成时,栅电极处于电浮动状态。

[0175] 其它的导电膜,比如氮化钽膜和钽膜的叠层膜或钼钨的合金膜也可用作栅电极 61a ~ 61c。但是最好采用具有下述优越处理性能的膜,该优越性能指能够按照等于或小于 $3\mu\text{m}$ (最好等于或小于 $2\mu\text{m}$) 的细微行宽度形成。另外,对于绝缘膜,最好采用不含有会扩散而进入有源层的元素的膜。

[0176] 另一方面,其电阻值小于栅电极 61a ~ 61c 的导电膜用作栅极布线 62,作为典型实例,以具有铝的合金膜作为其主成分或以具有铜的合金膜作为其主成分。在栅极布线 62 中,不要求特别的细微处理特性。另外,该栅极布线不与有源层重合,于是,如果栅极布线包含易于扩散于绝缘膜中的铝或铜,则不会产生问题。

[0177] 在形成第 5 实施例的结构过程中,最好在第 1 实施例中的图 4D 的步骤中形成第 1 中间绝缘膜 544 之前,进行激活处理。但是,在曝露的状态下对栅电极 61a ~ 61c 进行热处理的场合,通过在足够的惰性气氛、最好是在氧浓度等于或小于 1ppm 的气氛中进行热处理,不将栅电极 61a ~ 61c 氧化。即,由于氧化的作用,电阻值不增加,栅电极没有被不容易去除的绝缘膜(氧化膜)所覆盖。

[0178] 在完成激活处理之后,形成以铝或铜为主成分的导电膜,栅极布线 62 可通过制作布线图案形成。此时,在栅电极 61a ~ 61c 和栅极布线 62 之间的接触部,保持良好的欧姆性接触,可对栅电极 61a ~ 61c 施加预定的栅极电压。

[0179] 通过比如第 5 实施例这样的结构,使栅极布线的布线电阻值尽可能地降低,这样对降低布线滞后是非常有效的。应注意到,第 5 实施例中的图 12 所示的像素结构不对本发明构成任何限制,并且其仅仅为一个优选实施例。另外,可自由地将第 5 实施例与第 1 实施例~第 3 实施例中的任何结构进行组合。

[0180] 第 6 实施例

[0181] 将具有热辐射作用的材料用作形成于图 1 所示的结构中的有源层与衬底 11 之间的底膜 12 是有效的。特别是,大量的电流以较长时间流过电流控制薄膜晶体管,于是,电流控制薄膜晶体管容易加热,本身发热造成的性能降低会成为问题。在此场合,通过形成象第 6 实施例那样的具有热辐射效果的底膜,可对薄膜晶体管的热性能降低进行控制。

[0182] 包含选自下述一组元素中的至少一种元素以及包含选自下述另一组元素中的至少一种元素的绝缘膜可作为绝缘热辐射特性的透光材料给出,该一组元素包括 B(硼),C(碳),N(氮),该另一组元素包括 Al(铝),Si(硅),P(磷)。

[0183] 比如,可采用:氮化铝化合物,具体为氮化铝(Al_xN_y);碳化硅化合物,具体为碳化硅(Si_xC_y);氮化硼化合物,具体为氮化硼(B_xN_y);磷酸硼化合物,具体为磷酸硼(B_xP_y)。另外,氧化铝化合物,具体为氧化铝(Al_xO_y)具有优越的透光性,并且具有 $20Wm^{-1}K^{-1}$ 的热导性,该材料可视为优选的材料中的一种。应注意到,对于上述透明材料来说,x 和 y 表示任何的整数。

[0184] 上述的化合物还可与其它的元素组合。比如,可采用氮化的氧化铝,其定义为 AlN_xO_y ,其中在氧化铝中添加氮。该材料不仅具有热辐射效果,而且对于防止比如潮气和碱金属这样的物质的透过来说是有效的。应注意到,对于上述的氮化氧化铝来说,x 和 y 表示任何的整数。

[0185] 另外,还可采用 JP 特开昭 62-90260 号文献中所公开的材料。即,还可采用包含 Si, Al, N, O 和 M 的绝缘膜(应注意到, M 为稀土元素,最好为选自下述一组元素中的元素,该组元素包括 Ce(铈), Yb(铽), Sm(钐), Er(铒), Y(钇), La(镧), Gd(钆), Dy(镝), Nd(钕))。这些材料不仅具有热辐射效果,而且对于防止比如潮气和碱金属这样的物质的透过来说是有效的。

[0186] 还有,还可采用碳膜,比如金刚石薄膜或非结晶碳(特别是具有与金刚石接近的

特征的非结晶碳；类似金刚石的碳）。这些材料具有很高的导热性，并且作为辐射层是极为有效的。应注意到，如果上述膜的厚度较大，则出现褐带，并且传导性降低，于是，最好采用尽可能薄的膜（最好在 5 ~ 100nm 的范围内）。

[0187] 另外，本身可采用下述薄膜，该薄膜由具有上述热辐射效果的材料制成，可采用这些薄膜与包含硅的绝缘膜的叠层。

[0188] 应注意到，可自由地将第 6 实施例的结构与第 1 实施例~第 5 实施例中的任何结构进行组合。

[0189] 第 7 实施例

[0190] 在第 1 实施例中，最好将有机电发光材料用作电发光层。但是本发明也可采用无机电发光材料来实现。然而，上述无机电发光材料具有极高的驱动电压，于是必须采用具有可承受该驱动电压的电压电阻的薄膜晶体管。

[0191] 另一方面，如果在今后研制出具有较低的驱动电压的无机电发光材料，则可将它们应用于本发明。

[0192] 此外，可自由地将第 7 实施例的结构与第 1 实施例~第 5 实施例中的任何结构进行组合。

[0193] 第 8 实施例

[0194] 通过采用本发明而形成的有源矩阵型电发光显示器（电发光组件）与液晶显示器相比较，在光亮位置上具有优越的可见度，因为其为本身发光型装置。于是，可在直接观看的电发光显示器（指带电发光组件的显示器）中实现本发明。下面可给出该电发光显示器的实例：个人计算机监视器；电视广播接收监视器；广告显示监视器。

[0195] 此外，本发明可用于具有作为部件的包含上述电发光显示器的显示器的所有电子设备。

[0196] 下面可给出该电子设备的实例：电发光显示器；摄像机；数字式照相机；头带式显示器；车辆导航系统；个人计算机；便携式信息终端（比如移动式计算机，移动式电话，或电子书）；采用记录介质的图像重放装置（特别是，重放记录介质的并且带有显示器的装置，该显示器可显示比如光盘（CD），激光盘（LD）或数字视盘（DVD）这样的图像）。图 13A ~ 13F 表示这些电子设备的实例。

[0197] 图 13A 为个人计算机，其包括主体 2001，外壳 2002，显示部 2003，键盘 2004。本发明可用于显示部 2003。

[0198] 图 13B 表示摄像机，其包括主体 2101，显示部 2102，音频输入部 2103，操作开关 2104，电池 2105，以及图像接收部 2106。本发明可用于显示部 2102。

[0199] 图 13C 表示头带式电发光显示器（右侧），其包括主体 2301，信号电缆 2302，头部固定带 2303，显示监视器 2304，光学系统 2305，以及显示器 2306。本发明可用于显示器 2306。

[0200] 图 13D 为带有记录介质的图像重放装置（特别是 DVD 重放装置），该装置包括主体 2401，记录介质（比如 CD，LD，或 DVD）2402，操作开关 2403，显示部 (a) 2404，显示部 (b) 2405。上述显示部 (a) 主要用于显示图像信息，上述显示部 (b) 主要用于显示字符信息，本发明可用于图像上述显示部 (a) 和显示部 (b)。应注意到，本发明可用作带有记录介质的图像重放装置，比如 CD 重放装置和游戏机这样的装置。

[0201] 图 13E 为移动式计算机,其包括主体 2501,照相部 2502,图像接收部 2503,操作开关 2504,以及显示部 2505。本发明可用于显示部 2505。

[0202] 图 13F 为电发光显示器,其包括外壳 2601,支承座 2602,显示部 2603。本发明可用于显示部 2603。本发明的电发光显示器特别是最好用于屏幕制作得较大的场合,并且最好用于具有大于或等于 10 英寸的对角线(特别是大于或等于 30 英寸的)的显示器,因为其具有较宽范围的可见度。

[0203] 此外,如果在今后电发光材料的发光亮度变高,则可通过下述方式,将本发明用于前投式或背投式投影仪中,该方式为:借助透镜或类似物,将包括图像信息的射出光放大,并对其进行投射。

[0204] 本发明的应用范围是极宽的,可将本发明应用于所有领域的电子设备。另外,第 8 实施例的电子设备还可采用第 1 实施例~第 7 实施例的任何类型组合的结构来实现。

[0205] 通过采用本发明,可形成有源矩阵型电发光显示器中的像素部的内侧(与像素部相同的区域)中的驱动电路以及其它的信号处理电路,该电发光显示器是从与衬底相反的一侧射出的光来操作的,并且使有源矩阵型显示器实现微型化。

[0206] 此外,通过下述方式,实现较高可靠性的有源矩阵型电发光显示器,该方式为:对于形成于衬底上的薄膜晶体管来说,布置最佳结构的薄膜晶体管,其适合于电路和部件所要求的性能。

[0207] 通过将这种类型的有源矩阵电发光显示器用作显示器,可形成具有较高可靠度的较小尺寸的电子设备。

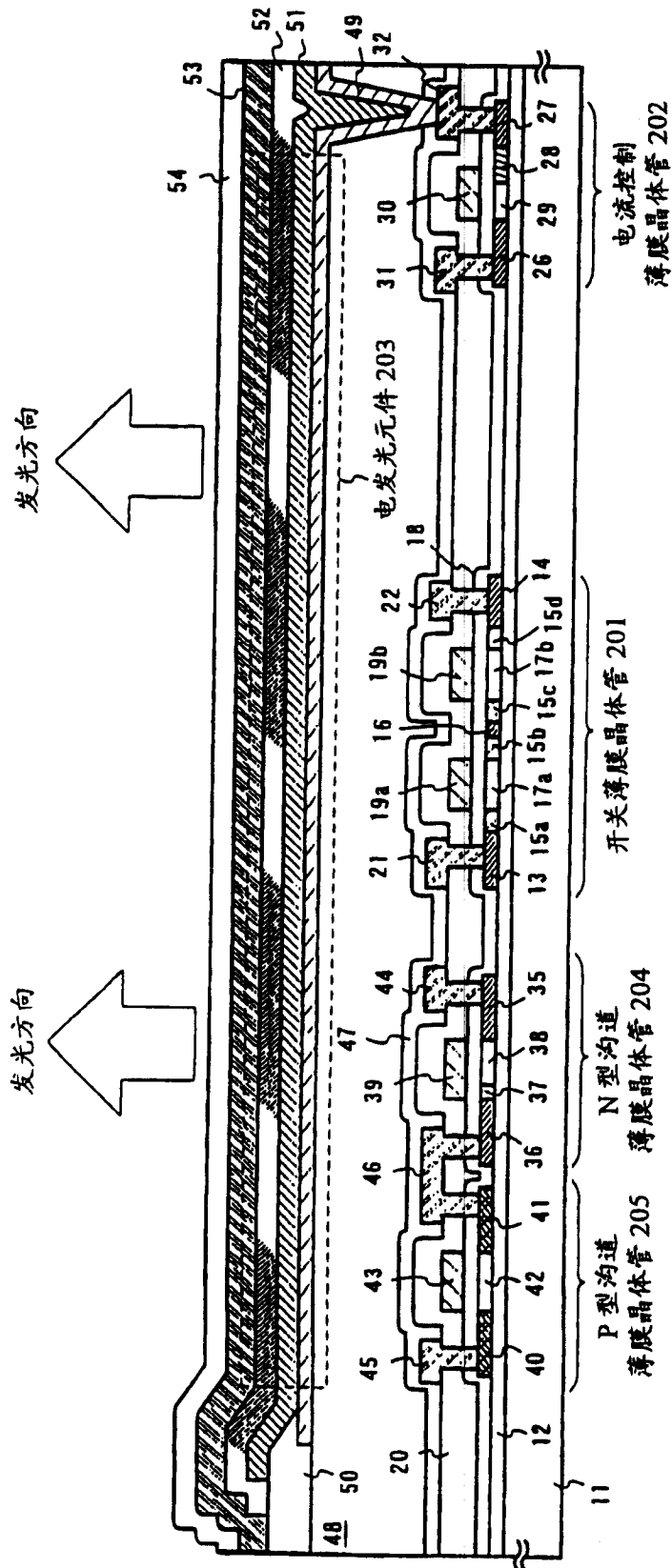
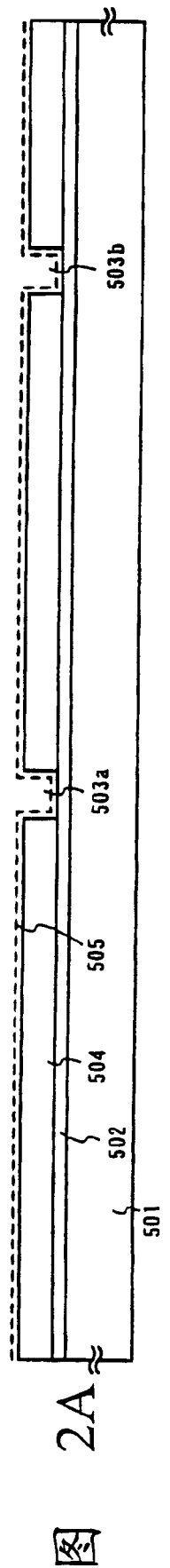


图 1



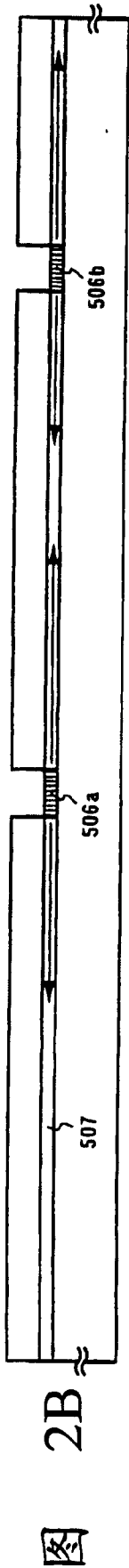


图 2B

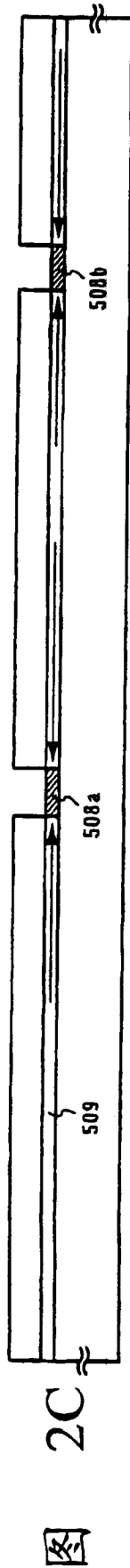


图 2C

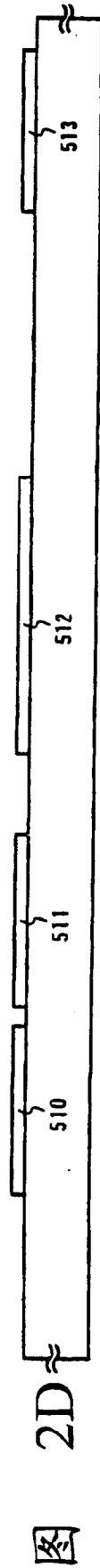


图 2D

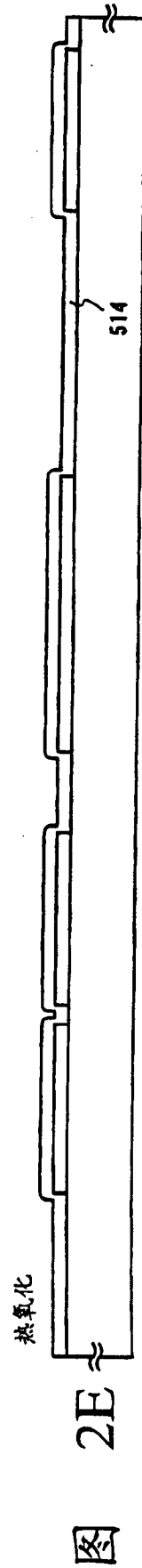
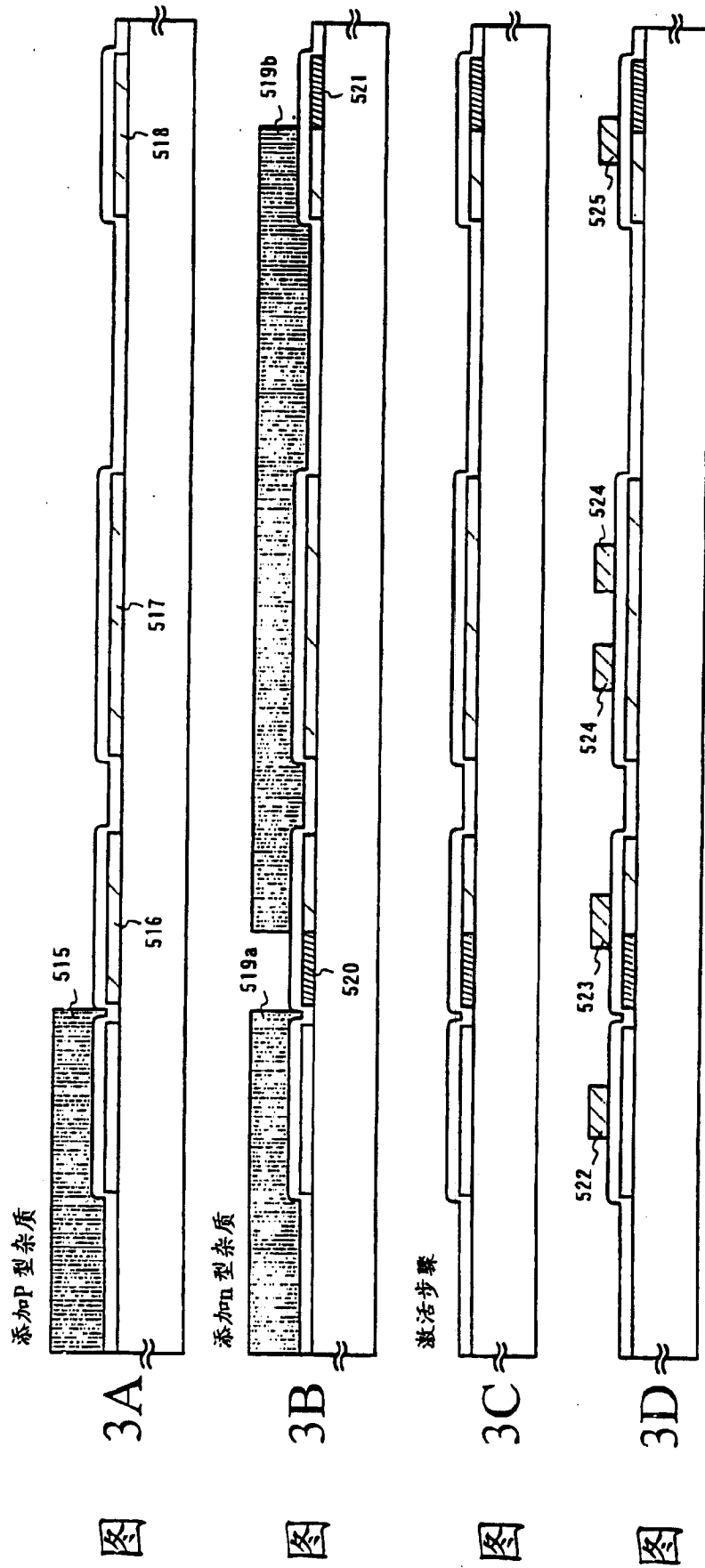
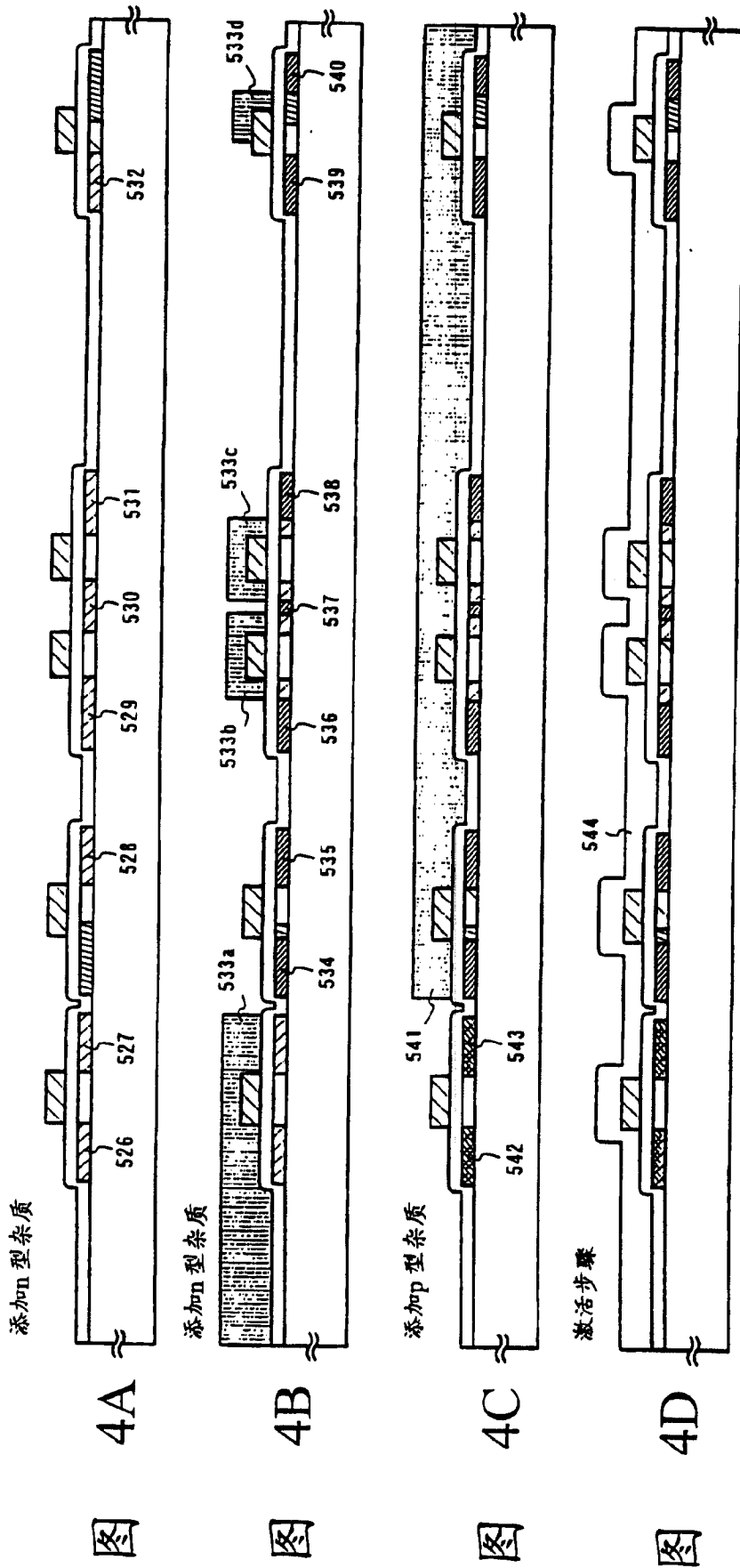
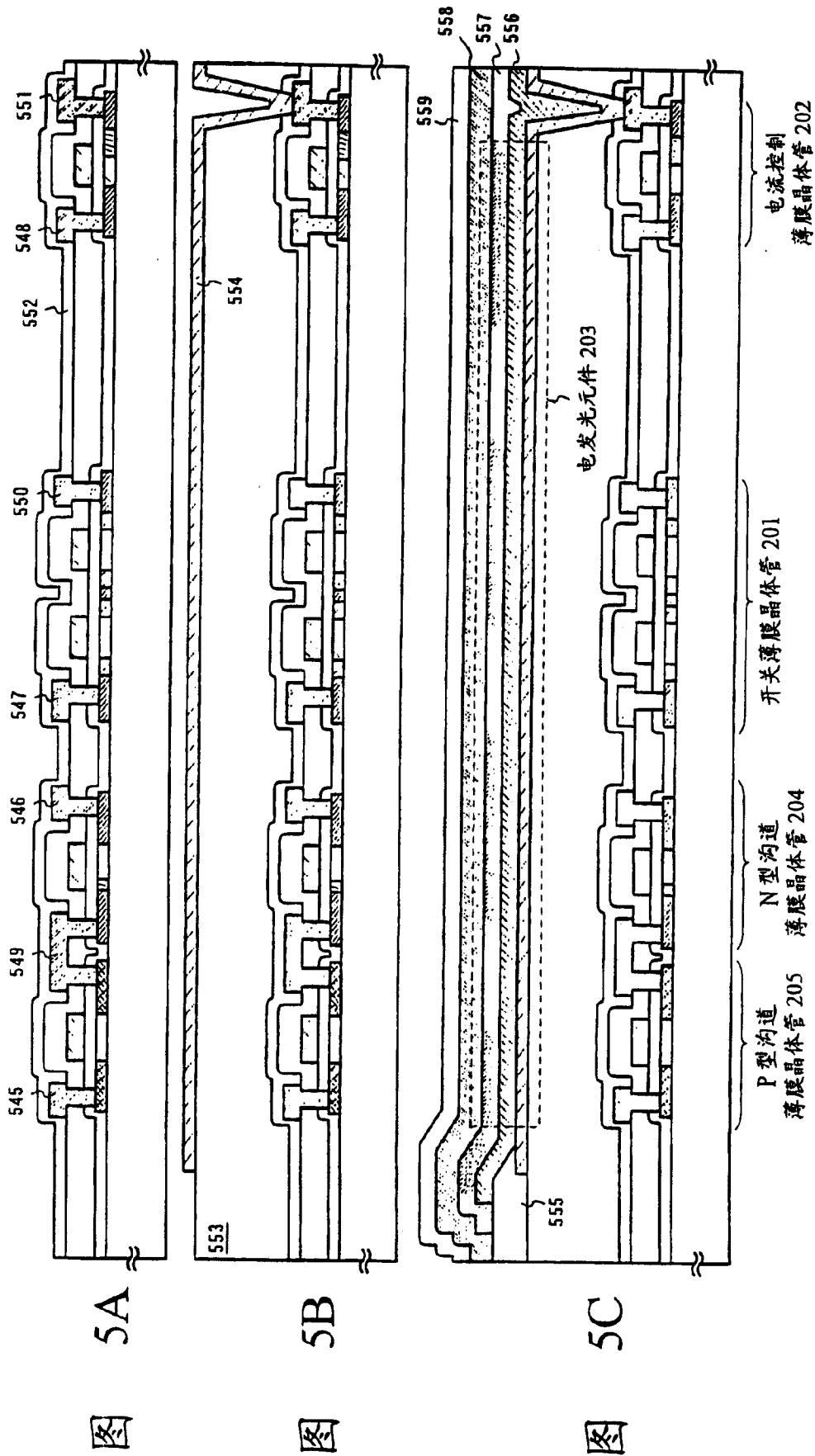


图 2E







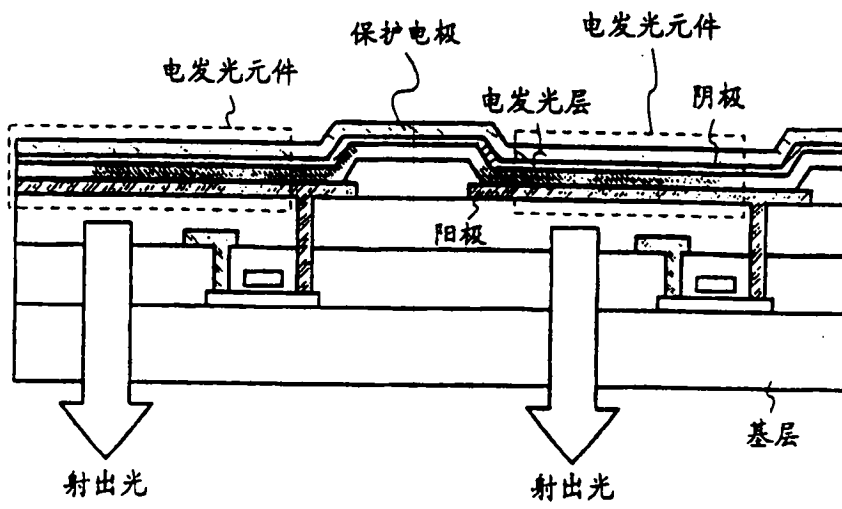


图 6A

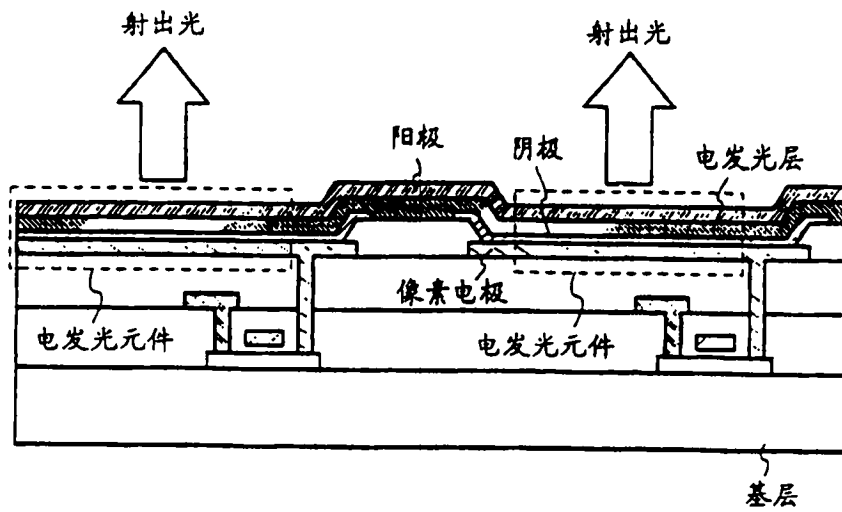


图 6B

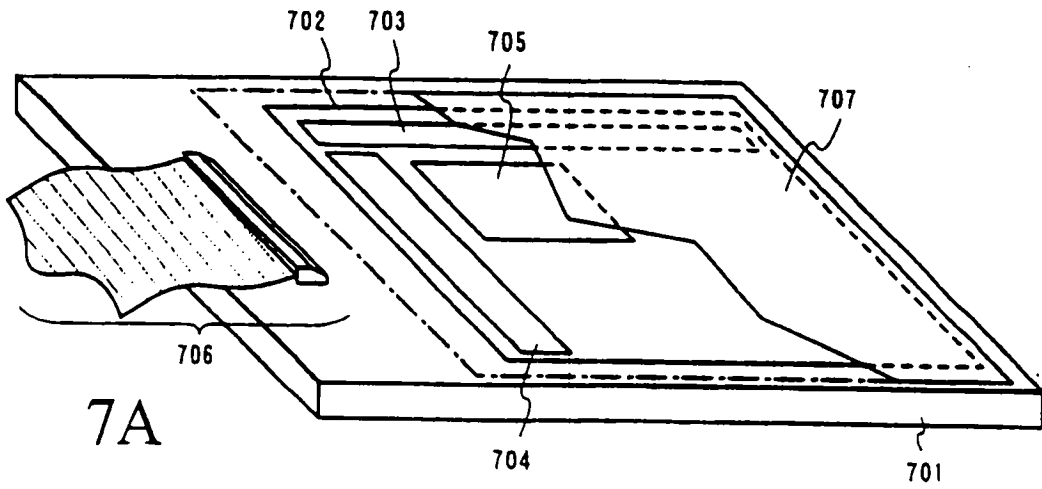


图 7A

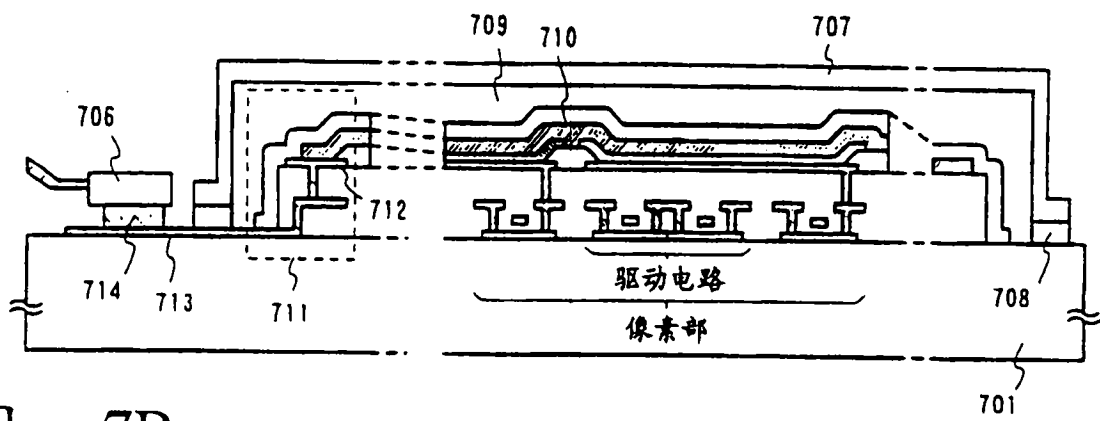


图 7B

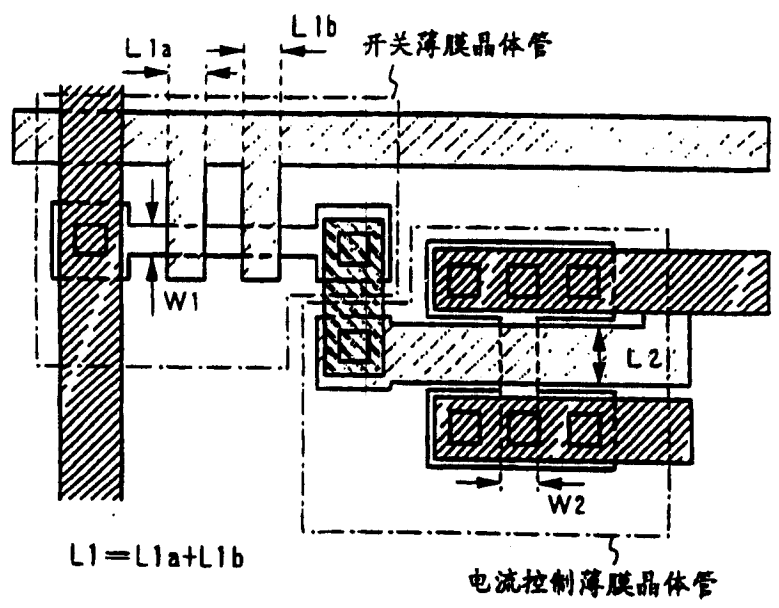
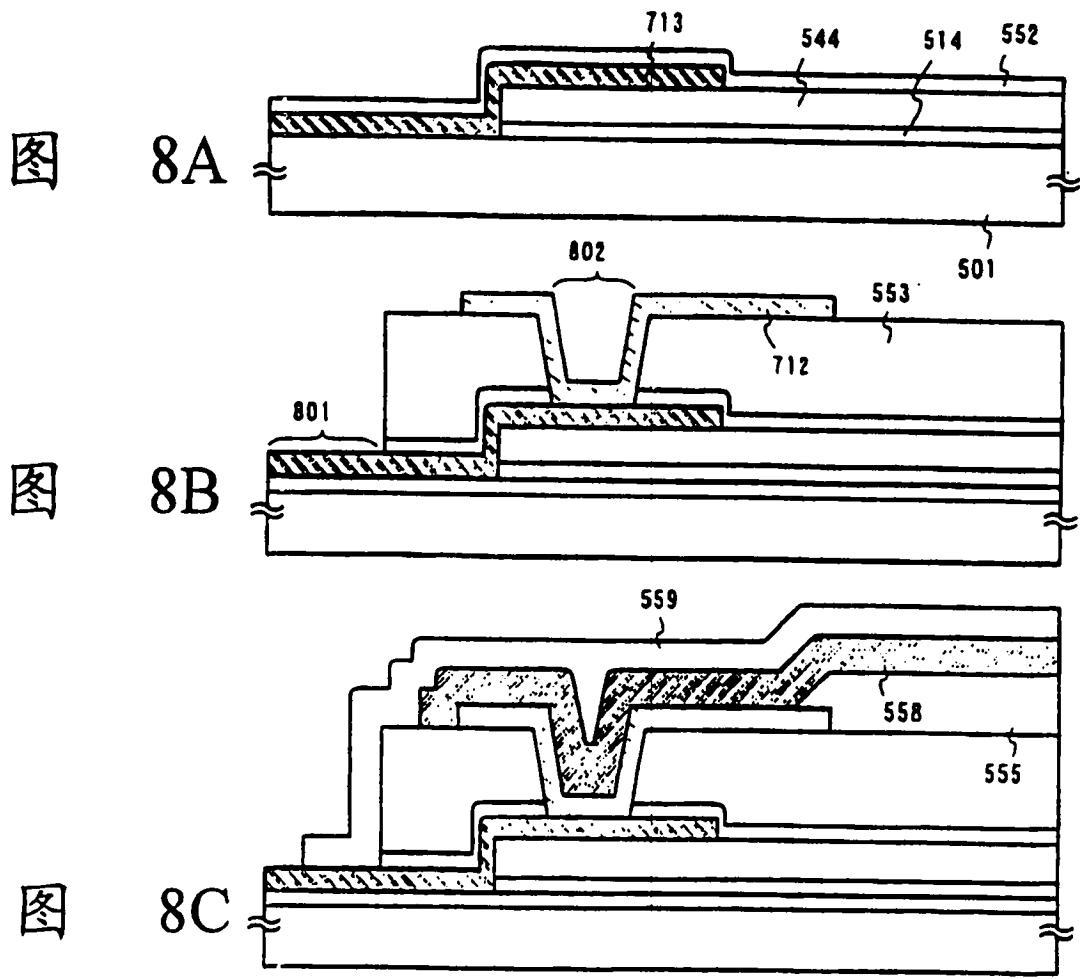


图 9

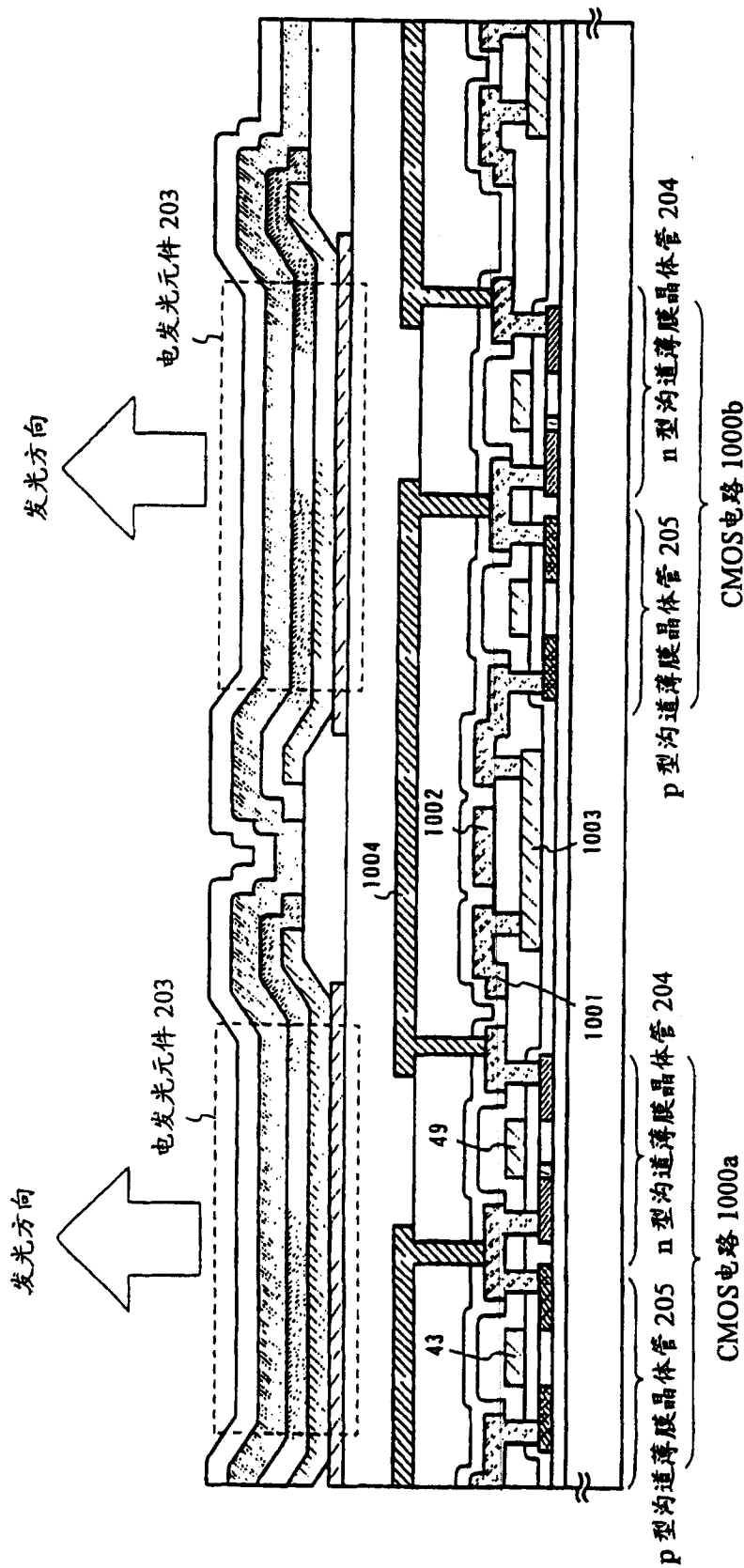


图 10

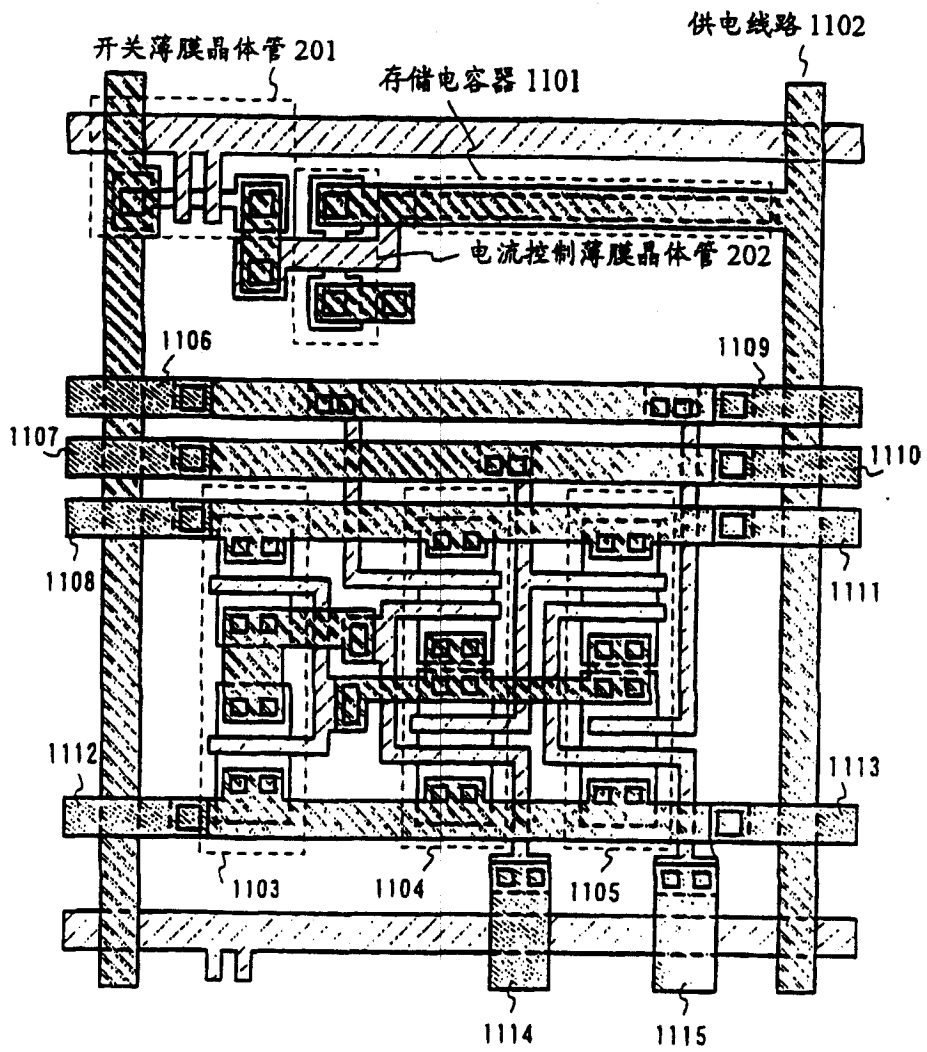


图 11A

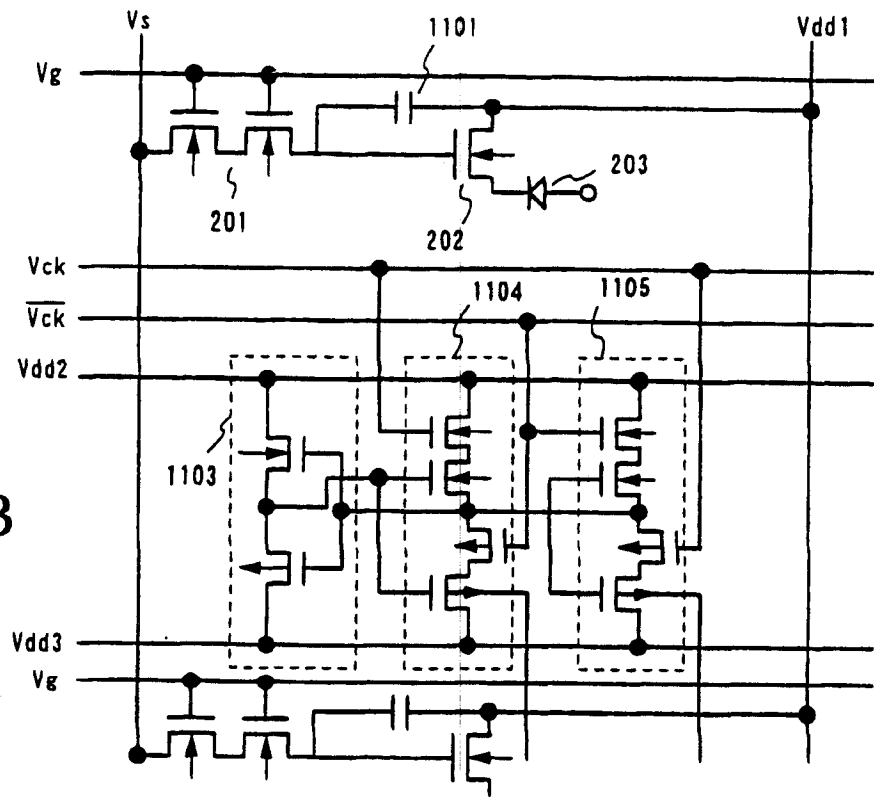


图 11B

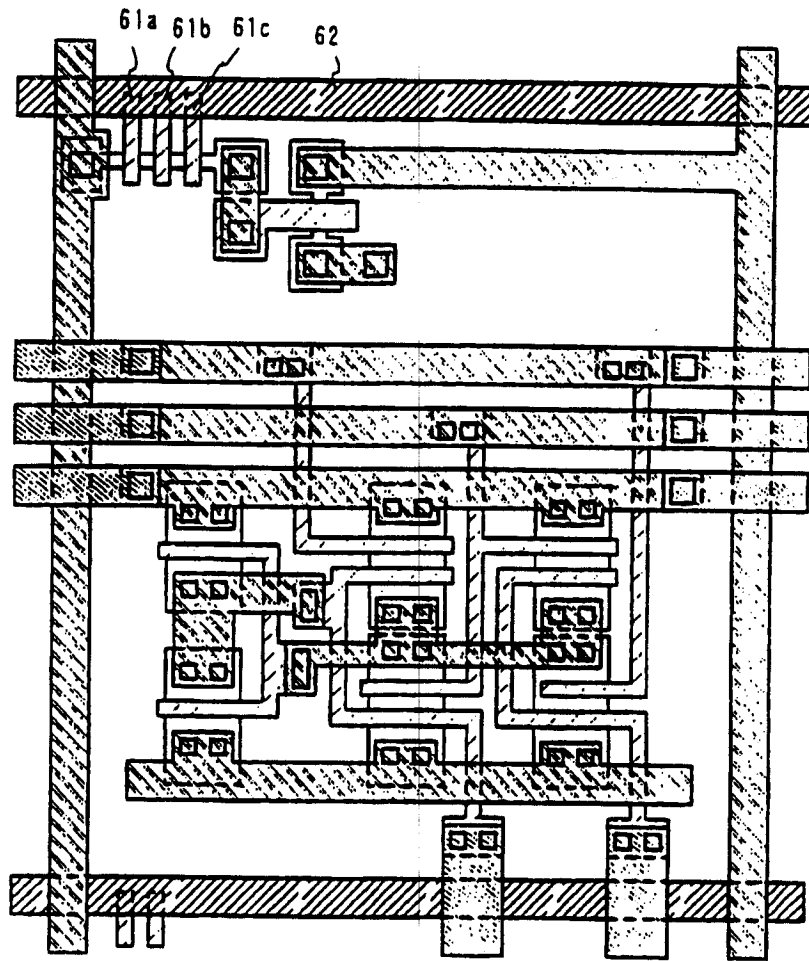


图 12

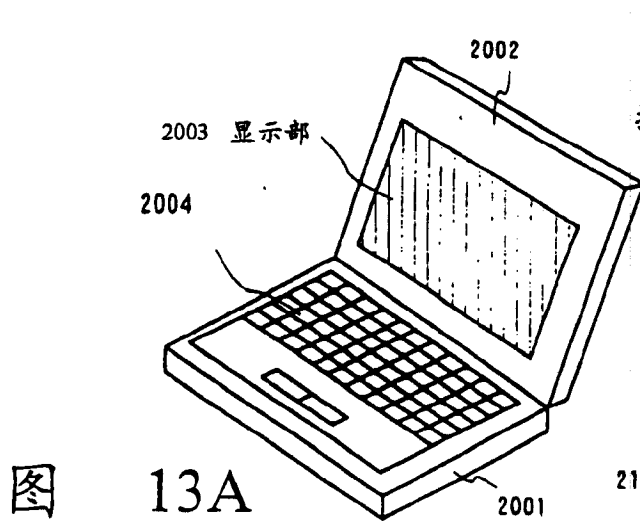


图 13A

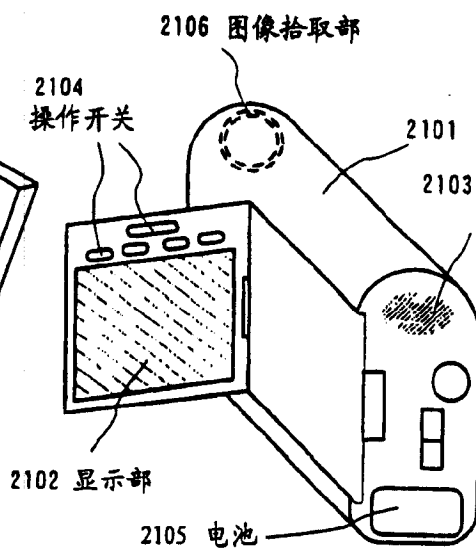


图 13B

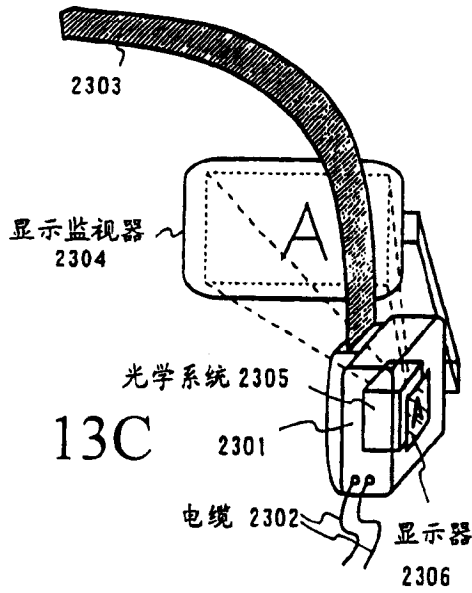


图 13C

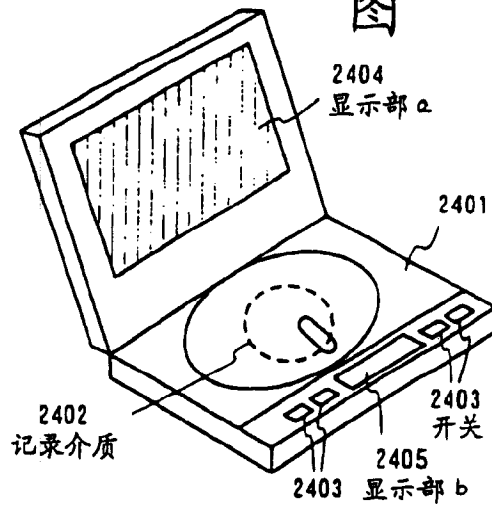


图 13D

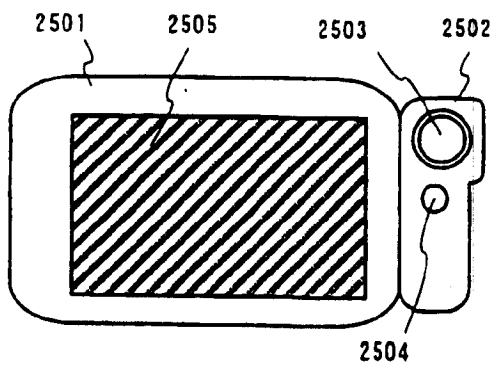


图 13E

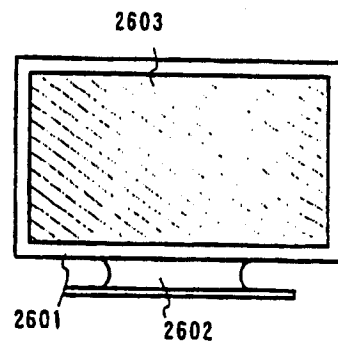


图 13F

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 电发光显示器和电子设备 | | |
| 公开(公告)号 | CN1967858B | 公开(公告)日 | 2011-05-25 |
| 申请号 | CN200610101673.1 | 申请日 | 2000-06-28 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| 申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| 当前申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| [标]发明人 | 山崎舜平 | | |
| 发明人 | 山崎舜平 | | |
| IPC分类号 | H01L27/15 H01L27/32 H01L31/12 G09G3/32 H01L51/52 H05B33/02 | | |
| CPC分类号 | G09G2300/0857 G09G2310/027 H01L27/3262 G09G2300/0861 H01L27/3244 G09G2300/0426 G09G2300/0842 G09G2300/0439 G09G2300/0809 G09G3/3275 G09G2320/0223 G09G3/3233 H01L2251/5315 H01L51/524 | | |
| 优先权 | 1999182590 1999-06-28 JP | | |
| 其他公开文献 | CN1967858A | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

一种电发光显示器，其包括形成衬底上面的多个电发光元件和驱动电路。驱动电路中的至少一部分设置于衬底的一个显示部中，从而可减小该显示器的尺寸。

