

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200610016965.5

G09G 3/20 (2006.01)

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

H05B 33/08 (2006.01)

H05B 33/14 (2006.01)

[43] 公开日 2007 年 1 月 24 日

[11] 公开号 CN 1901007A

[22] 申请日 2006.6.23

[21] 申请号 200610016965.5

[71] 申请人 吉林大学

地址 130023 吉林省长春市朝阳区前进大街
2699 号

[72] 发明人 司玉娟 丁媛媛 赵毅 徐艳蕾
徐小舟 朱承基 刘式墉

[74] 专利代理机构 长春吉大专利代理有限责任公司

代理人 张景林 刘喜生

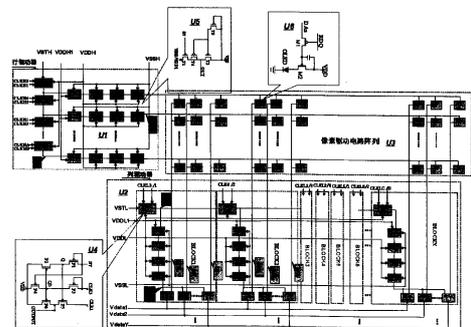
权利要求书 4 页 说明书 9 页 附图 5 页

[54] 发明名称

集成型有源 OLED 的全 p 沟道 P-SiTFT 屏上
驱动电路

[57] 摘要

本发明涉及一种驱动集成型有源 OLED 显示屏发光的屏上驱动电路结构，该结构由行驱动器、列驱动器、像素驱动电路阵列构成，所有单元电路均由全 P 沟道 P-Si TFT 构成。行驱动器产生基本行信号 R 和行驱动信号 RD，用所产生的具有特定波形的行驱动信号 RD 逐行开启 OLED 像素驱动电路阵列中的开关 TFT 管；列驱动器产生基本列信号 C 和列驱动信号 CD，用所产生的具有特定波形的列驱动信号 CD 开启对应 BLOCK 中的所有传输门，使来自于数据线的的数据信号 Vdata1 ~ VdataY 通过该 BLOCK 中的传输门传送到像素驱动电路阵列中的相应的数据线上，从而驱动有源 OLED 显示屏发光。本发明所述产品具有成品率高、成本低、能够大幅减少外接引线、降低外围驱动电路复杂性的特点。



1、一种集成型有源 OLED 屏上驱动电路，由行驱动器、列驱动器、像素驱动电路阵列构成，其特征在于：

- (1) 整个屏上驱动电路都是由全 P 沟道的 P-Si TFT 构成；
- (2) 行驱动器产生基本行信号 R 和具有特定波形的行驱动信号 RD，用所产生的具有特定波形的行驱动信号 RD 逐行开启 OLED 像素驱动电路阵列中的开关 TFT 管；
- (3) 列驱动器产生基本列信号 C 和具有特定波形的列驱动信号 CD，用所产生的具有特定波形的列驱动信号 CD 开启对应 BLOCK 中的所有传输门，使来自于数据线的的数据信号 Vdata1~VdataY 通过该 BLOCK 中的传输门传送到像素驱动电路阵列中的相应的数据线上，进而驱动有源 OLED 显示屏发光。

2、如权利要求 1 所述的集成型有源 OLED 屏上驱动电路，其特征在于：行驱动器由行移位寄存器和行缓冲器构成。

3、如权利要求 2 所述的集成型有源 OLED 屏上驱动电路，其特征在于：

- (1) 每个行移位寄存器单元由 6 个 P 沟道 P-Si TFT 构成，在基本时钟信号 CLKH1~CLKH6 以及起始信号 VSTH 的作用下产生基本行信号 R；CLKH1~CLKH6 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/4$ ，频率由显示屏的分辨率 $M \times N \times 3$ 、刷新频率 $F \text{ Hz}$ 决定，大小为 $\frac{F \cdot M}{4}$ ；
- (2) CLKH1、CLKH2、CLKH3、CLKH4 的低电平脉冲依次延迟 $\frac{1}{F \cdot M}$ ，CLKH5 比 CLKH3 提前一个周期 $\frac{4}{F \cdot M}$ ，CLKH6 比 CLKH4 提前一个周期 $\frac{4}{F \cdot M}$ ；VSTH 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/M$ ，频率与显示屏刷新频率 F 相等，当其在该帧时间内的低电平结束时，时钟信号 CLKH1 开始该帧时间内的第一次低电平；
- (3) 经过行移位寄存器单元得到的基本行信号 R 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/M$ ，频率与显示屏的刷新频率 F 相同，R1 的低

电平与时钟信号 CLKH1 在该帧时间内的第一次低电平同时出现，低电平持续时间与时钟信号 CLKH1 的低电平持续时间相同，每一级移位寄存器的输出相对于前一级的输出均延迟一个低电平时间。

(4) 每个行缓冲器由四个级联的反相器构成，第一级反相器的输入是行移位寄存器产生的基本行信号 R，第一级反相器的输出作为第二级反相器的输入，第二级反相器的输出作为第三级反相器的输入，第三级反相器的输出作为第四级反相器的输入；

(5) 将所述各级基本行信号 R 通过四个级联的反相器后，生成具有特定波形的行驱动信号 RD，RD 也是一种脉冲信号，幅度为 $-10V \sim +10V$ ，频率与显示屏的刷新频率 F 相等，同基本行信号 R 的波形一致。

4、如权利要求 3 所述的集成型有源 OLED 屏上驱动电路，其特征在于：行缓冲器的每一级反相器单元均由 4 个 P 沟道的 P-Si TFT 管构成，在输入信号以及 2 个外加电压信号的控制下工作；对第一级反相器施加第一电源信号 VDDH1 和第二直流负电源信号 VSSH，向第二至第四级反相器施加第二直流负电源信号 VSSH 和第三直流正电源信号 VDDH；VSSH 为 $-10V$ 直流电压信号；VDDH 为 $+10V$ 直流电压信号；VDDH1 初始电压值为 $18V$ ，持续 $1\mu s$ 后保持 $12V$ 不变。

5、如权利要求 1 所述的集成型有源 OLED 屏上驱动电路，其特征在于：列驱动器由列移位寄存器、列缓冲器及传输门构成，每个列移位寄存器均接有列缓冲器。

6、如权利要求 5 所述的集成型有源 OLED 屏上驱动电路，其特征在于：

(1) 每个列移位寄存器单元均由 6 个 P 沟道 P-Si TFT 构成，在基本时钟信号 CLKL1~CLKL6 以及起始信号 VSTL 的作用下产生基本列信号 C；其中，CLKL1~CLKL6 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/4$ ，频率由显示屏的分辨率 $M \times N \times 3$ 、刷新频率 F 以及分块的数目 X 决

定，大小为 $\frac{F \cdot M \cdot X}{4}$ ；其中， N 必须能够被 X 整除，并且 X 是 4 的倍

数；

- (2) CLKL1、CLKL2、CLKL3、CLKL4 的低电平脉冲依次延迟 $\frac{1}{F \cdot M \cdot X}$ 时间，CLKL5 比 CLKL3 提前一个周期 $\frac{4}{F \cdot M \cdot X}$ ，CLKL6 比 CLKL4 提前一个周期 $\frac{4}{F \cdot M \cdot X}$ ；VSTL 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/X$ ，频率由显示屏的分辨率 $M \times N \times 3$ 以及刷新频率 F 决定，大小为 $F \cdot M$ ，当其在该行时间内的低电平结束时，时钟信号 CLKL1 开始该行时间内的第一次低电平；
- (3) 经过列移位寄存器单元得到的基本列信号 C 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，频率由显示屏刷新频率 F 以及行数 M 决定，大小为 $F \cdot M$ ，C1 的低电平与时钟信号 CLKL1 在该行时间内的第一次低电平同时出现，低电平持续时间与时钟信号 CLKL1 的低电平持续时间相同，每一级移位寄存器的输出相对于前一级的输出均延迟一个低电平时间；
- (4) 列缓冲器同样由四个级联的反相器构成，第一级反相器的输入是列移位寄存器产生的基本列信号 C，第一级反相器的输出作为第二级反相器的输入，第二级反相器的输出作为第三级反相器的输入，第三级反相器的输出作为第四级反相器的输入；
- (5) 将所述各级基本列信号 C 通过四个级联的反相器后，生成具有特定波形的列驱动信号 CD，CD 也是一种脉冲信号，幅度为 $-10V \sim +10V$ ，频率由显示屏刷新频率 F 以及行数 M 决定，大小为 $F \cdot M$ 。

7、如权利要求 6 所述的集成型有源 OLED 屏上驱动电路，其特征在于：列缓冲器的每一级反相器单元均由 4 个 P 沟道的 P-Si TFT 管构成，在输入信号以及 2 个外加电压信号的控制下工作；对第一级反相器施加第一电源信号 VDDL1 和第二直流负电源信号 VSSL，向第二至第四级反相器施加第二直流负电源信号 VSSL 和第三直流正电源信号 VDDL；VSSL 为 $-10V$ 直流电压

信号；VDDL+10V 直流电压信号；VDDL1 初始电压值为 18V，持续 1us 后保持 12V 不变。

- 8、如权利要求 1 所述的集成型有源 OLED 屏上驱动电路，其特征在于：每个像素驱动电路均由 2 个 P 沟道 P-Si TFT、存储电容 C、发光器件 OLED 构成；当行扫描信号 RDQ 为低电平时，该行内所有像素驱动电路中的开关管 M1 导通，在 CDA 信号的控制下，第 A 个 BLOCK 中的 Y 个传输门同时开启，外部数据信号 Vdata B 通过第 A 个 BLOCK 的第 B 个传输门，输出到像素驱动电路的数据线上，即数据信号 DA_B，从而与行驱动信号 RDQ 一起，驱动第 Q 行、第 [Y×(A-1)+B] 列的像素驱动电路中的 OLED 工作。
- 9、如权利要求 3 所述的集成型有源 OLED 屏上驱动电路，其特征在于：后一行的移位寄存器单元与前一行的移位寄存器单元的输出端相连，每行的移位寄存器在 VSTH 信号、两个时钟信号及一个直流正电源信号 VDDH 的控制下，依次移位 VSTH 信号，并输出负脉冲信号；除了前四个移位单元外，以 4 个移位单元为一组，所加的时钟信号依次为 CLKH5/1、CLKH6/2、CLKH1/3、CLKH2/4，以此重复进行。
- 10、如权利要求 6 所述的集成型有源 OLED 屏上驱动电路，其特征在于：后一个 BLOCK 的列移位寄存器单元与前一个 BLOCK 的列移位寄存器单元的输出端相连，每个 BLOCK 的列移位寄存器在 VSTL 信号、两个时钟信号及一个直流正电源信号 VDDL 的控制下，依次移位 VSTL 信号，并输出负脉冲信号；除了前四个移位单元外，以 4 个移位单元为一组，所加的时钟信号依次为 CLKL5/1、CLKL6/2、CLKL1/3、CLKL2/4，以此重复进行。

集成型有源 OLED 的全 p 沟道 P-Si TFT 屏上驱动电路

技术领域

本发明属于电致发光驱动技术领域，具体的说，涉及一种驱动有源 OLED 显示屏发光的集成型屏上驱动电路结构，并且该电路结构由全 P 沟道 P-Si TFT 制作。

背景技术

OLED 是一种新兴的平板显示器件，由于其超轻薄、高亮度、广视角、自发光、响应速度快、高清晰、低能耗、低温和抗震性能优异、制造成本低、可以制成可弯曲的显示屏等优点，使其具有广阔的应用前景。

按照驱动方式的不同 OLED 显示屏可分为无源驱动 (Passive Matrix OLED, PMOLED) 和有源驱动 (Active Matrix OLED, AMOLED) 两种。PMOLED 显示屏的像素没有单元驱动电路，是通过 OLED 上、下电极所形成的矩阵扫描来完成显示驱动。在无源驱动方式中，OLED 器件的工作信号是占空比很小的脉冲，随着显示屏中像素数目的增多，为使 OLED 显示屏达到足够的亮度，无源矩阵的驱动中需要瞬间高电流和电压，由此产生一系列问题，如器件工作寿命下降、显示屏的平均功耗增加，因为此时发光器件工作在低效率区段；同时导致引线上的电压损耗也增加等。无源矩阵很难实现高亮度和高分辨率，故 PMOLED 局限于低于 240 行的 4 英寸的显示屏。目前无源矩阵 (PM) 单色低信息含量的 OLED 显示屏已进入应用领域。而在 AMOLED 显示屏中，每个像素单元都带有由存储电容和薄膜晶体管 (Thin Film Transistor, TFT) 组成的单元驱动电路。尽管这样会使 AMOLED 显示屏的制作工艺复杂，制作成本提高，但在有源驱动方式中，发光元件在整帧的时间内都处于工作状态，这样可以解决无源 OLED 显示屏所遇到的上述问题，使 OLED 处于低电流 (或低电压) 工作，显示屏可以获得更高的工作效率和亮度，也有利于提高 OLED 显示屏的寿命。

目前 AMOLED 显示屏的驱动电路，主要有两种解决方案，一种是利用非晶硅 (a-Si: Amorphous silicon) TFT 技术，另外一种是多晶硅 (p-Si: poly-crystal Silicon) TFT 技术。a-Si TFT 具有工艺简单、成熟、价格低、易于制成较大面积和 TFT 制备成品率高等优点。但是，a-Si TFT 由于迁移率小，在相同器件尺寸时提供的电流小，并且只有 N 沟道器件。而 p-Si TFT 由于其迁移率高，响应速度快，图像数据写入时间短，易于实现大面积的视频显示，并且 p-Si TFT 可采用 N 沟道和 P 沟道两种结构，当像素驱动电路中的驱动管为 P 沟道 p-Si TFT 时，OLED 可

采用性能较好的常规结构器件（底电极出光）与之配合，而 a-Si TFT 只有 N 沟道器件，当 OLED 采用常规结构器件时存在问题，需采用性能尚待改进的上电极出光型 OLED。使用 p-Si TFT 可将部分外围驱动电路集成于显示屏的衬底上，大大减少外接引线，降低外围驱动电路的复杂性。因此，目前国际上采用 p-Si TFT 已经成为了大尺寸 AMOLED 研究和开发的一种趋势，也成为当前 OLED 领域的热点之一。

目前，集成于显示屏衬底上的行驱动器、列驱动器以及像素驱动电路，通常是利用互补式多晶硅 TFT 技术制备的。但是，传统的制作互补式 TFT 的步骤是制作 a-Si TFT 的 2 倍，是制作 P 沟道 P-Si TFT 的 1.3 倍。互补式 TFT 制作工艺的复杂性，导致成品率下降。并且，N 沟道 TFT 的耐热性能以及稳定性能都没有 P 沟道 TFT 好。如果能将整个屏上驱动电路部分都采用 P 沟道 P-Si TFT 制作，将使 TFT 的制作工艺大为简化，成本也降低并且有利于显示屏成品率的提高。

发明内容

本发明的目的是提供一种用于集成型有源 OLED 显示屏的屏上驱动电路结构，其能将部分外围驱动电路集成在显示屏衬底上，而且能使 TFT 的制作工艺大为简化，降低成本，提高成品率，其能够大幅减少外接引线，降低外围驱动电路的复杂性。

本发明所述的显示屏驱动电路包括行驱动器、列驱动器、像素驱动电路阵列，整个屏上驱动电路都是由全 P 沟道的 P-Si (Poly-Silicon) TFT (Thin Film Transistor) 构成，其是通过下述方法和电路实现的：

行驱动器由行移位寄存器和行缓冲器构成，它能产生具有特定波形的行驱动信号 RD，为像素驱动电路提供行选通信号，逐行开启 OLED 像素驱动电路阵列中的开关 TFT 管；

每个行移位寄存器单元由 6 个 P 沟道 P-Si TFT 构成，在基本时钟信号 CLKH1~CLKH6 以及起始信号 VSTH 的作用下产生基本行信号 R；其中，CLKH1~CLKH6 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/4$ （本文中出现的占空比均定义为信号的低电平时间比信号周期），频率由显示屏的分辨率 $M \times N \times 3$ 以及显示屏的刷新频率 F 决定，大小为 $\frac{F \cdot M}{4}$ ；CLKH1, CLKH2, CLKH3, CLKH4 的低电平脉冲依次延迟 $\frac{1}{F \cdot M}$ 时间，CLKH5 比 CLKH3 提前一个周期 ($\frac{4}{F \cdot M}$)，CLKH6 比 CLKH4 提前一个周期 ($\frac{4}{F \cdot M}$)。VSTH 是一种脉冲信号，幅度为 $-10V \sim$

+10V，占空比 $1/M$ ，频率与显示屏刷新频率 F 相等，当其在该帧时间内的低电平结束时，时钟信号 CLKH1 开始该帧时间内的第一次低电平；经过行移位寄存器单元得到的基本行信号 R 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/M$ ，频率与显示屏的刷新频率 F 相同，R1 在该帧时间内的低电平与时钟信号 CLKH1 在该帧时间内的第一次低电平同时出现，低电平持续时间与时钟信号 CLKH1 的低电平持续时间相同，以后每一级移位寄存器的输出相对于前一级的输出均延迟一个低电平时间。

后一行的移位寄存器单元与前一行的移位寄存器单元的输出端相连，每行的移位寄存器单元在 VSTH 信号、两个时钟信号及一个直流正电源信号 VDDH 的控制下，依次移位 VSTH 信号，并输出负脉冲信号。

每个行移位寄存器均接有行缓冲器，每个行缓冲器均由四个级联的反相器构成，第一级反相器的输入是行移位寄存器产生的基本行信号 R，第一级反相器的输出作为第二级反相器的输入，第二级反相器的输出作为第三级反相器的输入，第三级反相器的输出作为第四级反相器的输入；每一级反相器单元均由 4 个 P 沟道的 P-Si TFT 管构成，在输入信号以及外加电压信号的控制下工作。

将所述各级基本行信号 R 通过四个级联的反相器后，生成具有特定波形的行驱动信号 RD，RD 也是一种脉冲信号，幅度为 $-10V \sim +10V$ ，频率与显示屏的刷新频率 F 相等，同基本行信号 R 的波形一致。

列驱动器由列移位寄存器、列缓冲器及传输门构成。每个列移位寄存器均接有列缓冲器，每个列移位寄存器单元均由 6 个 P 沟道 P-Si TFT 构成，在基本时钟信号 CLKL1~CLKL6 以及起始信号 VSTL 的作用下产生基本列信号 C；其中，CLKL1~CLKL6 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/4$ ，频率由显示屏的分辨率 $M \times N \times 3$ 、刷新频率 F 以及分块的数目 X 决定，大小为 $\frac{F \cdot M \cdot X}{4}$ ；其中， N 必须能够被 X 整除，并且 X 是 4 的倍数， X 与行数 M 无关。CLKL1, CLKL2, CLKL3, CLKL4 的低电平脉冲依次延迟 $\frac{1}{F \cdot M \cdot X}$ 时间，CLKL5 比 CLKL3 提前一个周期 ($\frac{4}{F \cdot M \cdot X}$)，CLKL6 比 CLKL4 提前一个周期 ($\frac{4}{F \cdot M \cdot X}$)；VSTL 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，占空比为 $1/X$ ，频率由显示屏的分辨率 $M \times N \times 3$ 以及刷新频率 F 决定，大小为 $F \cdot M$ ，当其在该行时间内的低电平结束时，时钟信号 CLKL1 开始该行时间内的第一次低电平；经过列移位寄存器单元得到的基本列信号 C 是一种脉冲信号，幅度为 $-10V \sim +10V$ ，频率由显示屏刷新频率 F 以及行数 M 决定，大小为 $F \cdot M$ ，其在该行时间内的低电平与时钟信号 CLKL1 在

该行时间内的第一次低电平同时出现，低电平持续时间与时钟信号 $CLKL1$ 的低电平持续时间相同，每一级移位寄存器的输出相对于前一级的输出均延迟一个低电平时间。

后一个 **BLOCK** 的列移位寄存器单元与前一个 **BLOCK** 的列移位寄存器单元的输出端相连，每个 **BLOCK** 的列移位寄存器单元在 $VSTL$ 信号、两个时钟信号及一个直流正电源信号 $VDDL$ 的控制下，依次移位 $VSTL$ 信号，并输出负脉冲信号。

列缓冲器同样由四个级联的反相器构成，第一级反相器的输入是列移位寄存器产生的基本列信号 C ，第一级反相器的输出作为第二级反相器的输入，第二级反相器的输出作为第三级反相器的输入，第三级反相器的输出作为第四级反相器的输入；每一级反相器单元均由 4 个 P 沟道的 P-Si TFT 管构成，在输入信号以及外加电压信号的控制下工作。

将所述各级基本列信号 C 通过四个级联的反相器后，生成具有特定波形的列驱动信号 CD ， CD 也是一种脉冲信号，幅度为 $-10V \sim +10V$ ，频率由显示屏刷新频率 F 以及行数 M 决定，大小为 $F \cdot M$ 。

缓冲器的作用是改善移位寄存器输出波形，提高电路的驱动能力，形成行驱动信号 RD 和列驱动信号 CD 。

每个像素驱动电路均由 2 个 P 沟道 P-Si TFT $M1$ 和 $M2$ 、存储电容 C 、发光器件 **OLED** 构成，其中， RDQ 是行选通信号(Q 是整数， $1 \leq Q \leq M$ ， M 代表显示屏的行数， Q 代表 M 行中的第 Q 行)； DA_B 是经过第 A 个 **BLOCK** 内的第 B 个传输门获得的数据信号(X 是列驱动电路中总的 **BLOCK** 数，即分块数； Y 是每个 **BLOCK** 内传输门的个数， $X \times Y = 3 \times N$ ， N 是显示屏的列数； A 是整数， $1 \leq A \leq X$ ，代表 X 个 **BLOCK** 中的第 A 个； B 为整数， $1 \leq B \leq Y$ ，代表每个 **BLOCK** 中的第 B 个传输门)。

当行扫描信号 RDQ 为低电平时，该行内所有像素驱动电路中的开关管 $M1$ 导通。此时，在外部程序控制下，产生 CDA 信号，在 CDA 信号的控制下，第 A 个 **BLOCK** 中的所有 Y 个传输门同时开启。外部数据信号 $Vdata B$ 就会通过该 **BLOCK** 中的第 B 个传输门，输出到像素驱动电路的数据线上，即数据信号 DA_B ，从而与行驱动信号 RDQ 一起，驱动第 Q 行、第 $[Y \times (A-1) + B]$ 列的像素驱动电路中的 **OLED** 工作。

数据信号 DA_B 通过开关管 $M1$ 给存储电容 C 充电，同时驱动 **OLED** 发光；当 RDQ 变为高电平时，对应行的所有像素驱动电路中的开关管 $M1$ 关闭，但是由于电容 C 没有放电通路，因此继续维持 **OLED** 发光，直到下一次行选通信号到来。

本专利电路的特征在于：所述电路结构集成于显示屏的衬底上，由全 P 沟道

P-Si TFT 构成,能够有效的减少外围引线,降低外围驱动电路的复杂性,简化 TFT 的制作工艺,降低成本,提高成品率。

可以理解,上述有关本发明的概述以及下面的详细描述是用于举例和说明,并试图提供对于权利要求所保护发明的更进一步的解释。

附图说明

- 图 1: 有源 OLED 显示屏屏上驱动电路整体结构示意图;
- 图 2: 实施例 1 对应的有源 OLED 显示屏屏上驱动电路原理图;
- 图 3: 实施例 1 对应的行驱动器原理图;
- 图 4: 实施例 1 对应的列驱动器原理图;
- 图 5: 实施例 1 对应的移位寄存器原理图;
- 图 6(a): 实施例 1 对应的行移位寄存器时钟信号及输出信号波形图;
- 图 6(b): 实施例 1 对应的列移位寄存器时钟信号及输出信号波形图;
- 图 7(a): 实施例 1 对应的缓冲器(4 级反相器)原理图;
- 图 7(b): 实施例 1 对应的脉冲电压源 VDDH1/VDDL1 波形图;
- 图 8: 实施例 1 对应的像素驱动电路原理图。

具体实施方式

实施例 1:

该实施例对应图 1 中的 $Y=24$, $X=40$, $M=240$, $N=320$, 从而 $X \times Y = N \times 3 = 960$ 。

以分辨率 QVGA (240×320×3)、刷新频率 60Hz 的有源 OLED 显示屏为例,说明有源 OLED 显示屏屏上驱动电路的工作原理。

基于该发明的上述实例,有源 OLED 显示屏屏上驱动电路原理图如图 2 所示,主要包括三个部分:行驱动器、列驱动器、像素驱动电路阵列。

外部时钟信号发生器产生如图 6(a)所示的 VSTH 信号,该信号为脉冲信号,幅值为 $-10V \sim +10V$,频率为 60Hz,占空比为 1/240;外部时钟信号发生器产生如图 6(a)所示的基本行时钟信号 CLKH1~CLKH6,它们均为脉冲信号,幅值为 $-10V \sim +10V$,频率为 3.6KHz,占空比为 1/4。其中,CLKH1,CLKH2,CLKH3,CLKH4 的低电平脉冲依次延迟 1/4 个周期,即 69.44 μ s,CLKH5 比 CLKH3 提前一个周期(277.76 μ s),CLKH6 比 CLKH4 提前一个周期(277.76 μ s)。行移位寄存器在上述起始信号 VSTH 和时钟信号 CLKH1~CLKH6 的控制下,依次生成各行的基本行信号 (R1、R2.....R240),它们是幅值为 $-10V \sim +10V$ 、频率为 60Hz、占空比为 1/240 的脉冲信号,波形如图 6(a)所示。这些基本行信号分别通过与之

对应的四级反相器 F1~F4，产生具有特定波形的行驱动信号（RD1、RD2、.....RD240），它们是幅值为-10V~+10V、频率为60Hz、占空比为1/240的脉冲信号，基本行信号经过缓冲电路后，波形得到改善，提高了驱动能力。行驱动信号 RD1~RD240 分别与第1行~第240行的所有像素驱动电路中的行扫描信号相连，为像素驱动电路中的开关管 TFT 提供开启信号。

当行驱动器选通某一行像素后，列驱动器开始工作。列驱动器采取分块(BLOCK)处理的方法，将数据线分成40个BLOCK(BLOCK1~BLOCK40，对应图1中的X=40，对应技术方案中 $1 \leq A \leq 40$)，每个BLOCK同时为24个子像素传送数据，并且各个BLOCK共用24根数据线(Vdata1~Vdata24)。外部时钟信号发生器产生如图6(b)所示的VSTL信号，该信号为脉冲信号，幅值为-10V~+10V，频率为14.4KHz，占空比为1/40；外部时钟信号发生器产生如图6(b)所示的基本列时钟信号CLKL1~CLKL6，它们均为脉冲信号，幅值为-10V~+10V，频率为144KHz，占空比为1/4。其中，CLKL1，CLKL2，CLKL3，CLKL4的低电平脉冲依次延迟1/4个周期，即 $1.736\mu\text{s}$ ，CLKL5比CLKL3提前一个周期(6.944 μs)，CLKL6比CLKL4提前一个周期(6.944 μs)。列移位寄存器在上述起始信号VSTL和时钟信号CLKL1~CLKL6的控制下，依次生成各BLOCK的基本列信号C1~C40，它们是具有幅值为-10V~+10V的脉冲信号，占空比为1/40，频率为14.4KHz，这些基本列信号分别通过与之对应的四级反相器F1~F4，产生具有特定波形的列驱动信号CD1~CD40，波形同C1~C40，如图6(b)所示，它是幅值为-10V~10V、频率为14.4KHz、占空比为1/40的脉冲信号。

CD1~CD40分别与BLOCK1~BLOCK40中的24个传输门的控制端相连，当对应于第A个BLOCK内的CD信号为低电平时，该BLOCK中的24个传输门全部同时打开，来自外部数据存储器的数据信号VdataB ($1 \leq B \leq 24$)通过对应的传输门，在该行、该BLOCK对应像素驱动电路的数据线上的数据信号DA_B与该行驱动信号一起驱动该有源OLED显示屏的第 $[24 \times (A-1) + B]$ 列按照所给的数据电压发光。

当24个外部数据线Vdata1~Vdata24全部通过该BLOCK的24个传输门，在像素驱动电路的数据线上的数据信号DA₁~DA₂₄就与该行驱动信号一起驱动该行的第 $[24 \times (A-1) + 1 \sim 24 \times (A-1) + 24]$ 列像素单元工作。

图2中，VDD为18V的直流电压；GND为0电位；VSSL为-10V的直流电压，VDDL为10V的直流电压；VDDL1为脉冲电压，波形如图7(b)所示；VSSH为-10V的直流电压；VDDH为10V的直流电压；VDDH1为脉冲电压，波形如图7(b)所示。

图3是本发明中的行驱动器原理图，它由D1~D240组成的240位移位寄存器以及240组缓冲器构成，而每一组的缓冲器均是由四级反相器F1~F4组成。行驱动器在起始信号VSTH、时钟信号CLKH1~CLKH6以及电压信号的控制下，产生具有特定波形的行驱动信号RD1~RD240，波形同R1~R240，如图6(a)所示。每级移位寄存器D1、D2、D3.....D240的输出分别经过对应的4级反相器F1~F4之后，保证原有信号的极性，但是增大了电路的驱动能力。相关波形图如图6(a)所示。相邻行驱动信号之间，后一个行驱动信号总是比前一个行驱动信号延迟一个低电平时间(69.44 μ s)，图3中有关电压描述如下：VSSH为-10V直流电压，VDDH为10V直流电压，GND为0电位，VDDH1为脉冲电压(如图7(b)所示)。

图4是本发明中列驱动器原理图，它由D1~D40组成的40位移位寄存器、40组四级反相器F1~F4组成的缓冲器、40组T1~T24组成的960个传输门构成。列驱动器将数据信号分成40个块，以块内并行、块间串行的方式给OLED像素驱动电路阵列传送数据，有效的减少外围引线，驱动有源OLED显示屏发光。具体的步骤是：当某行像素被选通后，列驱动器开始工作，列驱动器在起始信号VSTL、时钟信号CLKL1~CLKL6以及电压信号的控制下，产生具有特定波形的列驱动信号CD1~CD40，控制信号CD1~CD40分别为BLOCK1~BLOCK40中的24个传输门提供开启控制信号，24个数据Vdata1~Vdata24同时经过同一BLOCK内部的24个传输门并行的送入到OLED显示屏的相应的像素驱动电路的DA₁~DA₂₄，(A是1~40的整数，代表40个BLOCK中的一个)上，各个BLOCK共用这24个数据线，从而减少了外围引线的数目，提高了集成度。当下一行被选通时，列驱动器重复上述过程，直到最后一行选通，完成一帧数据的传送及显示。图4中有关电压描述如下：VSSL为-10V的直流电压，VDDL为10V的直流电压，GND为0电位，VDDL1为脉冲电压(如图7(b)所示)。

图5是本发明中涉及的移位寄存器电路原理图，它是构成本发明中的行驱动器、列驱动器的关键电路之一。如图5所示，每个移位寄存器单元由6个P沟道P-Si TFT构成。该结构受如图6所示的输入激励信号VSTH/VSTL(行驱动器的移位寄存器使用VSTH，列驱动器的移位寄存器VSTL)以及6个时钟信号控制(行驱动器的移位寄存器使用CLKH1~CLKH6，列驱动器的移位寄存器CLKL1~CLKL6)。以行驱动器中的移位寄存器的第一级移位单元(D1)为例，说明具体的工作原理及过程：当VSTH信号变为低电平、CLKH1和CLKH3为高电平的时候，P1管导通，Q点被充电，导致P5管导通，P5管的栅源电容开始充电。同时P4管也导通，将Qb点的电位拉到高电平，导致P2、P6管截止，此时CLKH1

信号还是高电平，第一级输出 R1 为高电平。当 VSTH 信号变为高电平，CLKH3 为高电平，CLKH1 变为低电平时，P1 管截止，但是由于栅源电容的存在，使得 P5 管继续维持在导通状态，此时 CLKH1 信号为低电平，使得第一级输出 R1 为低电平。下一个时钟周期 VSTH 和 CLKH3 仍然为高电平，此时 P5 管继续维持导通，CLKH1 也变为高电平，R1 为高电平。P5 管一直维持导通到 CLKH3 信号变为低电平，此时 P3 管导通，Qb 点被充电，P2 管和 P6 管也随之导通，P5 管截止，使得第一级输出 R1 保持高电平，此后，在未出现新的激励信号 VSTH 之前，P5 管将始终工作在截止状态，输出端通过 P6 管与 VDDH/VDDL 持高电平，一直到新的激励信号 VSTH 到来。后一级移位单元以前一级移位单元的输出为激励信号，工作原理相同。

移位寄存器输出信号 R1、R2……R240 的波形如图 6(a)所示。在这里，值得指出的是第 5、6 个移位单元。由外部时钟信号发生器产生 CLKH5，加在第 5 个移位单元上。当 CLKH5 第一次出现低电平时，激励信号还没有到来，保证了第五级输出保持高电平，直到第四级输出激励信号到来为止。由外部时钟信号发生器产生 CLKH6，加在第 6 个移位单元上，原理与第 5 单元相同。

图 6 是本发明中的移位寄存器所加的时钟信号及输出信号波形图。对于图 5 所示的移位寄存器，除了前四个移位单元外，以 4 个移位单元为一组，所加的时钟信号依次为 CLKH5/1 (CLKL5/1)、CLKH6/2(CLKL6/2)、CLKH1/3(CLKL1/3)、CLKH2/4(CLKL2/4)，以此重复进行。

图 7(a)是本发明中涉及的缓冲器电路原理图，它是构成本发明中的行驱动器、列驱动器的重要单元，由 4 个反相器构成。

行缓冲器的每个反相器单元受 2 个电源信号 VDDH/VDDH1、VSSH 以及 1 个输入信号控制，对第一级反相器施加第一电源信号 VDDH1 和第二直流负电源信号 VSSH；向第二至第四级反相器施加第二直流负电源信号 VSSH 和第三直流正电源信号 VDDH。

列缓冲器的每个反相器单元受 2 个电源信号 VDDL/VDDL1、VSSL 以及 1 个输入信号控制，对第一级反相器施加第一电源信号 VDDL1 和第二直流负电源信号 VSSL；向第二至第四级反相器施加第二直流负电源信号 VSSL 和第三直流正电源信号 VDDL。

4 级反相器的输出与输入同相，但可改善输出波形，提高驱动能力。第一级反相器的输入是行移位寄存器产生的基本行信号 R1~R240 或者列移位寄存器产生的基本列信号 C1~C40，第一级反相器的输出作为第二级反相器的输入，第二级反相器的输出作为第三级反相器的输入，第三级反相器的输出作为第四级反相

器的输入。每一级反相器单元由 4 个 P 沟道的 P-Si TFT 管构成。

在输入信号以及 3 个外加电压信号的控制下工作。其中，VSSH/VSSL 为一 10V 直流电压信号，VDDH/VDDL 为 +10V 直流电压信号，VDDH1/VDDL1 为脉冲电压（波形如图 7(b)所示）。

以行驱动器中的第一组缓冲器的第一级反相器单元为例，说明反相器的工作原理，当输入 R1 为低电平的时候，T1 管导通，T2 管截止。T4 管的漏源连接在一起，相当于一个电容。T4 管在 T1 管导通的时候充电，电压为此时的输出电压。这时通过 T1 管的电流仅仅是 T2 管的漏电电流，十分小的漏电电流通过高导通的 T1，使反相器的输出电压 OUT1 十分接近 VDDH1。当输入为高电平的时候，T1 管截止，由于 T4 管的电容效应，此时 T2 管栅极电压将低于 VSSH，VSSH 是 -10V 直流电压，这将使 T2 管完全导通，使输出十分接近 VSSH。该缓冲器由 4 级反相器构成，向第一级反相器单元施加如图 7(b)所示的第一电源信号 VDDH1/VDDL1，幅值如图 7(b) 所示，初始电压值为 18V 持续 1us，然后保持 12V 不变。目的是在初始输入为高电平的情况下，在低电平到来时使 T1 管能完全导通，达到很好的反相效果。向其它各级反相器施加第二直流电源信号 VDDH/VDDL，VDDH/VDDL 是 10V 的直流电压。

如图 8 所示，每个像素驱动电路均由 2 个 P 沟道 P-Si TFT、1 个存储电容 C、1 个发光器件 OLED 构成。其中，RDQ 是行选通信号(Q 是整数， $1 \leq Q \leq 240$)；DA_B 是经过第 A ($1 \leq A \leq 40$) 个 BLOCK 内的第 B 个 ($1 \leq B \leq 24$) 传输门获得的数据信号。以第一行第一个 BLOCK 中的第一个像素为例说明：当行扫描信号 RD1 为低电平时，第一行所有像素驱动电路中的开关管 M1 导通，在 CD1 的控制下，第一个 BLOCK 中的 24 个传输门同时开启。数据 D1₁ 通过第一个 BLOCK 中的传输门 T1 输出到像素驱动电路的数据线上，该数据信号 D1₁ 通过开关管 M1 给存储电容 C 充电，同时驱动 OLED 发光；当 RD1 变为高电平时，第一行的所有像素驱动电路中的开关管 M1 关闭，但是由于电容 C 没有放电通路，因此继续维持 OLED 发光，直到下一次行选通信号到来。

本发明不局限于上述特定的实施例，本发明应当这样理解，在不脱离所属权利要求限定的本发明精神和范围的前提下，本领域技术人员可以设想出许多其他的替换、修改及变更，其都应包括在本发明的范围之内。

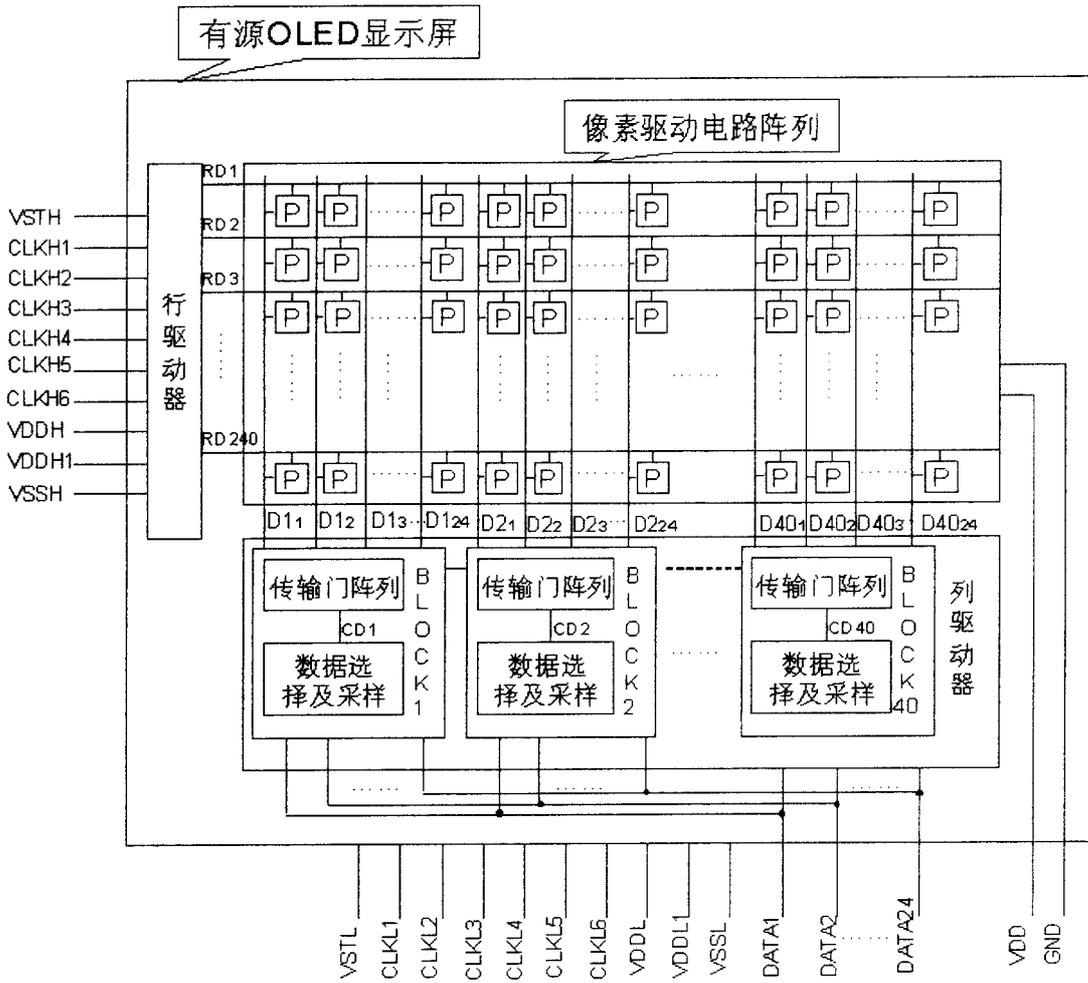


图 2

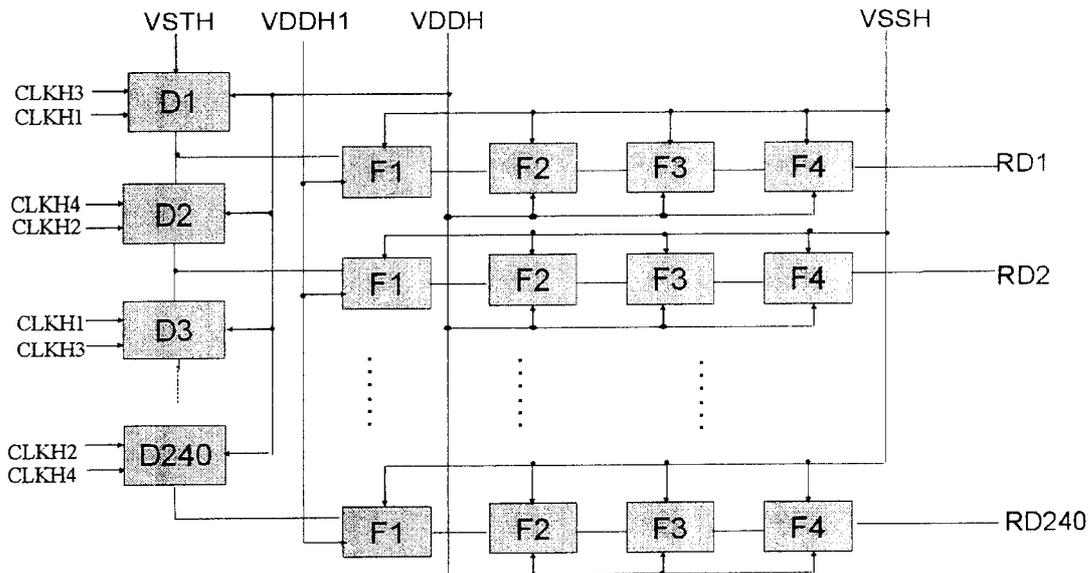


图 3

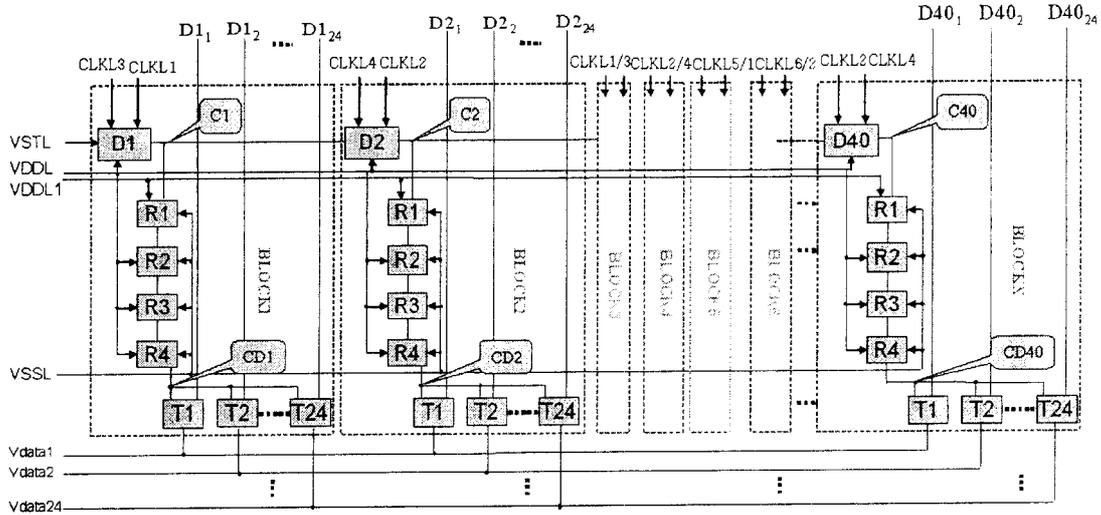


图 4

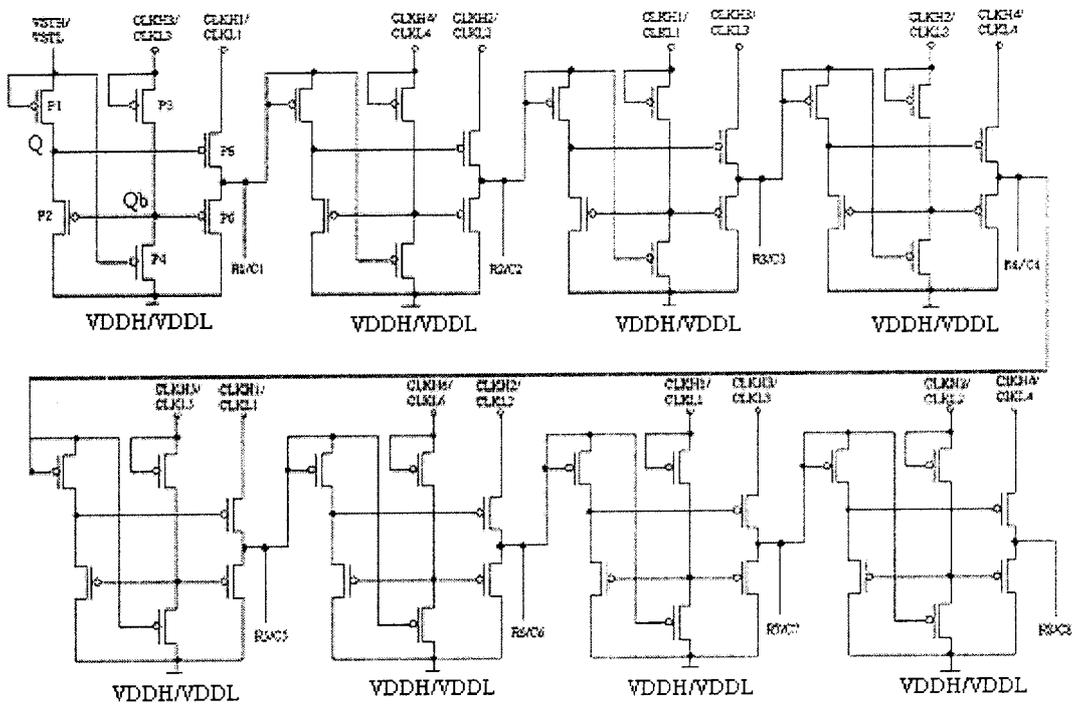
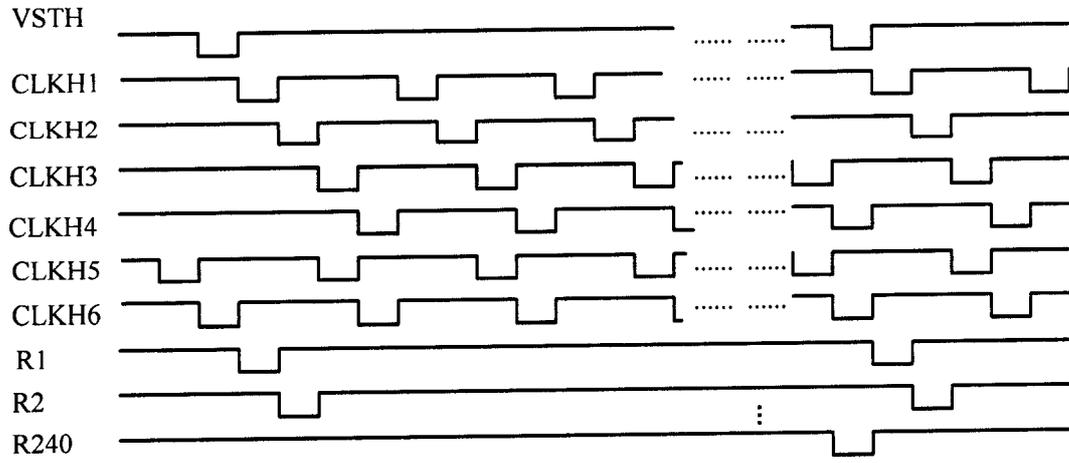
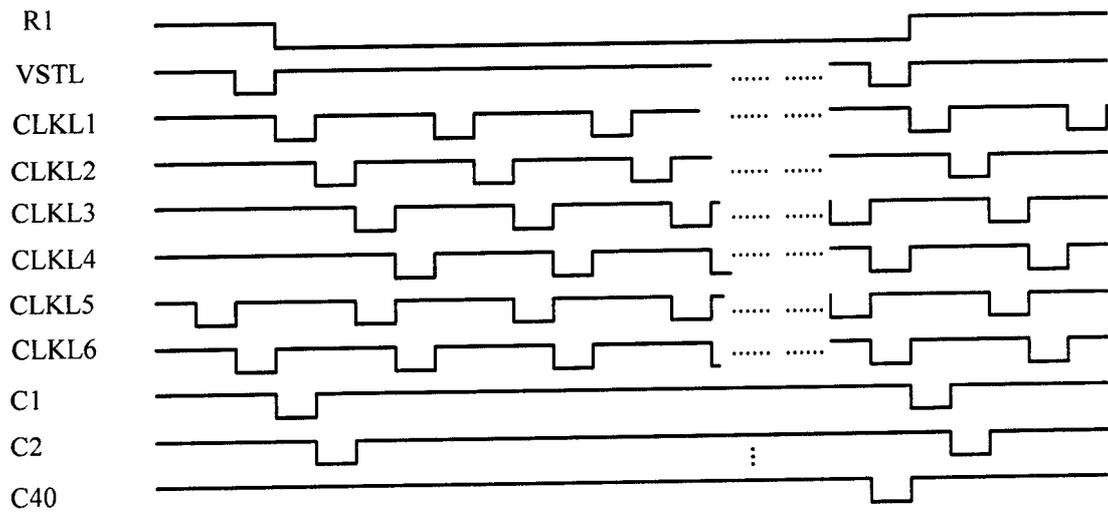


图 5



(a)



(b)

图 6

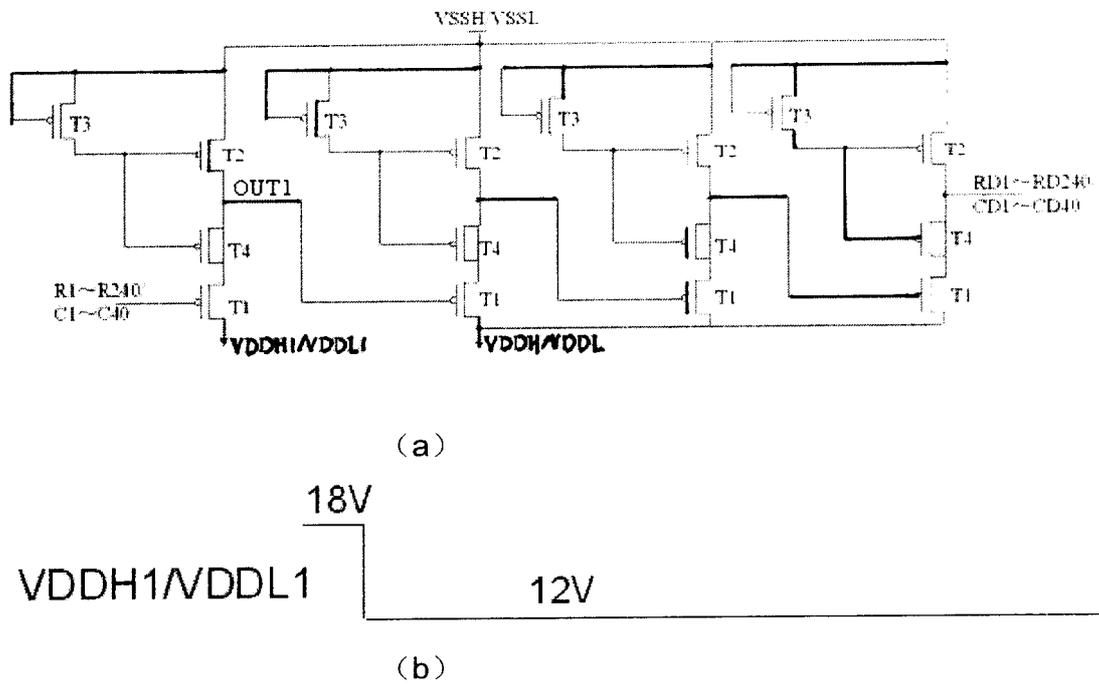


图 7

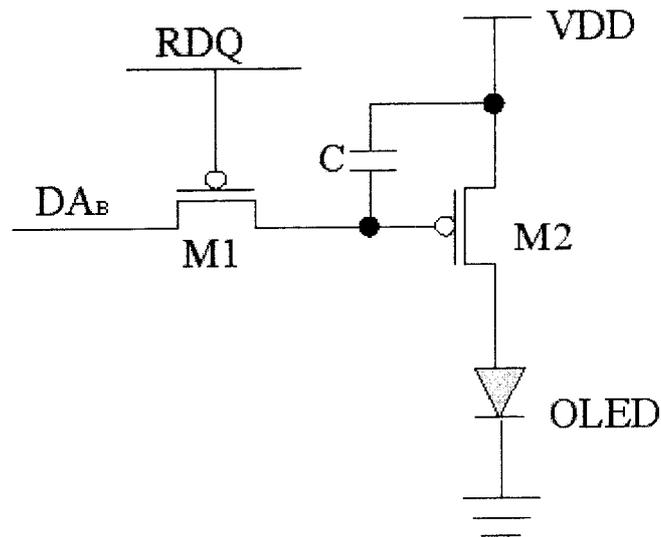


图 8

专利名称(译)	集成型有源OLED的全p沟道P - SiTFT屏上驱动电路		
公开(公告)号	CN1901007A	公开(公告)日	2007-01-24
申请号	CN200610016965.5	申请日	2006-06-23
[标]申请(专利权)人(译)	吉林大学		
申请(专利权)人(译)	吉林大学		
当前申请(专利权)人(译)	吉林大学		
[标]发明人	司玉娟 丁媛媛 赵毅 徐艳蕾 徐小舟 朱承基 刘式墉		
发明人	司玉娟 丁媛媛 赵毅 徐艳蕾 徐小舟 朱承基 刘式墉		
IPC分类号	G09G3/20 G09G3/30 G09G3/32 H05B33/08 H05B33/14 G09G3/3233		
CPC分类号	Y02B20/346 Y02B20/36 Y02B20/343		
代理人(译)	张景林 刘喜生		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种驱动集成型有源OLED显示屏发光的屏上驱动电路结构，该结构由行驱动器、列驱动器、像素驱动电路阵列构成，所有单元电路均由全P沟道P - Si TFT构成。行驱动器产生基本行信号R和行驱动信号RD，用所产生的具有特定波形的行驱动信号RD逐行开启OLED像素驱动电路阵列中的开关TFT管；列驱动器产生基本列信号C和列驱动信号CD，用所产生的具有特定波形的列驱动信号CD开启对应BLOCK中的所有传输门，使来自于数据线的的数据信号Vdata1 ~ VdataY通过该BLOCK中的传输门传送到像素驱动电路阵列中的相应的数据线上，从而驱动有源OLED显示屏发光。本发明所述产品具有成品率高、成本低、能够大幅减少外接引线、降低外围驱动电路复杂性的特点。

