

1. 一种用于电流写入型有源矩阵有机电致发光显示面板的数据驱动电路, 包括:

5 多个电流输出通道; 以及

多个在各自电流输出通道上的通道电流产生电路, 用于使在电流输出通道之间产生的电流级别的差最小化, 每一个通道电流产生电路包括:

一对晶体管,

10 电流产生部分, 用于产生与一对晶体管的门限电压的差的平方成正比的小偏差的电流, 以及

电流镜像部分, 用于对电流入行镜像, 并将镜像的电流作为通道的通道电流入行发送。

2. 如权利要求 1 的数据驱动电路, 其中, 一对晶体管具有相同的宽度和长度。

15 3. 如权利要求 1 的数据驱动电路, 其中, 电流产生部分包括具有相同宽度、长度和一个公共栅极的一对第一型晶体管。

4. 如权利要求 3 的数据驱动电路, 其中, 电流镜像部分包括多个电流镜像电路, 每个电流镜像电路具有不同于第一型晶体管的第二型金属氧化物半导体晶体管。

20 5. 一种用于电流写入型有源矩阵有机电致发光显示面板的数据驱动电路, 包括:

多个电流输出通道; 以及

多个在各个电流输出通道上的通道电流产生电路, 用于使在电流输出通道之间产生的电流级别的差最小化, 每个通道电流产生电路包括:

25 一对 P 型金属氧化物半导体晶体管, 具有相同的宽度、长度和一个公共栅极,

第一偏压电路, 与 P 型金属氧化物半导体晶体管对的公共栅极端相连, 以防止公共栅极端的浮动,

30 第一 N 型金属氧化物半导体晶体管, 用于接收来自 P 型金属氧化物半导体晶体管对的输出电流,

$n(n-1, 2, 3 \dots)$ 个第二 N 型金属氧化物半导体晶体管, 与第一 N 型金

属氧化物半导体晶体管的栅极端相连，每一个第二 N 型金属氧化物半导体晶体管都用于与第一 N 型金属氧化物半导体晶体管一起形成电流镜，用于对来自 P 型金属氧化物半导体晶体管对的输出电流入行镜像，以及

5 n 个 P 型金属氧化物半导体晶体管，分别与 n 个第二 N 型金属氧化物半导体晶体管串联连接，其中，n 个 P 型金属氧化物半导体晶体管的输出是并联连接的。

6. 如权利要求 5 的数据驱动电路，其中，在 P 型金属氧化物半导体晶体管对中，第一 P 型金属氧化物半导体晶体管具有一个主体和与之连在一起的源极，它们又与第一外部偏压电路相连，第二 P 型金属氧化物半导体晶体管具有一个主体和与之连在一起的源极，它们又与正电压源相连。

7. 如权利要求 5 的数据驱动电路，其中，偏压电路包括：

至少一个 N 型金属氧化物半导体晶体管，串联连接在公共栅极和地之间，

15 第二外部偏压，用作 N 型金属氧化物半导体晶体管的栅极的公共栅极电压。

8. 如权利要求 5 的数据驱动电路，其中，n 个 P 型金属氧化物半导体晶体管，响应作为各个门信号而被接收的外部的 n 个比特的数字信号，而控制流入第二 N 型金属氧化物半导体晶体管的电流，以便作为各个通道电流而进行发送。

20 9. 如权利要求 8 的数字驱动电路，其中，各个通道电流，通过在 n 个 P 型金属氧化物半导体晶体管上接收的 n-比特的数字信号的组合，被调节到具有期望的电流级别的二进制形式。

10. 如权利要求 5 的数据驱动电路，其中，n 个第二 N 型金属氧化物半导体晶体管具有固定的宽度和长度，使得流入 n 个第二 N 型金属氧化物半导体晶体管的电流是来自 P 型金属氧化物半导体晶体管对的输出电流的 2^α ($\alpha=0, 1, 2, \dots$) 倍。

电流写入型有源矩阵有机电致发光显示面板数据驱动电路

- 5 本申请要求 2002 年 1 月 9 日提交的韩国申请 No.P2002-1175 的利益，
在这里，其被引入作为参考。

技术领域

- 10 本发明涉及用于电流写入型有源矩阵有机电致发光 (AMOEL) 显示面
板的数据驱动电路。

背景技术

- 通常，有两种有源矩阵有机电致发光(AMOEL: Active Matrix Organic
Electro Luminescent)的像素结构；电压写入型像素结构和电流写入型像素结
15 构。电流写入型像素结构的 AMOEL 显示面板对诸如门限电压的变化、地
线上无规律的电压升高之类的各种噪声敏感。

图 1 说明了两个有源元件的电压写入型像素结构的一种相关技术的电
路。

- 参考图 1，电荷存储电容器 Cstg，具有：驱动三极管 Q_1 ，用于直接驱
20 动有机电致发光元件(OEL)；并具有与之相连的正电压源 V_{DD} ；该电荷存储
电容器 Cstg 用于存储薄膜晶体管-液晶显示器(TFT-LCD: Thin Film
Transistor-Liquid Crystal Display)的电荷。驱动晶体管 Q_1 的一侧与 OEL 的正
极相连。开关晶体管 Q_2 具有与扫描线相连的栅极，用于在来自扫描线的信
号的控制下，切换 OEL。开关晶体管 Q_2 的源极与数据线相连，其漏极与驱
25 动晶体管 Q_1 的栅极相连。电荷存储电容器 Cstg 与正电压源 V_{DD} 相连，且与
驱动晶体管 Q_1 的栅极相连。如图 1 中所示，驱动晶体管 Q_1 和开关晶体管
 Q_2 是 P 型金属氧化物半导体 (PMOS: Ptype Metal Oxide Semiconductor) 晶
体管。

将要解释的是图 1 中的电路的操作。

- 30 具有调节的灰度等级的数据电压，通过开关晶体管 Q_2 ，从数据线被提
供到电荷存储电容器 Cstg、以及驱动晶体管 Q_1 的栅极。当开关晶体管 Q_2

响应扫描线信号而关闭时，每个像素的灰度等级的数据电压通过数据线被写到电荷存储电容器 Cstg 上。写入的数据电压被用作控制电压，以固定驱动晶体管 Q_1 的电流级别 (level)。被控制电压控制的电流通过驱动晶体管 Q_1 被提供给 OEL。AMOEL 面板具有许多像素，其中，如果在像素之间的驱动晶体管 Q_1 的电压 - 电流特性不是均匀的，则在像素中流入到 OEL 的电流就不是均匀的，即使在电荷存储电容器 Cstg 上写入的电压是相同的，结果，在 AMOEL 显示面板上出现非均匀的显示，即，非均匀的发光，这是电压写入型的缺点之一。

图 2 说明了电流写入型的相关技术像素的电路。与图 1 中所示的电压写入型不同，灰度等级的电流级别直接被写在驱动晶体管 P1 上。

参考图 2，如果用于提供写入电流 Idata 的数据驱动电路是均匀地可操作的，则有机电致发光 (EL) 面板可以均匀地显示，即使像素的驱动晶体管 P1 的电压 - 电流特性不是均匀的。然而，图 2 实际上说明了用于仅仅一个像素的数据驱动电路。也就是说，用于提供写入电流的部分，不仅作为如在数据驱动电路部分中的一个电路而存在，而且存在于全部数据线或几条数据线。因此，如果在提供写入电流的电路之中出现故障，电流写入型的像素就不能最好地利用它们的优点，使得有机 EL 面板不能具有均匀的显示特性。

为了解决图 2 的问题，可以使用图 3 中所说明的电路。图 3 说明了用于对参考电流源 I_{REF} 进行镜像以提供期望的电流源的电路。在这种情况下，一个参考电流源被使用在数据驱动电路中。然而，参考图 3，如果一个参考电流源被镜像到所有的数据线，则，如果起镜像作用的晶体管之间的距离离参考电流源太远，那么，参考电流源就不能被精确地镜像。

参考图 4，作为另一种方法，可以采用用于校正参考电流源 I_{REF} 的电路。在这个电路的情况下，诸如晶体管、以及电荷存储电容器之类的电流源器件，可以被用于使数据线的校准周期相等。然而，在电荷存储晶体管的栅极和源极之间的电流泄漏引起数据线上的电压变化，和数据线之间的非均匀的输出电流。

30 发明内容

相应地，本发明致力于一种用于具有电流写入型像素结构的 AMOEL

显示面板的数据驱动电路，它充分地消除了由于相关技术的限制和缺点而引起的一个或多个问题。

5 本发明的目的是提供一种用于具有电流写入型像素结构的 AMOEL 显示面板的数据驱动电路，在其中，在通道中的输出电流级别之间的差被最小化，以便对具有电流写入型像素结构的 AMOEL 面板进行均匀地驱动。

本发明的另一个目的是提供一种用于电流写入型 AMOEL 显示面板的数据驱动电路，它能根据流过 AMOEL 显示面板的电流的大小，在 AMOEL 显示通道上均匀且精确地显示数据。

10 本发明的再一个目的是提供一种用于 TFT-AMOEL 或具有电流写入型像素结构的单一晶体的 AMOEL 显示面板的数据驱动电路。

本发明的附加特点和优点将在随后的描述中给出，以及将从描述中部分地显现出来，或通过本发明的实践而被理解。本发明的目的和其它优点，将通过书面的说明书、及其权利要求书和附图中所特别指出的结构来实现和获得。

15 为实现这些和其它优点，并根据本发明的目的，如所具体地表达的和概括地描述的，用于电流写入型 AMOEL 显示面板的数据驱动电路包括：多个电流输出通道；以及在各个电流输出通道上的多个通道电流产生电路，用于使在电流输出通道之间产生的电流级别的差最小化，每一个通道电流产生电路包括一对具有相同宽度、长度和一个公共栅极端的 PMOS 晶体管，
20 第一偏压电路与该 PMOS 晶体管对的公共栅极端相连，以防止公共栅极端的浮动 (floating)，第一 NMOS 晶体管用于接收来自该 PMOS 晶体管对的输出电流， $n(n=1, 2, 3, \dots)$ 个第二 NMOS 晶体管连接到第一 NMOS 晶体管的栅极端，每一个第二 NMOS 晶体管与第一 NMOS 晶体管一起形成一个电流镜，用于对来自该 PMOS 晶体管对的输出电流进行镜像，并且， n 个
25 PMOS 晶体管分别与 n 个第二 NMOS 晶体管串联连接，其中， n 个 PMOS 晶体管的输出是并联连接的。

最好是，一对 PMOS 晶体管具有相同的宽度和长度。

可以理解，前面的一般性的描述和下面的详细的描述均是示范性的和解释性的，是打算提供对所寻求保护的本发明的进一步的解释。

30

附图说明

所包括的附图提供了对本发明的进一步的理解，并且被并入而构成这份说明书的一部分，与描述一起来说明本发明的实施例，以便解释本发明的原理。

在附图中：

5 图 1 说明了用于具有两个有源元件的电压写入型显示面板的相关技术的数据驱动电路；

图 2 说明了用于电流写入型显示面板的相关技术的数据驱动电路；

图 3 说明了：应用了对参考电流源进行镜像的方法的电流写入型显示面板的相关技术的数据驱动电路；

10 图 4 说明了：应用了通过使用参考电流源进行校正的方法的电流写入型显示面板的相关技术的数据驱动电路；

图 5A 说明了：用于根据本发明的优选实施例的电流写入型 AMOEL 显示面板的数据驱动电路；

图 5B 说明了图 5A 中的每一个通道电流产生电路的详细电路。

15

具体实施方式

现在，将详细参考本发明的优选实施例，其示例说明于附图 5A，5B 中。图 5A 说明了根据本发明的优选实施例的用于电流写入型 AMOEL 显示面板的数据驱动电路的方框图。

20 参考图 5A，数据驱动电路包括多个电流输出通道 I_{out1} ， I_{out2} ， \dots ， I_{outk} ；以及各个电流输出通道位置上的多个通道电流产生电路，用于使在电流输出通道 I_{out1} ， I_{out2} ， \dots ， I_{outk} 之间产生的电流级别的差最小化。

参考图 5B，通道电流产生电路包括具有相同的宽度、长度、电流输出通道 I_{out} 、以及一个公共栅极端的一对 PMOS 晶体管 Q_1 和 Q_2 ，偏压电路 10 25 连到 PMOS 晶体管对 Q_1 和 Q_2 的公共栅极端，以防止公共栅极端浮动，第一 NMOS 晶体管 M_1 用于接收来自该 PMOS 晶体管对 Q_1 和 Q_2 的电流， n 个第二 NMOS 晶体管 M_2 ， M_3 ， \dots ， M_{n+1} 的每一个都具有与第一 NMOS 晶体管 M_1 的栅极端一样的栅极端，以便与第一 NMOS 晶体管 M_1 一起形成电流镜像电路，用于对来自该 PMOS 晶体管对 Q_1 和 Q_2 的电流 I_{Q2} 进行镜像，并且，30 n 个第二 PMOS 晶体管 D_1 ， D_2 ， \dots ， D_n 分别与 n 个第二 NMOS 晶体管 M_2 ， M_3 ， \dots ， M_{n+1} 的输出侧连接，该 n 个第二 NMOS 晶体管 M_2 ， M_3 ， \dots ， M_{n+1}

的输出并联连接，以形成电流输出通道 $I_{out1}, I_{out2}, \dots, I_{outk}$ 之中的一个。

参考图 5B，PMOS 晶体管对 Q_1 和 Q_2 之中的一个具有相互连接的一个主体 (body) 和一个源极，它们又相连到第一外部偏压 V_{Bias1} ，并且，PMOS 晶体管对的公共栅极端连到外部偏压电路 10 以防止浮动。外部偏压电路包括连在公共栅极端与地之间的三个 NMOS 晶体管，并具有用作公共栅极电压的第二外部偏压 V_{Bias2} 。

同时， n 个 PMOS 晶体管 D_1, D_2, \dots, D_n 中的每一个都接收一个比特的外部数字栅极信号，用于控制到相关的 NMOS 晶体管 M 的电流。来自第二 PMOS 晶体管 D_1, D_2, \dots, D_n 的电流被并联地加在一起，并作为一个驱动电流提供給电流输出通道之中的一个。通过将 n -比特的数字信号结合到 n 个 PMOS 晶体管 D_1, D_2, \dots, D_n ，驱动电流被调节以具有二进制形式的电流级别。 n 个第二 NMOS 晶体管 M_2, M_3, \dots, M_{n+1} 的每一个的宽度和长度被固定，使得流入到其中的电流是来自 PMOS 晶体管对的电流 I_{Q2} 的 2^α ($\alpha=0, 1, \dots$) 倍。

如根据该实施例所解释的，具有正比于 PMOS 晶体管 Q_1 和 Q_2 的门限电压的差的平方的小的变化的电流，是通过使用 PMOS 晶体管对 Q_1 和 Q_2 而产生的，并且，通过 $n+1$ 个 NMOS 晶体管 M_1, M_2, \dots, M_{n+1} 的 n 个电流镜像电路而被镜像。来自每个电流镜像电路的输出电流，通过相关的第二 PMOS 晶体管 ‘D’ 来进行调节，并被并联地加在一起。相加的值是一个通道的电流值。从而，所获得的通道电流值的每一个，使通道之间的驱动电流的级别的差最小化，而进行 AMOEL 显示面板的均匀操作。

此外，参考图 5B，即使在输出通道上感应的电压由于各个输出通道的有效的接地阻抗的差异而不同，由接地阻抗的差异而引起的在输出通道上的电压升高，也不会对通道的输出电流产生大的影响，这是因为，在 PMOS 晶体管对 Q_1 和 Q_2 上产生的电流 I_{Q2} ，通过 $n+1$ 个 NMOS 晶体管 M_1, M_2, \dots, M_{n+1} 的 n 个电流镜像电路而被镜像。在地线上的电压升高的影响被抵弥补了。

当数据驱动电路具有许多通道，这些通道需要很长的公共的地线时，在彼此相距很远的通道之间的地线的有效阻抗是不同的。如果通道之间的接地阻抗不同，在地线上感应的电压也不同。然而，参考图 5B，来自 PMOS 晶体管对 Q_1 和 Q_2 的电流 I_{Q2} 与通道的驱动电流相比是很小的，所述的驱动电流是 $n+1$ 个第二 NMOS 晶体管 $M_1, M_2, M_3, \dots, M_{n+1}$ 的电流镜像电路的输

出电流，因来自 PMOS 晶体管对 Q₁ 和 Q₂ 的电流 I_{Q2} 引起的电压降可以被忽略。

此外，由 PMOS 晶体管对 Q₁ 和 Q₂ 产生的来自一个通道的输出电流，在被 NMOS 晶体管的镜像电路镜像之后而被利用，由接地阻抗的差异引起的电压升高不会对来自通道的输出电流产生影响。这样，在具有不同有效电压的通道之间的电流级别的偏差可以被减小到一个小的值。

来自通道的输出电流 I_{out} 的级别，通过控制来自电流镜像电路的输出电流而被固定，其中，来自电流镜像电路的输出电流是借助于 n 个 PMOS 晶体管 D₁, D₂, ..., D_n 而镜像于第一 NMOS 晶体管 M₁ 的电流 I_{Q2} 的。该 n 个第二 PMOS 晶体管 D₁, D₂, ..., D_n 使用作为门信号的外部 n-比特数字信号，来控制来自电流镜像电路的输出电流。使用 n-比特数字信号作为其门信号的 n 个 PMOS 晶体管 D₁, D₂, ..., D_n，与 n 个第二 NMOS 晶体管 M₂, M₃, ..., M_{n+1} 串联连接。NMOS 晶体管 M₂, M₃, ..., M_{n+1} 之中的每一个，通过 n-比特的组合而具有 2ⁿ 个电流级别的宽度和长度，从而是来自 PMOS 晶体管对 Q₁ 和 Q₂ 的电流 I_{Q2} 的 2^α (α=0, 1, 2,) 倍之中的一个。

流入第一 NMOS 晶体管 M₁ 的电流 I_{Q2} 是由 PMOS 晶体管对 Q₁ 和 Q₂ 产生的，所述的 PMOS 晶体管对 Q₁ 和 Q₂ 具有与第一 NMOS 晶体管 M₁ 相同的宽度和长度。PMOS 晶体管对 Q₁ 和 Q₂ 的公共栅极连接有可变的阻抗。外部偏压电路 10 连到 PMOS 晶体管对 Q₁ 和 Q₂ 的公共栅极上。源极和 PMOS 晶体管 Q₁ 的主体相互连接，再连到第一外部偏置电流源 V_{Bias1} 上。PMOS 晶体管 Q₂ 的源极连接正电压源 V_{DD}。

来自 PMOS 晶体管 Q₂ 的电流 I_{Q2} 可以通过下面的方程(1)和(2)计算。

$$|I_{Q1}| = K1(V_{Bias1} - V_x - |V_{th1}|)^2 \text{----- (1)}$$

其中， $V_x = V_{Bias1} - |V_{th1}| - \sqrt{(|I_{Q1}| / K1)}$ ，以及

25 $|I_{Q2}| = K2(V_{DD} - V_x - |V_{th2}|)^2$
 $= K2(V_{DD} - V_{Bias1} + |V_{th1}| - |V_{th2}| + \sqrt{(|I_{Q1}| / K1)})^2 \text{----- (2)}$

其中， $K1 = \mu_p C_{ox}(W1 / L1)$ ，

$$K2 = \mu_p C_{ox}(W2 / L2)。$$

参考方程(2)，如果正电压源电压 V_{DD}、第一外部偏压 V_{Bias1} 和 $\sqrt{(|I_{Q1}| / K1)}$ 是常数，则来自 PMOS 晶体管 Q₂ 的电流 I_{Q2} 与 PMOS 晶体管对 Q₁ 和 Q₂ 的门限电压的差的平方成正比。

这意味着，如果 PMOS 晶体管 Q₁ 和 Q₂ 设计成为接近的，则 PMOS 晶

晶体管对 Q_1 和 Q_2 提供均匀的源极电流 I_{Q2} ，即使是当电流输出通道之间的距离远时，在各个通道上的 PMOS 晶体管 Q_1 和 Q_2 的门限电压变化了。

也就是说，由于 PMOS 晶体管对 Q_1 和 Q_2 设计成为接近的，来自 PMOS 晶体管对的输出，即，来自 PMOS 晶体管对 Q_1 和 Q_2 的基极电流 I_{Q2} 具有小的偏差的电流值，所述的小的偏差的电流值与 PMOS 晶体管对 Q_1 和 Q_2 的门限电压的差的平方成正比，从而提供相当均匀的电流值。

另外，如果 PMOS 晶体管对 Q_1 和 Q_2 相隔远，则来自 PMOS 晶体管对 Q_1 和 Q_2 的基极电流 I_{Q2} 是大的偏差的电流，所述的大的偏差的电流与 PMOS 晶体管对 Q_1 和 Q_2 的门限电压 V_{th1} 和 V_{th2} 的差的平方成正比。

10 如所解释的，由于所获得的均匀的电流 I_{Q2} 如此通过位于靠近 PMOS 晶体管对 Q_1 和 Q_2 的 $n+1$ 个 NMOS 晶体管的电流镜像电路，所以电流镜像电路的并联总合被用作来自数据驱动电路的一个均匀通道的输出电流 I_{out} 。

另外，该实施例的数据驱动电路通过下述的原理补偿了通道的地电压的差异，即使出现了差异。

15 如所解释的，在数据驱动电路中有很多电流输出通道的情况下，要求通道的公共地线非常长，其长度依赖于通道的位置。相距远的通道具有不同的地线的有效阻抗。

例如，如果两个相距远的通道具有不同的有效接地阻抗，在地线上感应的电压也因通道的不同而异。

20 由于在数据驱动电路中，来自用于一个通道的 PMOS 晶体管对的电流 I_{Q2} 的级别，与通道输出电流 I_{out} 相比是如此之低，从而足以忽略由 PMOS 晶体管对 Q_1 和 Q_2 的电流 I_{Q2} 引起的正电压源电压 V_{DD} 的电压降。在简单地使用 NMOS 晶体管的电流源时，由通道输出电流 I_{out} 引起的在地线上的电压上升，是通道输出电流不同的原因。

25 来自 PMOS 晶体管对 Q_1 和 Q_2 的电流 I_{Q2} ，与镜像到 $n+1$ 个 NMOS 晶体管 M_1, M_2, \dots, M_{n+1} 的电流镜像电路的电流 I_{Q2} 一起被使用，接地阻抗上的电压上升不影响通道输出电流 I_{out} 。

如已经解释的，用于本发明的电流写入型 AMOEL 显示面板的数据驱动电路具有下述优点。

30 通过使用具有一定宽度和长度的晶体管对，提供了与晶体管的门限电压的差的平方成正比的小的偏差的电流。相应地，不同于使用与门限电压

的差的平方成正比的大的偏差的电流的相关技术的情况，可以防止在相互独立且相距远的电流输出通道之间的输出电流级别的差异。

显然，对于本领域技术人员来说，在不脱离本发明的实质和范围的前提下，用于本发明的电流写入型 AMOEL 显示面板的数据驱动电路可以有
5 各种修改和变化。因而，本发明意图覆盖本发明的这些修改和变化，只要它们落入所附权利要求及其同等物的范围之内。

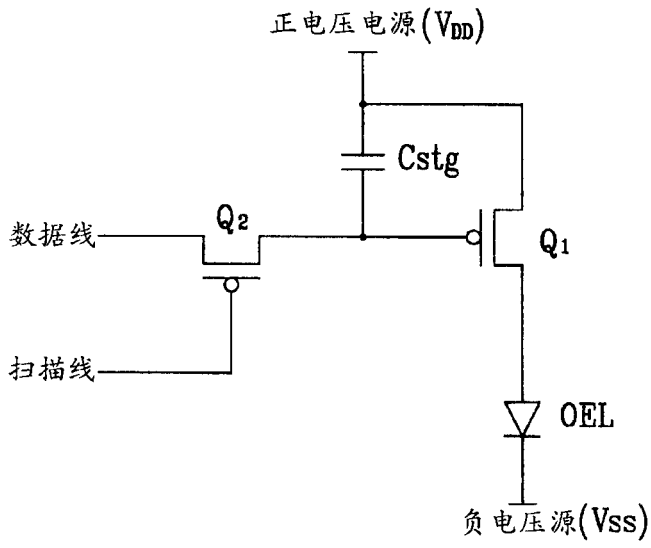


图 1

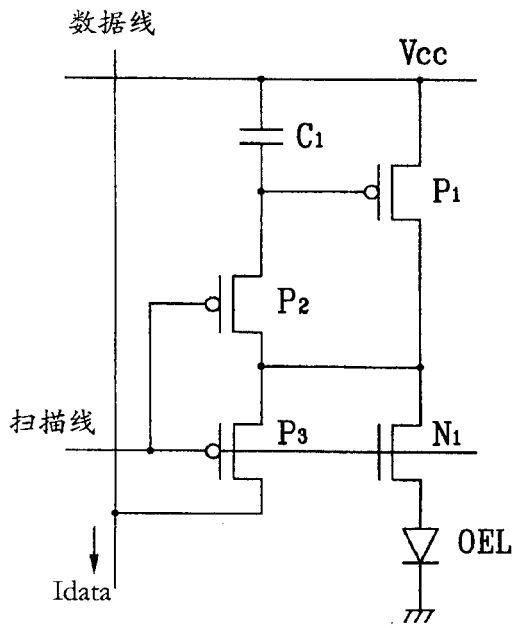


图 2

图 3

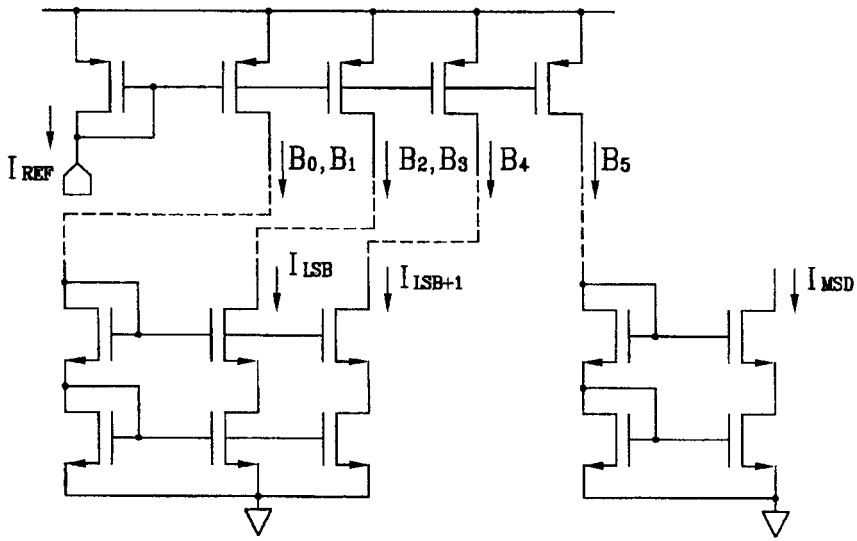


图 4

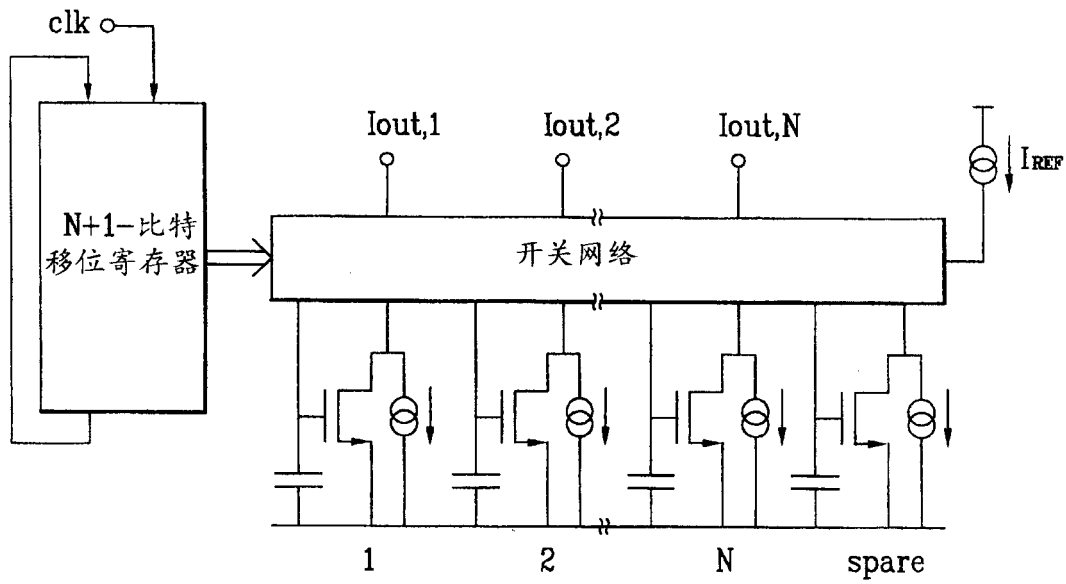


图 5A

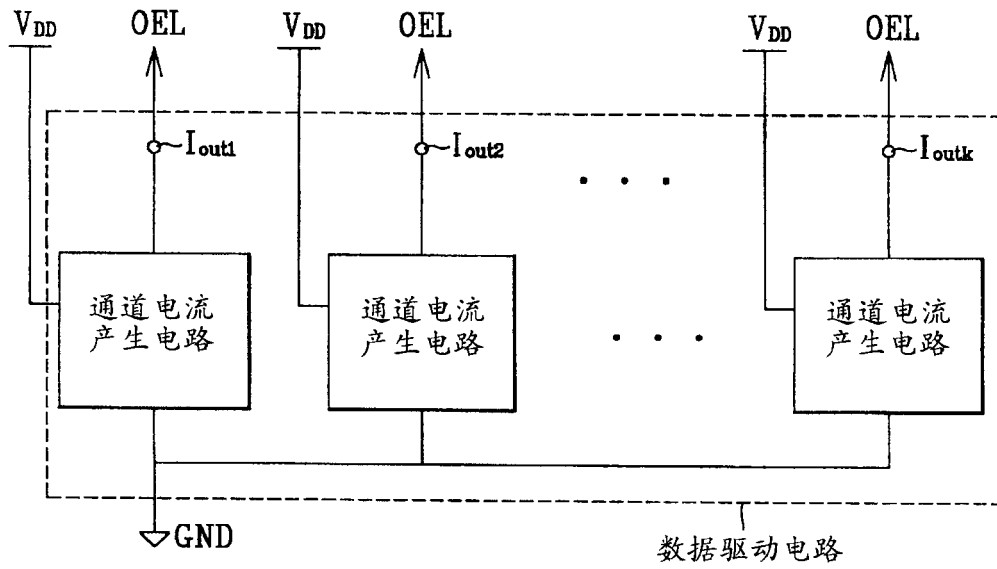
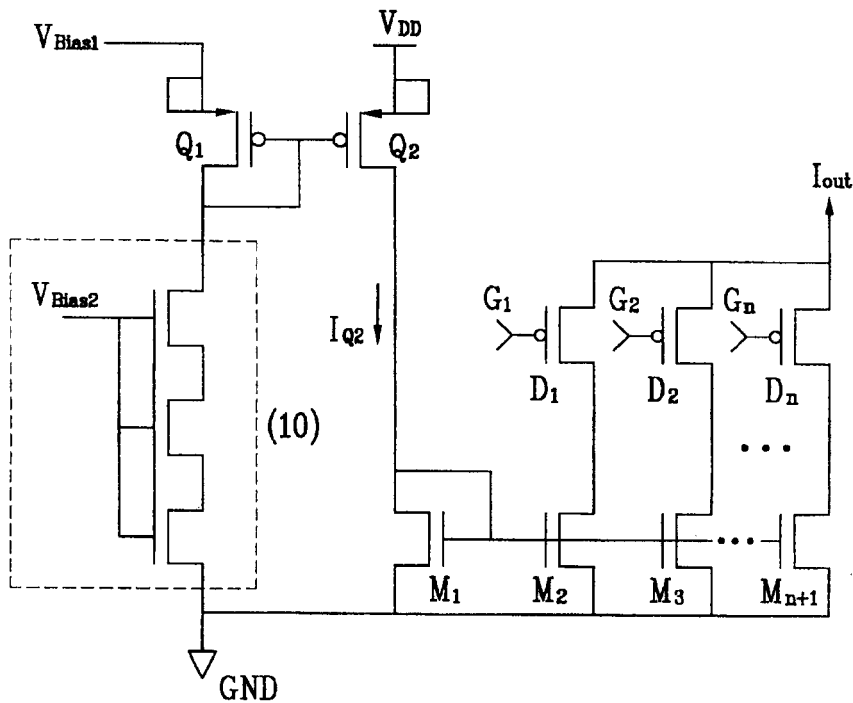


图 5B



专利名称(译)	电流写入型有源矩阵有机电致发光显示面板数据驱动电路		
公开(公告)号	CN1431643A	公开(公告)日	2003-07-23
申请号	CN03105440.4	申请日	2003-01-09
申请(专利权)人(译)	LG电子株式会社		
当前申请(专利权)人(译)	LG电子株式会社		
[标]发明人	金学洙 罗永善 权五庆		
发明人	金学洙 罗永善 权五庆		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H03F3/343 G09G3/00		
CPC分类号	G09G3/325 G09G2310/027 G09G3/3283		
代理人(译)	马莹 邵亚丽		
优先权	1020020001175 2002-01-09 KR		
其他公开文献	CN1220171C		
外部链接	Espacenet SIPO		

摘要(译)

用于电流写入型AMOEL显示面板的数据驱动电路，包括：多个电流输出通道；多个在各个电流输出通道上的通道电流产生电路，用于使电流输出通道之间产生的电流级别的差最小化。每个通道电流产生电路包括：一对晶体管；电流产生部分，用于产生与一对晶体管的门限电压的差的平方成正比的小偏差的电流；以及电流镜像部分，用于对电流入行镜像，并将镜像的电流作为通道的通道电流入行发送，从而使输出通道之间产生的电流级别的差最小化，并均匀地驱动AMOEL显示面板。

