



(12) 发明专利申请

(10) 申请公布号 CN 101897025 A

(43) 申请公布日 2010. 11. 24

(21) 申请号 200880120177. 8

G09G 3/32(2006. 01)

(22) 申请日 2008. 12. 01

(30) 优先权数据

2007-318673 2007. 12. 10 JP

(85) PCT申请进入国家阶段日

2010. 06. 10

(86) PCT申请的申请数据

PCT/US2008/013254 2008. 12. 01

(87) PCT申请的公布数据

W02009/075740 EN 2009. 06. 18

(71) 申请人 全球 OLED 科技有限责任公司

地址 特拉华州

(72) 发明人 川边和佳

(74) 专利代理机构 北京三友知识产权代理有限

公司 11127

代理人 李辉 王伶

(51) Int. Cl.

H01L 27/32(2006. 01)

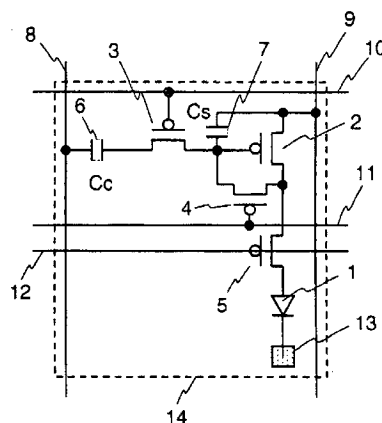
权利要求书 1 页 说明书 6 页 附图 4 页

(54) 发明名称

像素电路

(57) 摘要

为了有效执行用于电致发光元件的驱动晶体管的阈值补偿。第一存储电容器具有连接到数据线的第一端子。开关晶体管的第一端子和复位晶体管的第一端子连接到第一存储电容器的第二端子。该第一存储电容器与数据线交迭地形成。



1. 一种用于电致发光元件的像素电路,其包括:

数据线 and 电源;

第一存储电容器,其具有连接到所述数据线的第一端子;

开关晶体管,其具有连接到所述第一存储电容器的第一端子,并且所述开关晶体管通过连接到控制端子的选择线来导通和截止;

驱动晶体管,其具有连接到所述开关晶体管的第二端子的控制端子并且具有连接到所述电源的第一端子;

在有机电致发光元件中的发光晶体管,该有机电致发光元件通过所述发光控制晶体管连接到所述驱动晶体管的第二端子;

第二存储电容器,其将所述驱动晶体管的所述控制端子与第一电源侧端子相连接;以及

复位晶体管,其将所述驱动晶体管的在靠近所述发光控制晶体管一侧的第二端子与所述驱动晶体管的所述控制端子或所述第一存储电容器的靠近所述驱动晶体管的一侧相连接,其中,所述第一存储电容器与所述数据线交迭地形成。

2. 根据权利要求 1 所述的像素电路,其中,所述第一存储电容器包括:

这样的一部分,构成了所述开关晶体管或所述复位晶体管的半导体薄膜在该部分延伸;

绝缘膜,其用与所述开关晶体管或所述复位晶体管的栅绝缘膜的处理相同的处理形成;以及

金属层,其用与所述开关晶体管或所述复位晶体管的栅极的处理相同的处理形成;其中,所述金属层和所述数据线通过接触部相连接。

3. 根据权利要求 1 所述的像素电路,其中,

在与所述驱动晶体管的阈值电压相对应的电压已经写入所述驱动晶体管的栅极之后,所述开关晶体管截止,同时所述复位晶体管和所述发光控制晶体管导通,并且与所述驱动晶体管的有机电致发光元件侧端子的电压相对应的电压,通过流入所述驱动晶体管的电流,而被设置在所述驱动晶体管的所述栅极处。

像素电路

技术领域

[0001] 本发明涉及一种有机电致发光 (EL) 显示器等的像素电路。

背景技术

[0002] 由于有机 EL 显示器属于自发光类型,所以,其具有对比度高和响应快的特点,适于移动图像应用,例如显示自然图像的电视机。一般来说,使用例如晶体管的控制元件用恒定电流来驱动有机 EL 元件,但是,由于在这种情况下晶体管处于饱和区,所以即使相同的灰度电压(电压阶跃)施加至这些像素,由于晶体管的 V_{th} (阈值电压)和迁移率特性的变化,在各像素中产生不同的电流,并且不可能保持均匀的发光亮度,这是一个问题。为了解决这个问题,W01998048403 公开了一种具有设置在像素内部的用于补偿 V_{th} 的电路的结构。

发明内容

[0003] 图 7 示出了 W01998048403 公开的像素电路。在图 7 中,具有连接到数据线的源极的 P 沟道开关晶体管 P4 的栅极连接到选通线,该晶体管 P4 的漏极通过电容 C_c 连接到 P 沟道驱动晶体管 P1 的栅极。该驱动晶体管 P1 的源极连接到电源 VDD,而漏极通过 P 沟道发光控制晶体管 P2 和有机 EL 元件 OLED 连接到负电源。同样,电容 C_s 设置于驱动晶体管 P1 的栅极和电源 VDD 之间,同时复位晶体管 P3 设置于驱动晶体管 P1 的栅极和源极之间。

[0004] 以此结构,在通过发光控制线,发光控制晶体管 P2 已经截止的状态下,电源电势 VDD 施加于数据线,通过选通线和复位线,开关晶体管 P4 和复位晶体管 P3 导通, V_{th} 被写入电容 C_c 和 C_s 。接下来,复位晶体管 P3 截止,以通过电容 C_c 将数据线灰度信号电压 V_{sig} 施加至驱动晶体管 P1 的栅极,从而栅电压 $V_g = C_c / (C_c + C_s) \times V_{sig} + V_{th}$ 被施加至驱动晶体管 P1 的栅极端子。

[0005] 由此,由于在驱动晶体管栅极端子该 V_{th} 总是作为偏移量与灰度信号电压相加,所以 V_{th} 被自动校正。然而,由于灰度信号电压的动态范围被减小到 $C_c / (C_c + C_s)$,所以为了避免这种情况,优选的是使 C_c 相对于 C_s 足够大。然而,如果 C_c 制作的较大,则像素部分中被 C_c 占据的表面区域增大,使得开口部分的表面面积不利地增大。结果,在高电流强度下驱动该有机 EL 元件,难以保证可靠性,例如寿命。

[0006] 也难以用专利文献 1 公开的相关技术中的 V_{th} 校正电路来校正迁移率,并且,在像素间存在迁移率变化时,难以在宽的灰度范围内保证高的亮度均匀性。同样,有机 EL 元件伴随着发光,通常发光亮度降低,而根据现有技术的像素电路,也不可能校正发光亮度的降低。

[0007] 本发明涉及(一种像素电路)包括:第一存储电容器,其具有连接到数据线的第一端子;开关晶体管,其具有连接到该第一存储电容器的第一端子,并且所述开关晶体管通过选择线来导通和截止;驱动晶体管,其具有连接到所述开关晶体管的第二端子的控制端子,以及具有连接到电源的第一端子;有机电致发光元件,其通过发光控制晶体管连接到所述

驱动晶体管的第二端子；第二存储电容器，其将所述驱动晶体管的所述控制端子与第一电源侧端子相连接；以及复位晶体管，其将所述驱动晶体管的在所述发光控制晶体管附近侧的第二端子与所述驱动晶体管的所述控制端子或所述第一存储电容器的靠近所述驱动晶体管的一侧相连接，其中，所述第一存储电容器与所述数据线交迭地形成。

[0008] 另外，所述第一存储电容器还可以包括：这样的一部分，构成了所述开关晶体管或所述复位晶体管的半导体薄膜在该部分延伸；绝缘膜，其由与所述开关晶体管或所述复位晶体管的栅绝缘膜的处理相同的处理形成；金属层，其由与所述开关晶体管或所述复位晶体管的栅极的处理相同的处理形成，其中，所述金属层和所述数据线通过接触部相连接。

[0009] 还可以在与所述驱动晶体管的阈值电压相对应的电压已经写入所述驱动晶体管的栅极之后，使所述开关晶体管截止，同时使所述复位晶体管和所述发光控制晶体管导通，也可以通过流入所述驱动晶体管的电流，将通过有机电致发光元件和所述驱动晶体管对电源电压的分压所获得的电压写入所述驱动晶体管的所述栅极。

[0010] 由此，根据本发明，可以形成与数据线交迭的存储电容器。因此，容易获得大容量存储电容器。由此，可以容易地对驱动晶体管执行阈值补偿。

附图说明

[0011] 图 1 是示出了实施方式的像素电路的一个示例的结构图；

[0012] 图 2A 是示出了第一存储电容器的结构的平面图；

[0013] 图 2B 是示出了第一存储电容器的结构的截面图；

[0014] 图 2C 是示出了第一存储电容器的另一结构示例的截面图；

[0015] 图 3 是示出了实施方式的像素电路的另一示例的结构图；

[0016] 图 4 是示出了各线的状态的示例的时间图；

[0017] 图 5 是示出各线的状态的另一示例的时间图；

[0018] 图 6 是示出各线的状态的又一示例的时间图；以及

[0019] 图 7 是示出了相关技术的像素电路的结构图。

具体实施方式

[0020] 下文将基于附图描述本发明的实施方式。图 1 示出了本实施方式的像素 14 的像素电路。有机 EL 元件 1 的阴极连接到所有像素所共有的阴极电极 13（用于供给 VSS）；有机 EL 元件 1 的阳极连接到发光控制晶体管 5 的漏极端子，该发光控制晶体管 5 的栅极端子连接到发光控制线 12。发光控制晶体管 5 的源极端子连接到驱动晶体管 2 的漏极端子，该驱动晶体管 2 的源极连接到所有像素所共有的电源线 9（用于供给 VDD）。

[0021] 具有连接到复位线 11 的栅极端子的复位晶体管 4 的源极端子连接到发光控制晶体管 5 和驱动晶体管 2 二者的连接点，同时，复位晶体管 4 的漏极端子连接到第一存储电容器 6 的一端，该第一存储电容器 6 的另一端连接到数据线 8 以及开关晶体管 3 的漏极端子，开关晶体管 3 的栅极端子连接到选通线 10。开关晶体管 3 的源极端子连接到驱动晶体管 2 的栅极端子以及第二存储电容器 7 的一端，第二存储电容器 7 的另一端连接到电源线 9，由此构成像素 14。

[0022] 第一存储电容器 6 具有电容值 C_c ，第二存储电容器 7 具有电容值 C_s 。前文已经描

述了这样的事实：在防止施加于数据线 8 的灰度信号电压 V_{sig} 的动态范围降低时，优选地使得与第二存储电容器的电容值 C_s 相比第一存储电容器的电容值 C_c 更大。在本实施方式中，像素 14 被构造为能够保证电容 C_c 足够大，因为可以通过与数据线 8 耦合来形成第一存储电容器 6。

[0023] 图 2A 和 2B 示出了沿数据线 8 形成的第一存储电容器 6 的示例。第一存储电容器 6 的一端连接到数据线 8，而另一端连接到开关晶体管 3 和复位晶体管 4 二者的漏极端子。因此，便于用掺杂有杂质的多晶硅薄膜形成电容器，其中，可以使用第一存储电容器 6 的一端作为数据线，使用另一端作为开关晶体管 3 和复位晶体管 4 二者的漏极端子。

[0024] 此处，图 2A 和图 2B 所示的第一存储电容器 6 是通过用栅元件和已掺杂有杂质的多晶硅薄膜夹着栅绝缘膜而形成的，栅绝缘膜形成在已掺杂有杂质的多晶硅薄膜上，数据线 8 的金属通过栅金属和另一个层间绝缘膜形成在上述栅绝缘膜上。由此，基于普通的多晶硅工艺形成第一存储电容器 6。然后，如截面 A-A' 所示，数据线 8 和栅金属通过接触部来相连接，第一存储电容器的一端构成数据线 8，另一端构成已掺杂有杂质的多晶硅薄膜，如图 2A 和图 2B 所示的第一存储电容器 6 起到如图 1 中的存储电容器 6 的作用。

[0025] 通过延伸开关晶体管 3 和复位晶体管 4 二者的漏极端子来形成已掺杂有杂质的多晶硅薄膜，第一存储电容器 6 的栅金属是通过与晶体管的栅极相同的处理而形成的，但是，它们电绝缘。多晶硅薄膜的中央部分是基本上没有掺杂杂质的沟道区域，在任意一侧具有掺杂有杂质的漏区和源区，以及通过将栅极经由栅绝缘膜置于沟道区上，形成晶体管。

[0026] 通过如此构造像素电路，可以使用与数据线 8 的耦合来形成第一存储电容器 6，这表明通过沿数据线 8 形成第一存储电容器 6，可以使存储电容器 6 的电容值 C_c 足够大。

[0027] 除了借助于栅绝缘膜，也可以借助于层间绝缘膜来形成存储电容器 6，同时，除了掺杂有杂质的多晶硅，起到存储电容器的端子作用的金属可以使用栅金属等。更具体地而言，通过不形成如图 2B 所示的在数据线和栅金属之间的接触部，而将栅金属连接到掺杂有杂质的并用作开关晶体管 3 和复位晶体管 4 二者的漏极的多晶硅薄膜，栅金属和数据线 8 通过层间绝缘膜彼此对置的区域起到存储电容器 6 的作用。

[0028] 例如，在如图 2C 的结构中，已掺杂有杂质的多晶硅薄膜连接到数据线 8。开关晶体管 3 和复位晶体管 4 二者的漏极端子与该已掺杂有杂质的多晶硅薄膜彼此绝缘。另一方面，栅金属通过接触部而连接到开关晶体管 3 和复位晶体管 4 二者的漏极端子。由此，栅金属和数据线之间、以及栅金属和掺杂有杂质的多晶硅薄膜之间，都起到第一存储电容器 6 的作用。

[0029] 图 3 示出了本发明另一像素 14 的示例。与图 1 的不同点在于复位晶体管 4 的漏极端子连接到驱动晶体管 2 的栅极端子、第二存储电容器 7 的未连接到电源线 9 的一端、以及开关晶体管 3 的源极端子。在该像素 14 中，通过下文将要说明的控制方法，也可以校正驱动晶体管 2 的 V_{th} 。

[0030] 图 4 示出了利用图 1 和图 3 所示的像素 14 来校正驱动晶体管 2 的 V_{th} 的控制方法。如图 4 所示，水平周期被划分为复位周期和数据写入周期，像素 14 的操作在各周期不同。

[0031] 在选择了像素 14 的线的水平周期内，选通线 10 被选中，但是在初始的复位周期内，首先将复位线 11 设置为低。由此，开关晶体管 3 和复位晶体管 4 导通，驱动晶体管 2 做

二极管连接,使得电流流入有机 EL 元件 1。此后,通过将发光控制线 12 设置为高,使得流入有机 EL 元件 1 中的电流通过复位晶体管 4 流到第一存储电容器 6 和第二存储电容器 7。就在这发生的同时,与电源线 9 上同样的电源电压 VDD 施加至数据线 8,所以,当经过某一时间并电流不再流动时, V_{th} 保持在第一存储电容器 6 和第二存储电容器 7 中。由于通过当时将复位晶体管 11 设置为高而使复位晶体管 4 截止,所以保持在第一存储电容器 6 和第二存储电容器 7 中的电势被固定下来,复位周期完成。

[0032] 此后,如果灰度控制电压 V_{sig} 施加至数据线 8,则通过利用与第一耦合电容 6 耦合,将与灰度信号电压 V_{sig} 成比例的电势与 V_{th} 相加,将驱动晶体管 2 的栅电压 V_g 控制为 $V_g = C_c / (C_c + C_s) \times V_{sig} + V_{th}$,从而校正驱动晶体管 2 的 V_{th} 。然而,前文描述的复位周期不是必需维持到基本上没有电流流入驱动晶体管 2 内,复位周期可以为诸如几 μs 到几十 μs 的合适时间。

[0033] 第一存储电容器 6 的电容 C_c 比第二存储电容器 7 的电容 C_s 充分大,这表明 $C_c / (C_c + C_s)$ 基本上等于 1,从而保持灰度信号电压 V_{sig} 的动态范围。

[0034] 一旦水平周期完成,则发光控制线被设置为低,与写入的灰度信号电压 V_{sig} 相对应的电流通过发光控制晶体管 5 流入有机 EL 元件 1 中,并且保持发光直到选择了下一个像素 14 的线。

[0035] 通过如上所述地控制像素 14 来校正 V_{th} ,但是如果驱动晶体管 2 的迁移率对于各像素是不同的,则即使可以只校正 V_{th} ,但是流入有机 EL 元件 1 中的电流也将变化。由此,像素间产生电压差、亮度均匀性恶化。因而,如以下所描述的,通过控制图 1 的像素 14 来校正由于迁移率不同造成的亮度变化。

[0036] 图 5 示出了用于除了 V_{th} 校正之外还执行迁移率校正的控制方法。不同于图 4,水平周期分为 4 部分,即,复位周期、第一数据写入周期、电流差提取周期、和第二数据写入周期。在复位周期中,与图 4 相似,当像素 14 的选通线 10 被选中时,通过将复位线 11 设置为低,将驱动晶体管 2 做二极管连接,电流临时流入有机 EL 元件。接下来,通过将发光控制线 12 设置为高,通往有机 EL 元件 1 的电流通路被切断,电流继续流入第一存储电容器 6 和第二存储电容器 7,写入 V_{th} (复位周期)。

[0037] 此后,如果复位线 11 被设置为高,写入第一存储电容器 6 和第二存储电容器 7 的 V_{th} 被固定下来,并且通过将灰度信号电压 V_{sig} 施加至数据线 8,在驱动晶体管 2 的栅电压下校正 V_{th} ,并产生了为倒置的灰度信号电压 V_{sig} 的电势 $V_g = C_c / (C_c + C_s) + V_{th}$ 。所以,通过将发光控制线 12 设置为低,使得 V_{th} 校正后的电流流入有机 EL 元件 1 中(第一数据写入周期)。

[0038] 此处,一旦选通线 10 被设置为高,即使取消选中, V_{th} 校正后的电流仍继续流动。此时,如果复位线 11 被设置为低,则存储在第一存储电容器 6 处的电势随着流入有机 EL 元件 1 中的电流而变化。即,如果复位线 11 被设置为低,则电流通过复位晶体管 4 从第一存储电容器 6 流到有机 EL 元件 1,但是,如果大电流流入有机 EL 元件 1(驱动晶体管 2 的迁移率高),则复位晶体管 4 的源极和漏极之间的电压变小,这表明从第一存储电容器 6 流出的电流变小,而如果流入有机 EL 元件 1 的电流较小(驱动晶体管 2 的迁移率低),则复位晶体管 4 的源极和漏极之间的电压变高,使得从第一存储电容器 6 流出的电流变大。

[0039] 一旦经过了复位线 11 被设置成低的电流差提取周期并且复位线 11 被设置成高,

在驱动晶体管 2 的迁移率较高的情况下,第一存储晶体管 6 的在复位晶体管侧的一端上的电势成为较高的电势,或在驱动晶体管 2 的迁移率较低的情况下,成为较低的电势,并且与驱动晶体管 2 的迁移率相对应的电势反映在第一存储电容器 6 处(电流差提取周期)。

[0040] 如果进行了这种迁移率校正,选通线 10 被再一次选中,反映在第一存储电容器 6 处的电势被写入第二存储电容器 7(第二数据写入周期)。由此,在驱动晶体管 2 的迁移率高的情况下,较高的电势被写入第二存储电容器 7,以抑制驱动晶体管 2 的电流,而如果迁移率低,则较低的电势被写入第二存储电容器 7,以增强驱动晶体管 2 的电流。

[0041] 因为除了在复位周期之外灰度信号电压 V_{sig} 持续施加至数据线 8,所以对于所有的灰度都进行同样的迁移率校正,但是,因为在电流差提取周期中,复位晶体管 4 的源漏电压变大,且在低灰度的情况下,所需的或更大的电流从第一存储电容器 6 流出,所以优选地是电流差提取周期不要太长。另选地,可以使复位线 11 的低电平相对较高,使复位晶体管 4 的导通电阻变大,或延长复位晶体管 4 的沟道长度,增加导通电阻以避免过电流流动。

[0042] 如果像上述那样控制图 1 的像素 14,则可以不仅校正 V_{th} ,而且校正迁移率,但是如果有机 EL 元件 1 恶化且电阻变高,则在电流差提取的时,复位晶体管 4 的源漏电压更多地受到有机 EL 元件 1 的电压升高的影响,这表明上述迁移率校正不再恰当地起作用。所以,优选地进行下述有机 EL 元件 1 的均一化处理。

[0043] 图 6 示出了利用图 1 的像素 14 对有机 EL 元件 1 实施均一化处理的控制方法。均一化处理的过程与图 5 相同之处在于水平周期分为 4 个周期,即,复位周期、第一数据写入周期、电流差提取周期和第二数据写入周期。如果与图 4 和图 5 相同的复位周期完成,并且 V_{th} 被写入第一存储电容器 6 和第二存储电容器 7,阴极电势 V_{SS} 施加至数据线 8(也可以为与 V_{SS} 相对应的低电压),通过写入第二存储电容器 7,第一数据写入周期完成。由此,驱动晶体管 2 的栅电压变得足够低,驱动晶体管 2 工作在线性区。如果在电流差提取周期,选通线 10 变为高且未被选中,则第二存储电容器 7 与第一存储电容器 6 隔离,通过将复位线 11 和发光控制线 12 设置为低,由有机 EL 元件 1 和驱动晶体管 2 的导通电阻分压的电势被写入第一存储电容器 6 的复位晶体管侧端子。

[0044] 如果有机 EL 元件 1 恶化且其电阻变高,则从电源线 9 流向有机 EL 元件 1 的电流变小,且驱动晶体管 2 在导通工作期间的漏电势由于压降变小而升高。在存在低恶化的情况下,从电源线 9 流向有机 EL 元件 1 的电流增大,所以,驱动晶体管 2 在导通工作期间的漏电势由于压降大而降低。驱动晶体管 2 的漏电势通过复位晶体管 4 被写入第一存储电容器 6,这表明有机 EL 元件 1 的恶化被反映到第一存储电容器 6。另选地,也可以通过在复位周期完成后的第一数据写入周期内,将 V_{DD} 电势(或高于 V_{DD} 的电势)施加至数据线 8,并且写入第二存储电容器 7 以可靠地关断驱动晶体管 2,来将有机 EL 元件 1 的恶化反映在第一存储电容器 6 处。即,如果在驱动晶体管 2 处于截止的状态下,复位晶体管 4 和发光控制晶体管 5 导通,则电流从保持在 V_{DD} 的数据线 8 流出,通过第一存储电容器 6、复位晶体管 4 和发光控制晶体管 5,流入有机 EL 元件 1,这表明有机 EL 元件 1 的阳极电势被反映在第一存储电容器 6 的一端,以及通过在合适的时间使复位晶体管 4 截止,与恶化程度相对应的电势保持在第一存储电容器 6。在这种情况下,如果恶化显著,则也难以使电流流动,这表明有机 EL 元件 1 的阳极电势变高,而如果恶化较轻,则电流容易流动,这表明阳极电势变低,这些不同反映在第一存储电容器 6 处。

[0045] 在第二数据写入周期中,选通线 10 再次被置为低,有机 EL 元件 1 的已经被写入第一存储电容器 6 的驱动电势和施加至数据线 8 的灰度控制信号 V_{sig} 借助于第一存储电容器 6 的耦合,被写入第二存储电容器 7,反映了第一有机 EL 元件 1 的恶化的电势保持在驱动晶体管 2 的栅极端子处。即,在显著恶化的像素中,具有较高的栅电压;而在轻微恶化的像素中,具有较低的栅电压。通过将发光控制线 12 设置为低,已经经过了根据恶化程度对于各有机 EL 元件 1 不同的均一化后的电流,以较小的电流流入显著恶化的像素中,而以较大的电流流入轻微恶化的像素中,从而进行恶化的均匀性。在第二数据写入周期中施加至数据线 8 的灰度信号电压 V_{sig} 在均一化处理时决定流入所有像素的电流,这一事实是武断的,优选地是设置为使得流入特定电流,因为如果流入太大电流,则恶化会加速。

[0046] 该均一化处理以例如约 60Hz 进行,以实现正常显示。在电流差提取周期内读取有机 EL 元件 1 在每个帧周期的的恶化状态,并且该恶化状态被反映在均一化后的电流中,这表明均一化后的电流是自动调整的。具体而言,作为均一化处理的结果,加速恶化的像素具有适度的均一化电流,最终相同的电流流入所有像素中。

[0047] 均一化处理优选地在与正常图像显示周期分开的周期中进行,但是也可以将一个帧划分为多个子帧,在开始的子帧中进行正常显示,之后在下一个子帧中执行均一化处理。在这种情况下,均一化处理优选地将设置均一化电流至不影响显示的程度。

[0048] 通常,有机 EL 元件的发光强度的恶化与上述的电阻增加密切相关,这表明利用均一化处理不仅能够均衡驱动电压,还能够预期使发光强度的恶化均一化,从而可以防止烧机 (burn-in)。

[0049] 部件列表

[0050] 1 有机电致发光元件

[0051] 2 驱动晶体管

[0052] 3 开关晶体管

[0053] 4 复位晶体管

[0054] 5 发光控制晶体管

[0055] 6 第一存储电容器

[0056] 7 第二存储电容器

[0057] 8 数据线

[0058] 9 电源线

[0059] 10 选通线

[0060] 11 复位线

[0061] 12 发光控制线

[0062] 13 阴极

[0063] 14 像素

[0064] P1 驱动晶体管

[0065] P2p 沟道发光控制晶体管

[0066] P3 复位晶体管

[0067] P4p 沟道开关晶体管

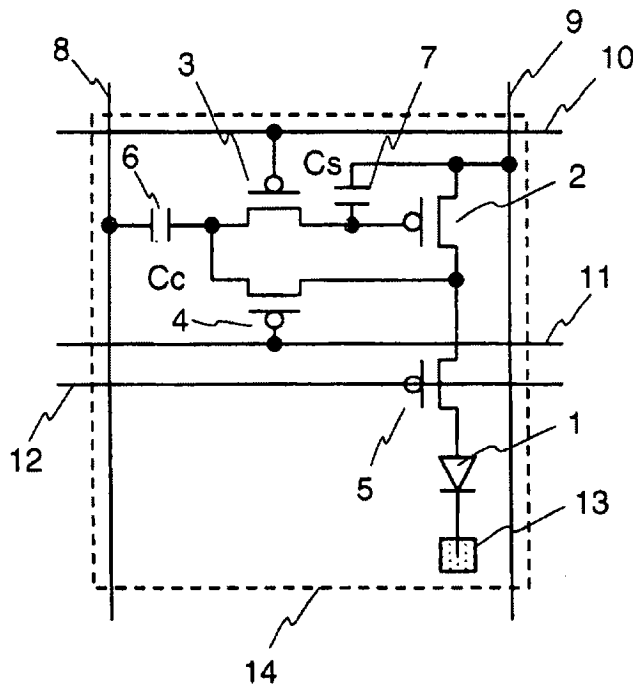


图 1

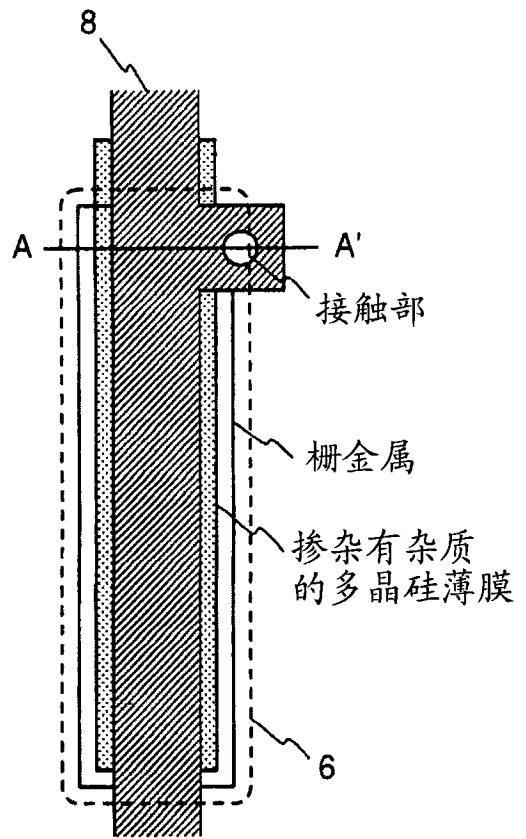


图 2A

A-A' 截面

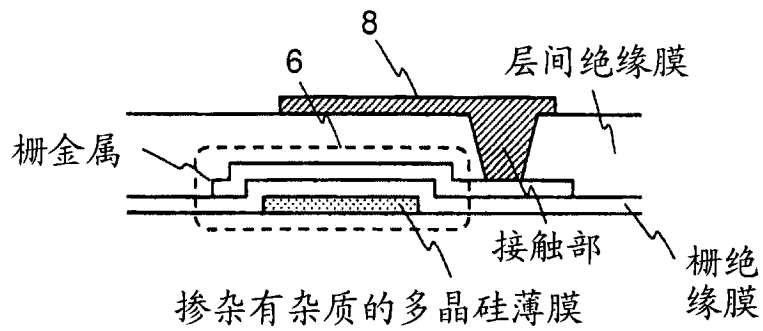


图 2B

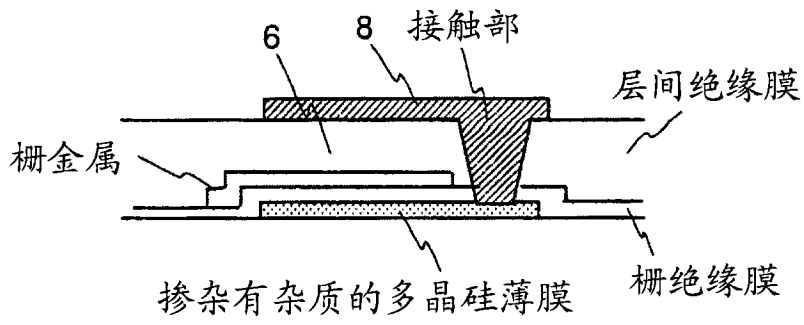


图 2C

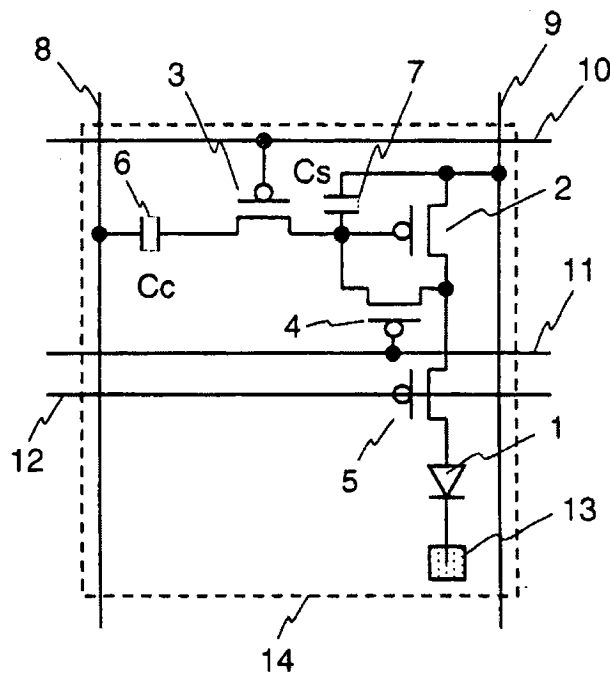


图 3

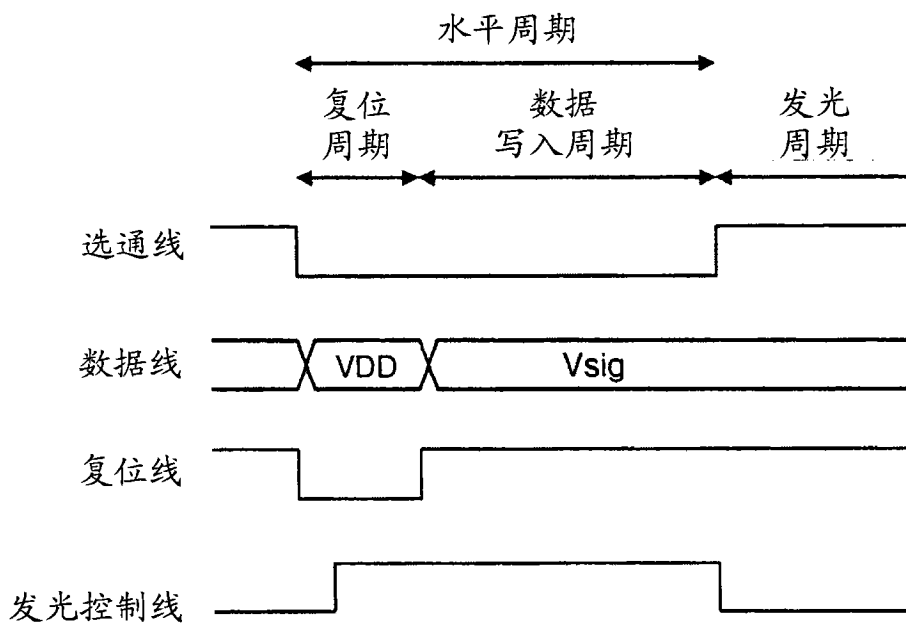


图 4

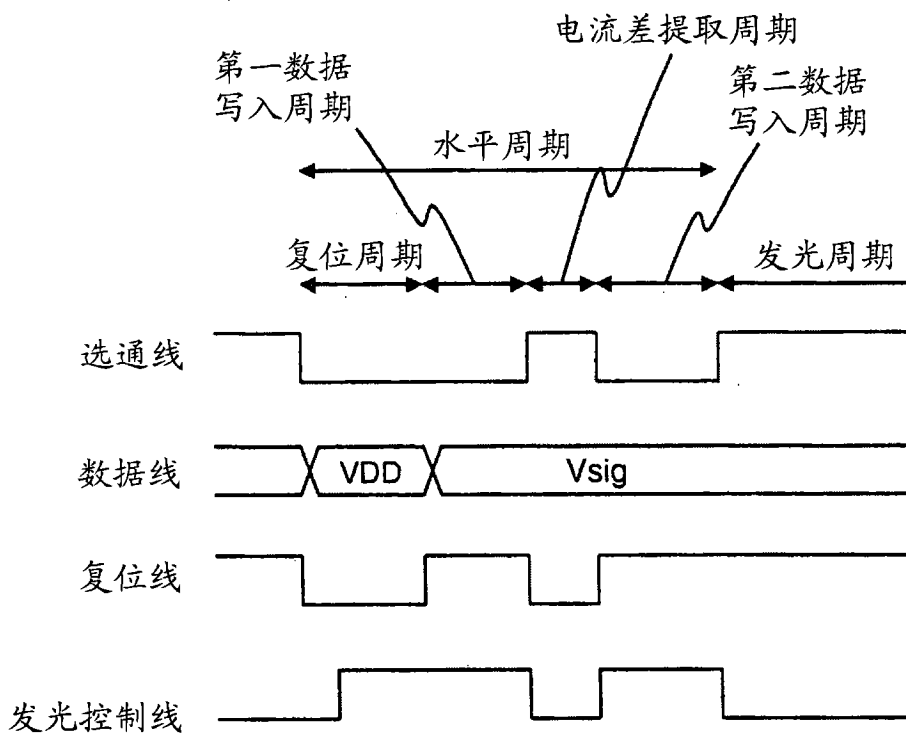


图 5

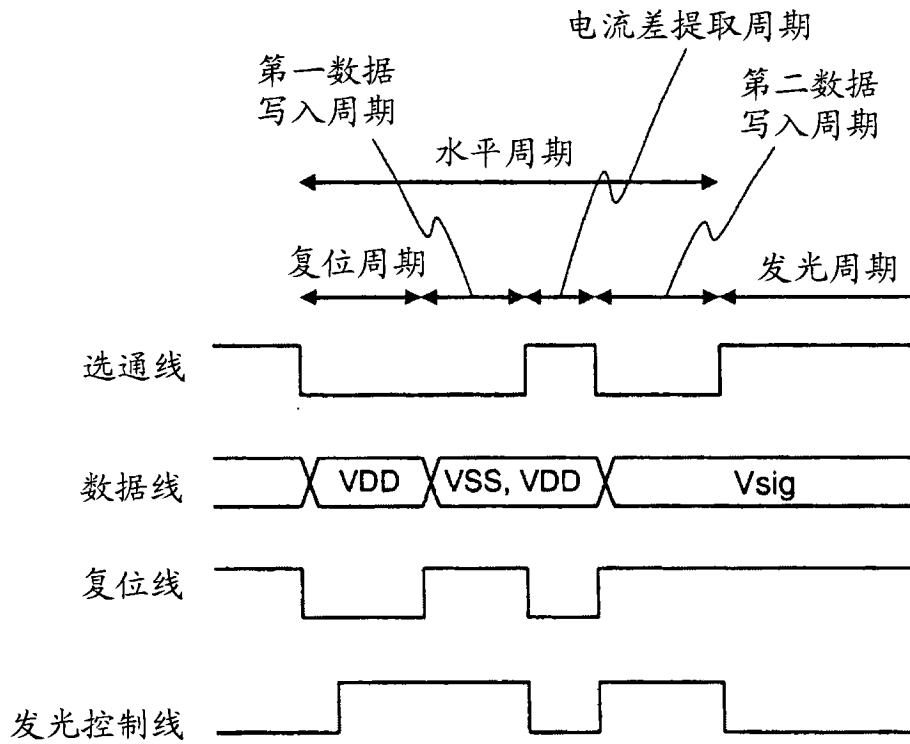
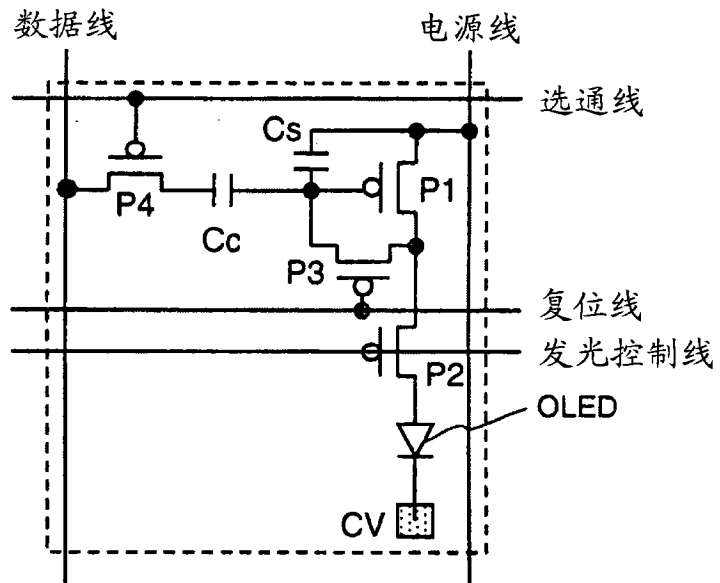


图 6



现有技术

图 7

专利名称(译)	像素电路		
公开(公告)号	CN101897025A	公开(公告)日	2010-11-24
申请号	CN200880120177.8	申请日	2008-12-01
[标]申请(专利权)人(译)	全球OLED科技有限责任公司		
申请(专利权)人(译)	全球OLED科技有限责任公司		
当前申请(专利权)人(译)	全球OLED科技有限责任公司		
[标]发明人	川边和佳		
发明人	川边和佳		
IPC分类号	H01L27/32 G09G3/32		
CPC分类号	G09G2300/0852 G09G2300/0861 G09G2310/0262 H01L27/3265 G09G3/3233 G09G2300/0819 G09G3/30 G09G3/32		
代理人(译)	李辉 王伶		
优先权	2007318673 2007-12-10 JP		
其他公开文献	CN101897025B		
外部链接	Espacenet SIPO		

摘要(译)

为了有效执行用于电致发光元件的驱动晶体管的阈值补偿。第一存储电容器具有连接到数据线的第一端子。开关晶体管的第一端子和复位晶体管的第一端子连接到第一存储电容器的第二端子。该第一存储电容器与数据线交迭地形成。

