



## (12) 发明专利

(10) 授权公告号 CN 101281719 B

(45) 授权公告日 2010. 10. 13

(21) 申请号 200710196018. 3

(22) 申请日 2007. 11. 28

(30) 优先权数据

10-2007-0034285 2007. 04. 06 KR

(73) 专利权人 三星移动显示器株式会社

地址 韩国京畿道水原市

(72) 发明人 金钟允

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

代理人 韩明星 刘奕晴

(51) Int. Cl.

G09G 3/30 (2006. 01)

G09G 3/32 (2006. 01)

G11C 19/28 (2006. 01)

(56) 对比文件

CN 1794331 A, 2006. 06. 28, 全文.

KR 20070034800 A, 2007. 03. 29, 全文.

KR 20040039640 A, 2004. 05. 12, 全文.

CN 1697008 A, 2005. 11. 16, 全文.

CN 1783189 A, 2006. 06. 07, 全文.

审查员 林邦镛

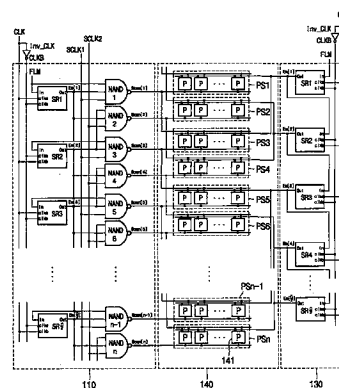
权利要求书 3 页 说明书 22 页 附图 9 页

(54) 发明名称

有机发光显示器

(57) 摘要

本发明提供了一种有机发光显示器, 该有机发光显示器包括: 第一移位寄存器, 与初始时钟线、初始负时钟线和初始驱动线电连接; 第二移位寄存器, 与初始负时钟线、初始时钟线和作为第一移位寄存器的输出线的第一发光控制线电连接; 第一 NAND 门, 与初始驱动线、第一发光控制线和第一时钟线电连接; 第二 NAND 门, 与第一发光控制线、作为第二移位寄存器的输出线的第二发光控制线和第二时钟线电连接; 第一像素部分, 与作为第一 NAND 门的输出线的第一扫描线电连接; 第二像素部分, 与作为第二 NAND 门的输出线的第二扫描线电连接; 第三像素部分, 与第一扫描线电连接; 第四像素部分, 与第二扫描线电连接。



1. 一种有机发光显示器,包括:

第一移位寄存器,所述第一移位寄存器具有与初始驱动线电连接的输入端、与初始时钟线电连接的第一时钟端、与初始负时钟线电连接的第二时钟端和与第一发光控制线电连接的输出端;

第二移位寄存器,所述第二移位寄存器具有与所述第一发光控制线电连接的输入端、与所述初始负时钟线电连接的第一时钟端、与所述初始时钟线电连接的第二时钟端和与第二发光控制线电连接的输出端;

第一 NAND 门,与所述初始驱动线、所述第一发光控制线和第一时钟线电连接;

第二 NAND 门,与所述第一发光控制线、作为所述第二移位寄存器的输出线的第二发光控制线和第二时钟线电连接;

第一像素部分,与作为所述第一 NAND 门的输出线的第一扫描线电连接;

第二像素部分,与作为所述第二 NAND 门的输出线的第二扫描线电连接;

第三像素部分,与所述第一扫描线电连接;

第四像素部分,与所述第二扫描线电连接。

2. 如权利要求 1 所述的有机发光显示器,其中,所述第一 NAND 门利用来自所述初始驱动线的初始驱动信号、来自所述第一发光控制线的第一发光控制信号和来自所述第一时钟线的第一时钟信号将第一扫描信号输出到所述第一扫描线。

3. 如权利要求 1 所述的有机发光显示器,其中,所述第二 NAND 门利用来自所述第一发光控制线的第一发光控制信号、来自第二发光控制线的第二发光控制信号和来自第二时钟线的第二时钟信号将第二扫描信号输出到所述第二扫描线。

4. 如权利要求 1 所述的有机发光显示器,其中,所述第一像素部分与第-1 扫描线、所述第一扫描线和所述第一发光控制线电连接。

5. 如权利要求 4 所述的有机发光显示器,其中,所述第二像素部分与第 0 扫描线、所述第二扫描线和所述第二发光控制线电连接。

6. 如权利要求 5 所述的有机发光显示器,其中,所述第三像素部分与所述第一扫描线、第三扫描线和所述第一发光控制线电连接。

7. 如权利要求 6 所述的有机发光显示器,其中,所述第四像素部分与所述第二扫描线、第四扫描线和所述第二发光控制线电连接。

8. 如权利要求 1 所述的有机发光显示器,其中,所述第一像素部分、所述第二像素部分、所述第三像素部分和所述第四像素部分中的至少一个的像素电路包括:

第一开关元件,电连接在第一电源电压线和数据线之间,并具有电连接到所述第一扫描线或所述第二扫描线的控制电极;

第二开关元件,电连接在所述第一开关元件和所述第一电源电压线之间,并具有电连接到所述第一发光控制线或所述第二发光控制线的控制电极;

驱动晶体管,电连接在所述第一开关元件和第二电源电压线之间;

第一存储电容器,电连接在所述第一电源电压线和第三电源电压线之间;

第二存储电容器,电连接在所述第一扫描线或所述第二扫描线与所述驱动晶体的控制电极之间;

第三开关元件,电连接在所述驱动晶体管和所述第二电源电压线之间,并具有与所述

第一发光控制线或所述第二发光控制线电连接的控制电极；

第四开关元件，电连接在所述第一存储电容器和所述第三电源电压线之间，并具有与前面第二扫描线电连接的控制电极；

第五开关元件，电连接在所述驱动晶体管的控制电极和所述第三开关元件之间；

有机发光二极管，电连接在所述第三开关元件和所述第二电源电压线之间。

9. 如权利要求 8 所述的有机发光显示器，其中，所述第一开关元件具有与所述数据线电连接的第一电极、与所述第二开关元件和所述驱动晶体管电连接的第二电极。

10. 如权利要求 8 所述的有机发光显示器，其中，所述第二开关元件具有与所述第一开关元件和所述驱动晶体管电连接的第一电极、与所述第一电源电压线和第一存储电容器电连接的第二电极。

11. 如权利要求 8 所述的有机发光显示器，其中，所述第三开关元件具有与所述驱动晶体管和所述第五开关元件电连接的第一电极、与所述有机发光二极管的阳极电连接的第二电极。

12. 如权利要求 8 所述的有机发光显示器，其中，所述第四开关元件具有与所述第一存储电容器和所述驱动晶体管的控制电极电连接的第一电极、与所述第三电源电压线电连接的第二电极。

13. 如权利要求 8 所述的有机发光显示器，其中，所述第五开关元件具有与所述驱动晶体管的控制电极电连接的第一电极、与所述驱动晶体管和所述第三开关元件电连接的第二电极以及与所述第一扫描线或所述第二扫描线电连接的控制电极。

14. 如权利要求 8 所述的有机发光显示器，其中，所述驱动晶体管具有与所述第一开关元件和所述第二开关元件电连接的第一电极、与所述第三开关元件的第一电极电连接的第二电极以及与所述第一存储电容器、所述第四开关元件和所述第五开关元件电连接的控制电极。

15. 如权利要求 1 所述的有机发光显示器，其中，所述第一移位寄存器和所述第二移位寄存器中的至少一个包括：

第一 PMOS 开关元件，具有与所述初始时钟线电连接的控制电极，并适用于切换第一电源电压；

第二 PMOS 开关元件，电连接在所述第一 PMOS 开关元件和第一节点之间，并具有与输入线电连接的控制电极；

第一 NMOS 开关元件，具有与所述初始负时钟线电连接的控制电极，并适用于切换第二电源电压；

第二 NMOS 开关元件，电连接在所述第一 NMOS 开关元件和所述第一节点之间，并具有与所述输入线电连接的控制电极；

第三 PMOS 开关元件，具有与所述初始负时钟线电连接的控制电极，并适用于切换所述第一电源电压；

第四 PMOS 开关元件，电连接在所述第三 PMOS 开关元件和所述第一节点之间，并具有与第二节点电连接的控制电极；

第三 NMOS 开关元件，具有与所述初始时钟线电连接的控制电极，并适用于切换所述第二电源电压；

第四 NMOS 开关元件,电连接在所述第三 NMOS 开关元件和所述第一节点之间,并具有与  
所述第二节点电连接的控制电极;

第五 PMOS 开关元件,电连接在所述第一电源电压线和所述第二节点之间,并具有与所  
述第一节点电连接的控制电极;

第五 NMOS 开关元件,电连接在所述第二电源电压线和所述第二节点之间,并具有与所  
述第一节点电连接的控制电极。

16. 如权利要求 15 所述的有机发光显示器,其中,所述第二节点的信号为所述第一移  
位寄存器或所述第二移位寄存器的输出信号。

17. 如权利要求 1 所述的有机发光显示器,还包括与所述初始时钟线电连接的时钟反  
相器,所述时钟反相器适用于利用初始时钟信号向初始负时钟线提供初始负时钟信号。

18. 如权利要求 1 所述的有机发光显示器,其中,当将低电平的第一时钟信号施加到所  
述第一时钟线,并且将高电平的第二时钟信号施加到所述第二时钟线时,低电平的扫描信  
号被施加到所述第一像素部分,使得数据信号被施加到所述第一像素部分。

19. 如权利要求 18 所述的有机发光显示器,其中,当将低电平的发光控制信号施加到  
所述第一像素部分时,所述第一像素部分发光。

20. 如权利要求 1 所述的有机发光显示器,其中,当将高电平的第一时钟信号施加到所  
述第一时钟线,并且将低电平的第二时钟信号施加到所述第二时钟线时,低电平的扫描信  
号被施加到所述第二像素部分,使得数据信号被施加到所述第二像素部分。

21. 如权利要求 20 所述的有机发光显示器,其中,当将低电平的发光控制信号被施加  
到所述第二像素部分时,所述第二像素部分发光。

## 有机发光显示器

[0001] 本申请要求于 2007 年 4 月 6 日提交的第 10-2007-0034285 号韩国专利申请的优先权,其全部内容通过引用包含于此。

### 技术领域

[0002] 本发明涉及一种有机发光显示器。

### 背景技术

[0003] 有机发光显示器是一种通过电激发荧光或磷光化合物来发光并可以通过驱动  $N \times M$  个有机发光二极管来显示图像的显示器。有机发光二极管包括阳极 (ITO)、有机薄膜和阴极 (金属)。有机薄膜由包括当电子与空穴复合时发光的发光层 EML、传输电子的电子传输层 ETL 和传输空穴的空穴传输层 HTL 的多层结构形成。有机薄膜也可以包括注入电子的电子注入层 EIL 和注入空穴的空穴注入层 HIL。

[0004] 作为驱动如上所述构成的有机发光二极管的方法,存在无源矩阵 (PM) 方法和金属氧化物硅 (MOS) 薄膜晶体管 (TFT) 有源矩阵 (AM) 方法。无源矩阵方法为利用彼此垂直交叉的阳极和阴极并选择线 (line) 来驱动的方法。相反,有源矩阵方法为通过将薄膜晶体管和电容器连接到每个氧化铟锡 (ITO) 像素电极,并利用电容器的电容维持电压来驱动的方法。

[0005] 有机发光显示器被用作个人计算机、蜂窝电话和个人数字助理 (PDA) 的显示装置或多种信息设备的显示装置。

[0006] 已经开发了重量和体积小于阴极射线管的多种发光显示器,并且具有优良的发光效率、亮度及视角和快速的响应速度的有机发光显示器正受到关注。

[0007] 有机发光显示器的像素电路形成在由两条相邻的扫描线 (或发光控制线) 和两条相邻的数据线限定的像素区上。这里,如果从两条相邻的扫描线 (或发光控制线) 施加扫描信号 (或发光控制信号),则像素电路的有机发光二极管 (OLED) 发光。在第  $n$  像素电路的情况下,与像素电路电连接的两条相邻的扫描线 (或发光控制线) 可以为第  $n$  扫描线 (或发光控制线) 和第  $n-1$  扫描线 (或发光控制线)。与像素电路电连接的扫描线 (或发光控制线) 向像素电路的有机发光二极管 (OLED) 施加扫描信号 (或发光控制信号),使得像素电路的有机发光二极管 (OLED) 发光,并输出一帧的图像到面板。然而,因为在有机发光显示器中一帧的图像同时发光,所以仅当施加恒定的图案时才可能检测到像素短路。

[0008] 在传统的像素电路中,可以在模块工艺 (module process) 中通过将恒定的图案施加到有机发光显示面板来检测短路。然而,额外需要用于短路的缺陷面板的模块工艺操作成本。当没有在模块工艺过程中执行全部检验时,因为不能在制造过程中检测到作为缺陷的纵向短路 (longitudinal short),所以产品的可靠性降低,使得缺陷被产品的终端用户发现。

## 发明内容

[0009] 根据本发明的示例性实施例的一方面提供一种通过预先检测有机发光显示面板的像素电路的纵向短路缺陷来降低模块工艺成本并具有高可靠性的有机发光显示器。

[0010] 根据本发明的示例性实施例的有机发光显示器包括：第一移位寄存器，与初始时钟线、初始负时钟线和初始驱动线电连接；第二移位寄存器，与初始负时钟线、初始时钟线和作为第一移位寄存器的输出线的第一发光控制线电连接；第一 NAND 门，与初始驱动线、第一发光控制线和第一时钟线电连接；第二 NAND 门，与第一发光控制线、作为第二移位寄存器的输出线的第二发光控制线和第二时钟线电连接；第一像素部分，与作为第一 NAND 门的输出线的第一扫描线电连接；第二像素部分，与作为第二 NAND 门的输出线的第二扫描线电连接；第三像素部分，与第一扫描线电连接；第四像素部分，与第二扫描线电连接。

[0011] 第一移位寄存器可以具有与初始驱动线电连接的输入端、与初始时钟线电连接的第一时钟端、与初始负时钟线电连接的第二时钟端和与第一发光控制线电连接的输出端。

[0012] 第二移位寄存器可以具有与第一发光控制线电连接的输入端、与初始负时钟线电连接的第一时钟端、与初始时钟线电连接的第二时钟端和与第二发光控制线电连接的输出端。

[0013] 第一 NAND 门可以利用来自初始驱动线的初始驱动信号、来自第一发光控制线的第一发光控制信号和来自第一时钟线的第一时钟信号将第一扫描信号输出到第一扫描线。

[0014] 第二 NAND 门可以利用来自第一发光控制线的第一发光控制信号、来自第二发光控制线的第二发光控制信号和来自第二时钟线的第二时钟信号将第二扫描信号输出到第二扫描线。

[0015] 第一像素部分可以与第 -1 扫描线、第一扫描线和第一发光控制线电连接。

[0016] 第二像素部分可以与第 0 扫描线、第二扫描线和第二发光控制线电连接。

[0017] 第三像素部分可以与第一扫描线、第三扫描线和第一发光控制线电连接。

[0018] 第四像素部分可以与第二扫描线、第四扫描线和第二发光控制线电连接。

[0019] 第一像素部分、第二像素部分、第三像素部分和第四像素部分中的至少一个的像素电路可以包括：第一开关元件，电连接在第一电源电压线 and 数据线之间，并具有电连接到扫描线的控制电极；第二开关元件，电连接在第一开关元件和第一电源电压线之间，并具有电连接到发光控制线的控制电极；驱动晶体管，电连接在第一开关元件和第二电源电压线之间；第一存储电容器，电连接在第一电源电压线和第三电源电压线之间；第二存储电容器，电连接在扫描线和驱动晶体的控制电极之间；第三开关元件，电连接在驱动晶体管和第二电源电压线之间，并具有与发光控制线电连接的控制电极；第四开关元件，电连接在第一存储电容器和第三电源电压线之间，并具有与前面第二条扫描线电连接的控制电极；第五开关元件，电连接在驱动晶体的控制电极和第三开关元件之间；有机发光二极管，电连接在第三开关元件和第二电源电压线之间。

[0020] 第一开关元件可以具有与数据线电连接的第一电极、与第二开关元件和驱动晶体管电连接的第二电极。

[0021] 第二开关元件可以具有与第一开关元件和驱动晶体管电连接的第一电极、与第一电源电压线和第一存储电容器电连接的第二电极。

[0022] 第三开关元件可以具有与驱动晶体管和第五开关元件电连接的第一电极、与有机发光二极管的阳极电连接的第二电极。

[0023] 第四开关元件可以具有与第一存储电容器和驱动晶体管的控制电极电连接的第一电极、与第三电源电压线电连接的第二电极。

[0024] 第五开关元件可以具有与驱动晶体管的控制电极电连接的第一电极、与驱动晶体管和第三开关元件电连接的第二电极以及与扫描线电连接的控制电极。

[0025] 驱动晶体管可以具有与第一开关元件和第二开关元件电连接的第一电极、与第三开关元件的第一电极电连接的第二电极以及与第一存储电容器、第四开关元件和第五开关元件电连接的控制电极。

[0026] 移位寄存器中的至少一个可以包括：第一 PMOS 开关元件，具有与初始时钟线电连接的控制电极，并适用于切换第一电源电压；第二 PMOS 开关元件，电连接在第一 PMOS 开关元件和第一节点之间，并具有与输入线电连接的控制电极；第一 NMOS 开关元件，具有与初始负时钟线电连接的控制电极，并适用于切换第二电源电压；第二 NMOS 开关元件，电连接在第一 NMOS 开关元件和第一节点之间，并具有与输入线电连接的控制电极；第三 PMOS 开关元件，具有与初始负时钟线电连接的控制电极，并适用于切换第一电源电压；第四 PMOS 开关元件，电连接在第三 PMOS 开关元件和第一节点之间，并具有与第二节点电连接的控制电极；第三 NMOS 开关元件，具有与初始时钟线电连接的控制电极，并适用于切换第二电源电压；第四 NMOS 开关元件，电连接在第三 NMOS 开关元件和第一节点之间，并具有与第二节点电连接的控制电极；第五 PMOS 开关元件，电连接在第一电源电压线和第二节点之间，并具有与第一节点电连接的控制电极；第五 NMOS 开关元件，电连接在第二电源电压线和第二节点之间，并具有与第一节点电连接的控制电极。

[0027] 第二节点的信号可以是移位寄存器的输出信号。

[0028] 有机发光显示器可以包括与初始时钟线电连接，并适用于利用初始时钟信号向初始负时钟线提供初始负时钟信号的时钟反相器。

[0029] 当将低电平的第一时钟信号施加到第一时钟线，并将高电平的第二时钟信号施加到第二时钟线时，可以将低电平的扫描信号施加到第一像素部分，使得可以将数据信号施加到第一像素部分。

[0030] 当将低电平的发光控制信号施加到第一像素部分时，第一像素部分可以发光。

[0031] 当将高电平的第一时钟信号施加到第一时钟线，并将低电平的第二时钟信号施加到第二时钟线时，可以将低电平的扫描信号施加到第二像素部分，使得可以将数据信号施加到第二像素部分。

[0032] 当将低电平的发光控制信号施加到第二像素部分时，第二像素部分可以发光。

[0033] 如上所述，根据本发明的示例性实施例的有机发光显示器，达到了这样的理想效果，即，可以通过预先检测有机发光显示面板的像素电路的纵向短路缺陷来降低模块工艺成本，并且可以具有高可靠性。

#### 附图说明

[0034] 通过下面结合附图进行的详细描述，本发明的上述和其他方面和特征将更明显，其中：

[0035] 图 1 是示出了根据本发明的示例性实施例的有机发光显示器的示意性框图；

[0036] 图 2 是示出了根据本发明的示例性实施例的有机发光显示器的像素电路的电路

图；

[0037] 图 3 是示出了根据本发明的示例性实施例的有机发光显示器的发光控制驱动器和扫描驱动器中的移位寄存器的框图；

[0038] 图 4 是示出了图 3 的移位寄存器的电路图；

[0039] 图 5 是示出了根据本发明的示例性实施例的有机发光显示器的发光控制驱动器的框图；

[0040] 图 6 是示出了图 5 的发光控制驱动器的信号的时序图；

[0041] 图 7 是示出了根据本发明的示例性实施例的有机发光显示器的扫描驱动器的框图；

[0042] 图 8 是示出了图 7 的扫描驱动器的信号的时序图；

[0043] 图 9 是示出了根据本发明的示例性实施例的有机发光显示器的框图；

[0044] 图 10 是示出了图 9 的有机发光显示器的信号的时序图。

### 具体实施方式

[0045] 下文中,将参照附图来详细描述本发明的示例性实施例。

[0046] 应该理解的是,在某个元件和另一元件之间的电连接包括在它们之间直接电连接以及在它们之间通过插入的元件来间接电连接。

[0047] 图 1 示出了根据本发明的示例性实施例的有机发光显示器的示意性框图。

[0048] 如图 1 中所示,一个示例性实施例中的有机发光显示器 100 包括扫描驱动器 110、数据驱动器 120、发光控制驱动器 130 和有机发光显示面板(下文中,称为“面板”)140。

[0049] 扫描驱动器 110 可以通过多条扫描线(Scan[-1]、Scan[0]、Scan[1]、Scan[2]、...、Scan[n])向面板 140 顺序提供扫描信号。

[0050] 数据驱动器 120 可以通过多条数据线(Data[1]、Data[2]、...、Data[m])向面板 140 提供数据信号。

[0051] 发光控制驱动器 130 可以通过多条发光控制线(Em[1]、Em[2]、...、Em[n/2])向面板 140 提供发光控制信号。此外,发光控制驱动器 130 能够调节发光控制信号的脉冲宽度,并可以调节在一个部分(例如,一个时间段)中产生的发光控制信号的数量。与发光控制线(Em[1]、Em[2]、...、Em[n/2])连接的像素电路 141 被提供对应的发光控制信号,并可以确定用于允许在像素电路 141 中产生的电流流向对应的发光二极管的时间。

[0052] 此外,面板 140 可以包括:多条扫描线(Scan[-1]、Scan[0]、Scan[1]、Scan[2]、...、Scan[n])和多条发光控制线(Em[1]、Em[2]、...、Em[n]),沿行方向布置;多条数据线(Data[1]、Data[2]、...、Data[m]),沿列方向布置;像素电路 141,由扫描线(Scan[-1]、Scan[0]、Scan[1]、Scan[2]、...、Scan[n])、数据线(Data[1]、Data[2]、...、Data[m])和发光控制线(Em[1]、Em[2]、...、Em[n/2])限定。

[0053] 奇数标号的像素可以形成在由与奇数标号的扫描线(或奇数标号的发光控制线)相邻的两条数据线所限定的像素区上,并且偶数标号的像素可以形成在由与偶数标号的扫描线(或偶数标号的发光控制线)相邻的两条数据线所限定的像素区上。如上所述,向扫描线(Scan[-1]、Scan[0]、Scan[1]、Scan[2]、...、Scan[n])提供来自扫描驱动器 110 的扫描信号,向数据线(Data[1]、Data[2]、...、Data[m])提供来自数据驱动器 120 的数据信



号,并且向发光控制线 (Em[1]、Em[2]、...、Em[n/2]) 提供来自发光控制驱动器 130 的发光控制信号。

[0054] 图 2 示出了根据本发明示例性实施例的有机发光显示器的像素电路的电路图。

[0055] 如图 2 中所示,根据一个示例性实施例的有机发光显示器的像素电路包括扫描线 Scan[n]、前面第二条扫描线 Scan[n-2]、数据线 Data[m]、发光控制线 Em[n/2]、第一电源电压线 ELVDD、第二电源电压线 ELVSS、第三电源电压线 Vinit、驱动晶体管 M1、第一开关元件 S1、第二开关元件 S2、第三开关元件 S3、第四开关元件 S4、第五开关元件 S5、第一存储电容器 C1、第二存储电容器 C2 和有机发光二极管 OLED。

[0056] 扫描线 Scan[n] 向第一开关元件 S1 的控制电极提供用于选择有机发光二极管 OLED 来发光的扫描信号。扫描线 Scan[n] 电连接到产生扫描信号的扫描驱动器 110(见图 1)。

[0057] 前面第二条扫描线 Scan[n-2] 通过“Scan[n-2]”来表示是因为它共用先前选择的第 n-2 扫描线。换句话说,前面第二条扫描线 Scan[n-2] 通过“Scan[n-2]”来表示是因为在奇数标号的扫描线的情况下它共用前面的奇数标号的扫描线,并且在偶数标号的扫描线的情况下它共用前面的偶数标号的扫描线。施加到第四开关元件 S4 的控制电极的前面第二条扫描线 Scan[n-2] 可以将第三电源电压 Vinit 施加到第一存储电容器 C1 和第二存储电容器 C2,并且可以使存储在第一存储电容器 C1 和第二存储电容器 C2 中的电压初始化。

[0058] 数据线 Data[m] 可以向第一存储电容器 C1 的第一电极 A 和 / 或驱动晶体管 M1 的第一电极提供与发光亮度成比例的数据信号(电压)。数据线 Data[m] 电连接到产生数据信号的数据驱动器 120(见图 1)。

[0059] 发光控制线 Em[n/2] 电连接到第三开关元件 S3 的控制电极,并可以控制第三开关元件 S3 来控制有机发光二极管 OLED 的发光时间。发光控制线 Em[n/2] 电连接到产生发光控制信号的发光控制驱动器 130(见图 1)。

[0060] 第一电源电压线 ELVDD 允许向有机发光二极管 OLED 提供第一电源电压。

[0061] 第二电源电压线 ELVSS 允许向有机发光二极管 OLED 提供第二电源电压。在一个示例性实施例中,第一电源电压高于第二电源电压。

[0062] 第三电源电压线 Vinit 允许向第一存储电容器 C1 和第二存储电容器 C2 施加第三电源电压,并且使存储在第一存储电容器 C1 和第二存储电容器 C2 中的电压初始化。

[0063] 第一开关元件 S1 的第一电极(漏极或源极)电连接到数据线 Data[m],第二电极(源极或漏极)电连接到驱动晶体管 M1 的第一电极,控制电极(栅极)电连接到扫描线 Scan[n]。当第一开关元件 S1 被导通时,第一开关元件 S1 可以将数据信号施加到第一存储电容器 C1 的第一电极 A 和 / 或驱动晶体管 M1 的第一电极。

[0064] 第二开关元件 S2 的第一电极与第一开关元件 S1 和驱动晶体管 M1 电连接,第二电极电连接到第一电源电压线 ELVDD 和第一存储电容器 C1 的第一电极 A,控制电极电连接到发光控制线 Em[n/2]。当将低电平的发光控制信号施加到第二开关元件 S2 的控制电极时,第二开关元件 S2 被导通以将第一电源电压 VDD 施加到驱动晶体管 M1。

[0065] 第三开关元件 S3 的第一电极电连接到驱动晶体管 M1 和第五开关元件 S5,第二电极电连接到有机发光二极管 OLED 的阳极,控制电极电连接到发光控制线 Em[n/2]。当将低电平的发光控制信号施加到第三开关元件 S3 的控制电极时,第三开关元件 S3 被导通,使得

驱动晶体管 M1 的驱动电流流向有机发光二极管 OLED。

[0066] 第四开关元件 S4 的第一电极电连接到驱动晶体管 M1 的控制电极和第一存储电容器 C1 的第二电极 B, 第二电极电连接到第三电源电压线 Vinit, 控制电极电连接到前面第二条扫描线 Scan[n-2]。如果将低电平的扫描信号施加到第四开关元件 S4 的控制电极, 则第四开关元件 S4 被导通, 并且使存储在第一存储电容器 C1 和第二存储电容器 C2 中的电压初始化。

[0067] 第五开关元件 S5 的第一电极电连接到驱动晶体管 M1 的控制电极和第一存储电容器 C1, 第二电极电连接到驱动晶体管 M1 和第三开关元件 S3, 控制电极电连接到扫描线 Scan[n]。如果将低电平的扫描信号施加到第五开关元件 S5 的控制电极, 则第五开关元件 S5 被导通, 并且二极管式连接驱动晶体管 M1。

[0068] 第一存储电容器 C1 的第一电极 A 电连接到第一电源电压线 ELVDD 和第二开关元件 S2, 第二电极 B 电连接到驱动晶体管 M1 和第四开关元件 S4。第一存储电容器 C1 可以存储第一电极 A 和第二电极 B 之间的电压差。

[0069] 第二存储电容器 C2 的第一电极电连接到扫描线 Scan[n] 和第一开关元件 S1 的控制电极, 第二存储电容器 C2 的第二电极电连接到驱动晶体管 M1 的控制电极。用于驱动像素电路的第一电源电压 VDD 应该等于或低于数据电压的最大灰度电压 (gradation votage)。如果数据电压为最大灰度电压 (黑色电压), 则第一电源电压线 ELVDD 的第一电源电压 VDD 应该在例如, 预定电压以下。这里, 因为有机发光二极管 OLED 的驱动电压应该保持恒定, 所以第二电源电压线 ELVSS 的第二电源电压 VSS 被降低。即, 因为数据电压的最大灰度电压 (黑色电压) 在 5V 附近, 所以第一电源电压 VDD 应该不超过 5V。因此, 第二电源电压 VSS 应该具有 -6V 的负电压以保持第一电源电压 VDD 和第二电源电压 VSS 之间 11V 的电压差。在这种情况下, 提供第一电源电压 VDD 和第二电源电压 VSS 的 DC/DC 转换器的效率被相对地降低, 因此像素电路的总效率被降低。为了增加 DC/DC 转换器的效率, 第一电源电压 VDD 和第二电源电压 VSS 应该具有正电压范围。

[0070] 使用第二存储电容器 C2 来对此进行补偿。第二存储电容器 C2 可以增大驱动晶体管 M1 的控制电极的电压。这里, 控制电极的电压可以由数据电压和阈值电压的和来表示。

[0071] 驱动晶体管 M1 的第一电极电连接到第一开关元件 S1 和第二开关元件 S2, 第二电极电连接到第五开关元件 S5 和第三开关元件 S3, 控制电极电连接到第一存储电容 C1、第四开关元件 S4 和第五开关元件 S5。在描述的实施例中的驱动晶体管 M1 向有机发光二极管 OLED 提供由第一电源电压线 ELVDD 所施加的第一电源电压 VDD 和数据线 Data[m] 所施加的数据电压产生的电流 (例如, 一定量的电流)。

[0072] 有机发光二极管 OLED 的阳极电连接到第三开关元件 S3 的第二电极, 有机发光二极管 OLED 的阴极电连接到第二电源电压线 ELVSS。将从驱动晶体管 M1 施加的电流通过第三开关元件 S3 施加到有机发光二极管 OLED, 使得有机发光二极管 OLED 发光 (例如, 以预定的亮度发光)。

[0073] 图 3 是示出了根据本发明的示例性实施例的有机发光显示器的发光控制驱动器和扫描驱动器中的移位寄存器的框图。

[0074] 如图 3 中所示, 向移位寄存器 SR 提供移位寄存器输入信号 IN[SR]、初始时钟信号 CLK、初始负时钟信号 CLKB, 并且移位寄存器 SR 输出移位寄存器输出信号 OUT[SR], 其中, 可

以按时序将移位寄存器输入信号 IN[SR] 移位。当施加低电平的初始时钟信号 CLK 和高电平的初始负时钟信号 CLKB 时,移位寄存器 SR 可以输出与输入信号 IN[SR] 相同的输出信号 OUT[SR],并且当施加高电平的输出信号 OUT[SR] 和低电平的初始负时钟信号 CLKB 时,移位寄存器 SR 可以输出与前输出信号相同的输出信号 OUT[SR]。这里,前输出信号表示当紧接在施加到高电平的输出信号 OUT[SR] 和低电平的初始负时钟信号 CLKB 之前施加低电平的初始时钟信号 CLK 和高电平的初始负时钟信号 CLKB 时输出的输出信号。

[0075] 图 4 是示出了图 3 的移位寄存器的电路图。

[0076] 如参照图 4 所描述的,在根据本发明的示例性实施例的有机发光显示器的扫描驱动器和发光控制驱动器中,移位寄存器 SR 接收初始时钟信号 CLK、初始负时钟信号 CLKB 和移位寄存器输入信号 IN[SR]。移位寄存器 SR 包括第一电源电压线 VDD、第二电源电压线 VSS、第一 PMOS 开关元件 P1、第二 PMOS 开关元件 P2、第三 PMOS 开关元件 P3、第四 PMOS 开关元件 P4、第五 PMOS 开关元件 P5、第一 NMOS 开关元件 N1、第二 NMOS 开关元件 N2、第三 NMOS 开关元件 N3、第四 NMOS 开关元件 N4 和第五 NMOS 开关元件 N5。

[0077] 初始时钟信号 CLK 是与初始负时钟信号 CLKB 相反的信号,使得当初始时钟信号 CLK 具有高电平时,初始负时钟信号 CLKB 具有低电平,并且当初始时钟信号 CLK 具有低电平时,初始负时钟信号 CLKB 具有高电平。

[0078] 第一电源电压线 VDD 使第一电源电压能够向移位寄存器 SR 提供。

[0079] 第二电源电压线 VSS 使第二电源电压能够向移位寄存器 SR 提供。在描述的实施例中,第一电源电压的电平高于第二电源电压的电平。

[0080] 第一 PMOS 开关元件 P1 的第一电极(漏极或源极)电连接到第一电源电压 VDD,第二电极(源极或漏极)电连接到第二 PMOS 开关元件 P2,控制电极(栅极)电连接到初始时钟信号 CLK。当将低电平的初始时钟信号 CLK 施加到第一 PMOS 开关元件 P1 的控制电极时,第一 PMOS 开关元件被导通以向第二 PMOS 开关元件 P2 的第一电极提供第一电源电压 VDD。

[0081] 第二 PMOS 开关元件 P2 的第一电极电连接到第一 PMOS 开关元件 P1 的第二电极,第二电极电连接到第二 NMOS 开关元件 N2 的第一电极,即,第一节点 A',控制电极电连接到移位寄存器输入信号 IN[SR]。当将低电平的移位寄存器输入信号 IN[SR] 施加到第二 PMOS 开关元件 P2 的控制电极时,第二 PMOS 开关元件 P2 被导通以将第一 PMOS 开关元件 P1 提供的第一电源电压 VDD 提供到第一节点 A'。

[0082] 第三 PMOS 开关元件 P3 的第一电极电连接到第一电源电压 VDD,第二电极电连接到第四 PMOS 开关元件 P4,控制电极电连接到初始负时钟信号 CLKB。当将低电平的初始负时钟信号 CLKB 施加到第三 PMOS 开关元件 P3 的控制电极时,第三 PMOS 开关元件 P3 被导通以向第四 PMOS 开关元件 P4 的第一电极提供第一电源电压 VDD。

[0083] 第四 PMOS 开关元件 P4 的第一电极电连接到第三 PMOS 开关元件 P3 的第二电极,第二电极电连接到第四 NMOS 开关元件 N4 的第一电极,即,第一节点 A',控制电极在第二节点 B' 电连接到移位寄存器输出信号 OUT[SR]。当将低电平的移位寄存器输出信号 OUT[SR] 施加到第四 PMOS 开关元件 P4 的控制电极时,第四 PMOS 开关元件 P4 被导通以将第三 PMOS 开关元件 P3 提供的第一电源电压 VDD 提供到第一节点 A'。

[0084] 第五 PMOS 开关元件 P5 的第一电极电连接到第一电源电压 VDD,第二电极电连接到第五 NMOS 开关元件 N5 的第一电极,控制电极电连接到第一节点 A'。当将低电平的信号通

过第一节点 A' 施加到第五 PMOS 开关元件 P5 的控制电极时,第五 PMOS 开关元件 P5 被导通以向移位寄存器输出信号 OUT[SR] 提供第一电源电压 VDD。

[0085] 第一 NMOS 开关元件 N1 的第一电极电连接到第二 NMOS 开关元件 N2,第二电极电连接到第二电源电压 VSS,控制电极电连接到初始负时钟信号 CLKB。当将高电平的初始负时钟信号 CLKB 施加到第一 NMOS 开关元件 N1 的控制电极时,第一 NMOS 开关元件 N1 被导通以向第二 NMOS 开关元件 N2 的第二电极提供第二电源电压 VSS。

[0086] 第二 NMOS 开关元件 N2 的第一电极电连接到第二 PMOS 开关元件 P2 的第二电极,即第一节点 A',第二电极电连接到第一 NMOS 开关元件 N1 的第一电极,控制电极电连接到移位寄存器输入信号 IN[SR]。当向第二 NMOS 开关元件 N2 的控制电极施加高电平的移位寄存器输入信号 IN[SR] 时,第二 NMOS 开关元件 N2 被导通以将第一 NMOS 开关元件 N1 提供的第二电源电压 VSS 提供到第一节点 A'。

[0087] 第三 NMOS 开关元件 N3 的第一电极电连接到第四 NMOS 开关元件 N4,第二电极电连接到第二电源电压 VSS,控制电极电连接到初始时钟信号 CLK。当向第三 NMOS 开关元件 N3 的控制电极施加高电平的初始时钟信号 CLK 时,第三 NMOS 开关元件被导通以向第四 NMOS 开关元件 N4 的第二电极提供第二电源电压 VSS。

[0088] 第四 NMOS 开关元件 N4 的第一电极电连接到第四 PMOS 开关元件 P4 的第二电极,即第一节点 A',第二电极电连接到第三 NMOS 开关元件 N3 的第一电极,控制电极电连接到移位寄存器输出信号 OUT[SR]。当向第四 NMOS 开关元件 N4 的控制电极施加高电平的移位寄存器信号 OUT[SR] 时,第四 NMOS 开关元件 N4 被导通以将第三 NMOS 开关元件 N3 提供的第二电源电压 VSS 提供到第一节点 A'。

[0089] 第五 NMOS 开关元件 N5 的第一电极电连接到第五 PMOS 开关元件 P5 的第二电极,第五 NMOS 开关元件 N5 的第二电极电连接到第二电源电压 VSS,第五 NMOS 开关元件 N5 的控制电极电连接到第一节点 A'。当通过第一节点 A 向第五 NMOS 开关元件 N5 的控制电极施加高电平的信号时,第五 NMOS 开关元件 N5 被导通以向移位寄存器输出信号 OUT[SR] 提供第二电源电压 VSS。

[0090] 图 5 是示出了根据本发明的示例性实施例的有机发光显示器的发光控制驱动器框图。

[0091] 如图 5 中所示,根据一个实施例的有机发光显示器的发光控制驱动器包括时钟反相器 Inv\_CLK 和第一移位寄存器 SR1 至第 n/2 移位寄存器 SRn/2。

[0092] 向时钟反相器 Inv\_CLK 提供初始时钟信号 CLK,并且时钟反相器 Inv\_CLK 产生初始负时钟信号 CLKB,使得时钟反相器 Inv\_CLK 可以向第一移位寄存器 SR1 至第 n/2 移位寄存器 SRn/2 提供该初始负时钟信号 CLKB。这里,当初始时钟信号 CLK 为高电平时,初始负时钟信号 CLKB 为低电平,当初始时钟信号 CLK 为低电平时,初始负时钟信号 CLKB 为高电平。

[0093] 第一移位寄存器 SR1 的输入端 In 电连接到初始驱动线 FLM,第一时钟端 clk\_a 电连接到初始时钟线 CLK,第二时钟端 clk\_b 电连接到初始负时钟线 CLKB,使得第一移位寄存器 SR1 可以将其输出信号输出到输出端 Out。第一移位寄存器 SR1 的输出信号是通过将初始驱动信号移位产生的信号,并成为输出到第一发光控制线 Em[1] 的第一发光控制信号。作为第一移位寄存器 SR1 的输出信号的第一发光控制信号是第二移位寄存器 SR2 的输入信号。

[0094] 第二移位寄存器 SR2 的输入端 In 电连接到第一发光控制线 Em[1],第一时钟端

c1ka 电连接到初始负时钟线 CLKB, 第二时钟端 c1kb 电连接到初始时钟线 CLK, 使得第二移位寄存器 SR2 可以将其将信号输出到输出端 Out。第二移位寄存器 SR2 的输出信号是通过将第一发光控制信号移位来产生的信号, 并成为输出到第二发光控制线 Em[2] 的第二发光控制信号。作为第二移位寄存器 SR2 的输出信号的第二发光控制信号是第三移位寄存器 SR3 的输入信号。

[0095] 与第一移位寄存器 SR1 类似, 第三移位寄存器 SR3 至第  $n/2$  移位寄存器 SR $n/2$  中的奇数标号的移位寄存器的第一时钟端 c1ka 电连接到初始时钟线 CLK, 所述奇数标号的移位寄存器的第二时钟端 c1kb 电连接到初始负时钟线 CLKB, 使得所述奇数标号的移位寄存器可以将其输出信号输出到输出端 Out。并且, 与第二移位寄存器 SR2 类似, 第三移位寄存器 SR3 至第  $n/2$  移位寄存器 SR $n/2$  中的偶数标号的移位寄存器的第一时钟端 c1ka 电连接到初始负时钟线 CLKB, 所述偶数标号的移位寄存器的第二时钟端 c1kb 电连接到初始时钟线 CLK, 使得所述偶数标号的移位寄存器可以将其输出信号输出到输出端 Out。这里, 将输出到前移位寄存器的输出端 Out 的发光控制信号施加到移位寄存器的输入端 In。换句话说, 将输出到第二移位寄存器 SR2 至第  $n/2-1$  移位寄存器 SR $n/2-1$  的输出端 Out 的第二发光控制信号至第  $n/2-1$  发光控制信号分别施加到第三移位寄存器 SR3 至第  $n/2$  移位寄存器 SR  $n/2$  的输入端 In。

[0096] 第一发光控制线 Em[1] 至第  $n/2$  发光控制线 Em[ $n/2$ ] 电连接到有机发光显示面板 140 (见图 1), 并将发光控制信号施加到有机发光显示面板 140 (见图 1)。

[0097] 图 6 是示出了图 5 的发光控制驱动器的信号的时序图。

[0098] 如图 6 中所示, 根据一个示例性实施例的发光控制驱动器的时序图包括第一驱动时间段 T1、第二驱动时间段 T2 和第三驱动时间段 T3。这里, 当将低电平的初始时钟信号施加到第一时钟端 c1ka, 将高电平的初始时钟信号施加到第二时钟端 c1kb 时, 移位寄存器输出与施加到输入端 In 的信号相同的信号; 当将高电平的初始时钟信号施加到第一时钟端 c1ka, 将低电平的初始时钟信号施加到第二时钟端 c1kb 时, 移位寄存器输出与在前时间段中输出到输出端 Out 的信号相同的信号。第一移位寄存器 SR1 至第  $n/2$  移位寄存器 SR $n/2$  可以利用从第一驱动时间段 T1 至第三驱动时间段 T3 施加的输入信号、前移位寄存器的输出信号、前驱动时间段的输出信号、初始时钟信号和初始负时钟信号来顺序输出高电平的第一发光控制信号至第  $n/2$  发光控制信号。

[0099] 在第一驱动时间段 T1 中, 施加来自初始驱动线 FLM 的高电平的初始驱动信号、来自初始时钟线 CLK 的低电平的初始时钟信号和来自初始负时钟线 CLKB 的高电平的初始负时钟信号。

[0100] 首先, 在第一移位寄存器 SR1 中, 将高电平的初始驱动信号施加到输入端 In, 将低电平的初始时钟信号施加到第一时钟端 c1ka, 将高电平的初始负时钟信号施加到第二时钟端 c1kb, 使得输出端 Out 可以输出与施加到输入端 In 的高电平的初始驱动信号相同的高电平的第一发光控制信号。

[0101] 在第二移位寄存器 SR2 中, 将高电平的第一发光控制信号施加到输入端 In, 将高电平的初始负时钟信号施加到第一时钟端 c1ka, 将低电平的初始时钟信号施加到第二时钟端 c1kb, 使得输出端 Out 可以输出与前驱动时间段中的输出信号相同的低电平的第二发光控制信号。

[0102] 在第三移位寄存器 SR3 中,将低电平的第二发光控制信号施加到输入端 In,将低电平的初始时钟信号施加到第一时钟端 clka,将高电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的低电平的第二发光控制信号相同的低电平的第三发光控制信号。

[0103] 最后,第四移位寄存器 SR4 至第  $n/2$  移位寄存器 SR $n/2$  中的偶数标号的移位寄存器可以以与第二移位寄存器 SR2 的操作方式基本相同的方式进行操作,并输出低电平的发光控制信号,第四移位寄存器 SR4 至第  $n/2$  移位寄存器 SR $n/2$  中的奇数标号的移位寄存器可以以与第三移位寄存器 SR3 的操作方式基本相同的方式进行操作,并输出低电平的发光控制信号。

[0104] 在第二驱动时间段 T2 中,施加来自初始驱动线 FLM 的低电平的初始驱动信号、来自初始时钟线 CLK 的高电平的初始时钟信号和来自初始负时钟线 CLKB 的低电平的初始负时钟信号。

[0105] 首先,在第一移位寄存器 SR1 中,将低电平的初始驱动信号施加到输入端 In,将高电平的初始时钟信号施加到第一时钟端 clka,将低电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与在第一驱动时间段 T1 中的输出信号相同的高电平的第一发光控制信号。

[0106] 在第二移位寄存器 SR2 中,将高电平的第一发光控制信号施加到输入端 In,将低电平的初始负时钟信号施加到第一时钟端 clka,将高电平的初始时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的高电平的第一发光控制信号相同的高电平的第二发光控制信号。

[0107] 在第三移位寄存器 SR3 中,将高电平的第二发光控制信号施加到输入端 In,将高电平的初始时钟信号施加到第一时钟端 clka,将低电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与在第一驱动时间段 T1 中的输出信号相同的低电平的第三发光控制信号。

[0108] 在第四移位寄存器 SR4 中,将低电平的第三发光控制信号施加到输入端 In,将低电平的初始负时钟信号施加到第一时钟端 clka,将高电平的初始时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的低电平的第三发光控制信号相同的低电平的第四发光控制信号。

[0109] 最后,第五移位寄存器 SR5 至第  $n/2$  移位寄存器 SR $n/2$  中的奇数标号的移位寄存器可以以与第三移位寄存器 SR3 的操作方式基本相同的方式进行操作,并输出低电平的发光控制信号,第五移位寄存器 SR5 至第  $n/2$  移位寄存器 SR $n/2$  中的偶数标号的移位寄存器可以以与第四移位寄存器 SR4 的操作方式基本相同的方式进行操作,并输出低电平的发光控制信号。

[0110] 在第三驱动时间段 T3 中,施加来自初始驱动线 FLM 的低电平的初始驱动信号、来自初始时钟线 CLK 的低电平的初始时钟信号和来自初始负时钟线 CLKB 的高电平的初始负时钟信号。

[0111] 首先,在第一移位寄存器 SR1 中,将低电平的初始驱动信号施加到输入端 In,将低电平的初始时钟信号施加到第一时钟端 clka,将高电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的低电平的初始驱动信号相同的低电

平的第一发光控制信号。

[0112] 在第二移位寄存器 SR2 中, 将低电平的第一发光控制信号施加到输入端 In, 将高电平的初始负时钟信号施加到第一时钟端 clka, 将低电平的初始时钟信号施加到第二时钟端 clkb, 使得输出端 Out 可以输出与第二驱动时间段 T2 中的输出信号相同的高电平的第二发光控制信号。

[0113] 在第三移位寄存器 SR3 中, 将高电平的第二发光控制信号施加到输入端 In, 将低电平的初始时钟信号施加到第一时钟端 clka, 将高电平的初始负时钟信号施加到第二时钟端 clkb, 使得输出端 Out 可以输出与施加到输入端 In 的高电平的第二发光控制信号相同的高电平的第三发光控制信号。

[0114] 在第四移位寄存器 SR4 中, 将高电平的第三发光控制信号施加到输入端 In, 将高电平的初始负时钟信号施加到第一时钟端 clka, 将低电平的初始时钟信号施加到第二时钟端 clkb, 使得输出端 Out 可以输出与第二驱动时间段 T2 中的输出信号相同的低电平的第四发光控制信号。

[0115] 在第五移位寄存器 SR5 中, 将低电平的第四发光控制信号施加到输入端 In, 将低电平的初始时钟信号施加到第一时钟端 clka, 将高电平的初始负时钟信号施加到第二时钟端 clkb, 使得输出端 Out 可以输出与施加到输入端 In 的低电平的第四发光控制信号相同的低电平的第五发光控制信号。

[0116] 最后, 第六移位寄存器 SR6 至第  $n/2$  移位寄存器 SR $n/2$  中的偶数标号的移位寄存器可以以与第四移位寄存器 SR4 的操作方式基本相同的方式进行操作, 并输出低电平的发光控制信号, 第六移位寄存器 SR6 至第  $n/2$  移位寄存器 SR $n/2$  中的奇数标号的移位寄存器可以以与第五移位寄存器 SR5 的操作方式基本相同的方式进行操作, 并输出低电平的发光控制信号。

[0117] 第一移位寄存器 SR1 至第  $n/2$  移位寄存器 SR $n/2$  通过从第一驱动时间段 T1 至第三驱动时间段 T3 施加的输入信号、前移位寄存器的输出信号和前驱动时间段的输出信号顺序输出高电平的第一发光控制信号至第  $n/2$  发光控制信号。

[0118] 图 7 是示出了根据本发明的示例性实施例的有机发光显示器的扫描驱动器的框图。

[0119] 如图 7 中所示, 根据一个示例性实施例的有机发光显示器的扫描驱动器包括时钟反相器 Inv\_CLK、第一移位寄存器 SR1 至第  $n/2$  移位寄存器 SR $n/2$  以及第一 NAND 门 NAND1 至第  $n$  NAND 门 NAND $n$ 。第一移位寄存器 SR1 至第  $n/2$  移位寄存器 SR $n/2$  与图 5 中示出的发光控制驱动器的第一移位寄存器 SR1 至第  $n/2$  移位寄存器 SR $n/2$  相同。因此, 第一移位寄存器 SR1 至第  $n/2$  移位寄存器 SR $n/2$  的输出信号为第一发光控制信号至第  $n/2$  发光控制信号。时钟反相器 Inv\_CLK 也与图 5 中示出的时钟反相器 Inv\_CLK 相同。

[0120] 时钟反相器 Inv\_CLK 被提供初始时钟信号 CLK, 并产生初始负时钟信号 CLKB, 使得时钟反相器可以向第一移位寄存器 SR1 至第  $n/2$  移位寄存器 SR $n/2$  提供该初始负时钟信号 CLKB。当初时钟信号 CLK 为高电平时, 初始负时钟信号 CLKB 为低电平, 当初时钟信号 CLK 为低电平时, 初始负时钟信号 CLKB 为高电平。

[0121] 第一移位寄存器 SR1 的输入端 In 电连接到初始驱动线 FLM, 第一移位寄存器 SR1 的第一时钟端 clka 电连接到初始时钟线 CLK, 第二时钟端 clkb 电连接到初始负时钟线

CLKB,使得第一移位寄存器 SR1 可以将其输出信号输出到输出端 Out。第一移位寄存器 SR1 的输出信号是通过将初始驱动信号移位来产生的信号,并成为输出到第一发光控制线 Em[1] 的第一发光控制信号。作为第一移位寄存器 SR1 的输出信号的第一发光控制信号为第二移位寄存器 SR2 的输入信号。

[0122] 第一 NAND 门 NAND1 电连接到初始驱动线 FLM、第一时钟线 SLCK1 和第一发光控制线 Em[1],并向第一 NAND 门 NAND1 提供初始驱动信号、第一时钟信号和第一发光控制信号,使得第一 NAND 门 NAND1 可以向第一扫描线 Scan[1] 输出第一扫描信号。

[0123] 第二移位寄存器 SR2 的输入端 In 电连接到第一发光控制线 Em[1],第一时钟端 clka 电连接到初始负时钟线 CLKB,第二时钟端 clkb 电连接到初始时钟线 CLK,使得第二移位寄存器 SR2 可以将其输出信号输出到输出端 Out。第二移位寄存器 SR2 的输出信号是通过使第一发光控制信号移位产生的信号,并成为输出到第二发光控制线 Em[2] 的第二发光控制信号。作为第二移位寄存器 SR2 的输出信号的第二发光控制信号为第三移位寄存器 SR3 的输入信号。

[0124] 第二 NAND 门 NAND2 电连接到第一发光控制线 Em[1]、第二时钟线 SLCK2 和第二发光控制线 Em[2],并向第二 NAND 门 NAND2 提供第一发光控制信号、第二时钟信号和第二发光控制信号,使得第二 NAND 门 NAND2 可以向第二扫描线 Scan[2] 输出第二扫描信号。

[0125] 第三 NAND 门 NAND3 电连接到第一发光控制线 Em[1]、第一时钟线 SLCK1 和第二发光控制线 Em[2],并向第三 NAND 门 NAND3 提供第一发光控制信号、第一时钟信号和第二发光控制信号,使得第三 NAND 门 NAND3 可以向第三扫描线 Scan[3] 输出第三扫描信号。

[0126] 第四 NAND 门 NAND4 电连接到第二发光控制线 Em[2]、第二时钟线 SLCK2 和第三发光控制线 Em[3],并向第四 NAND 门 NAND4 提供第二发光控制信号、第二时钟信号和第三发光控制信号,使得第四 NAND 门 NAND4 可以向第四扫描线 Scan[4] 输出第四扫描信号。

[0127] 第五 NAND 门 NAND5 至第 n NAND 门 NANDn 中的奇数标号的 NAND 门以与第三 NAND 门 NAND3 基本相同的方式与第一时钟线 SCKL1 和两条发光控制线电连接,并可以向对应的扫描线输出扫描信号。这里,如果所述奇数标号的 NAND 门为第 a NAND 门,则两条发光控制线为第  $(a-1)/2$  发光控制线 Em $[(a-1)/2]$  和第  $(a+1)/2$  发光控制线 Em $[(a+1)/2]$ 。并且,第五 NAND 门 NAND5 至第 n NAND 门 NANDn 中的偶数标号的 NAND 门以与第四 NAND 门 NAND4 基本相同的方式与第二时钟线 SCKL2 和两条发光控制线电连接,并可以向对应的扫描线输出扫描信号。这里,如果所述偶数标号的 NAND 门为第 b NAND 门,则两条发光控制线为第  $b/2$  发光控制线 Em $[b/2]$  和第  $(b/2)+1$  发光控制线 Em $[(b/2)+1]$ 。

[0128] 第一扫描线 Scan[1] 至第 n 扫描线 Scan[n] 电连接到有机发光显示面板 140(见图 1),并可以将扫描信号施加到有机发光显示面板 140(见图 1)。

[0129] 与第一移位寄存器 SR1 类似,第三移位寄存器 SR3 至第 n/2 移位寄存器 SRn/2 中的奇数标号的移位寄存器的第一时钟端 clka 电连接到初始时钟线 CLK,所述奇数标号的移位寄存器的第二时钟端 clkb 电连接到初始负时钟线 CLKB,使得所述奇数标号的移位寄存器可以将其输出信号输出到输出端 Out。并且,与第二移位寄存器 SR2 类似,第三移位寄存器 SR3 至第 n/2 移位寄存器 SRn/2 中的偶数标号的移位寄存器的第一时钟端 clka 电连接到初始负时钟线 CLKB,所述偶数标号的移位寄存器的第二时钟端 clkb 电连接到初始时钟线 CLK,使得所述偶数标号的移位寄存器可以将其输出信号输出到输出端 Out。这里,将输



出到前移位寄存器的输出端 Out 的发光控制信号施加到移位寄存器的输入端 In。这样,分别将输出到第二移位寄存器 SR2 至第  $n/2-1$  移位寄存器 SR $n/2-1$  的输出端 Out 的第二发光控制信号至第  $n/2-1$  发光控制信号施加到第三移位寄存器 SR3 至第  $n/2$  移位寄存器 SR  $n/2$  的输入端 In。

[0130] 第一发光控制线 Em[1] 至第  $n/2$  发光控制线 Em[ $n/2$ ] 电连接到有机发光显示面板 140(见图 1),并可以将发光控制信号施加到有机发光显示面板 140(见图 1)。

[0131] 图 8 是图 7 的扫描驱动器的信号的时序图。

[0132] 如图 8 中所示,一个示例性实施例中的扫描驱动器的时序图包括第一驱动时间段 T1、第二驱动时间段 T2 和第三驱动时间段 T3。第一驱动时间段 T1、第二驱动时间段 T2 和第三驱动时间段 T3 均包括第一子驱动时间段、延迟时间段和第二子驱动时间段。第一子驱动时间段、延迟时间段和第二子驱动时间段表示通过施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn 的第一时钟线 SLCK1 的第一时钟信号、第二时钟线 SLCK2 的第二时钟信号和发光控制线 (Em[1]、Em[2]、...、Em[ $n/2$ ]) 的发光控制信号来输出扫描信号到扫描线 (Scan[1]、Scan[2]、...、Scan[n]) 的部分 (或时间段)。第一时钟信号和第二时钟信号是相位相反的信号并具有处于低电平的预定的叠置部分。这使在输出的扫描信号之间能够存在预定的时间间隔,并保证用于时钟偏差或延迟的余量 (margin)。

[0133] 在第一驱动时间段 T1 中,施加来自初始驱动线 FLM 的高电平的初始驱动信号、来自初始时钟线 CLK 的低电平的初始时钟信号和来自初始负时钟线 CLKB 的高电平的初始负时钟信号。

[0134] 首先,在第一移位寄存器 SR1 中,将高电平的初始驱动信号施加到输入端 In,将低电平的初始时钟信号施加到第一时钟端 clka,将高电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的高电平的初始驱动信号相同的高电平的第一发光控制信号。

[0135] 在第二移位寄存器 SR2 中,将高电平的第一发光控制信号施加到输入端 In,将高电平的初始负时钟信号施加到第一时钟端 clka,将低电平的初始时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与在前驱动时间段中的输出信号相同的低电平的第二发光控制信号。

[0136] 在第三移位寄存器 SR3 中,将低电平的第二发光控制信号施加到输入端 In,将低电平的初始时钟信号施加到第一时钟端 clka,将高电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的低电平的第二发光控制信号相同的低电平的第三发光控制信号。

[0137] 最后,第四移位寄存器 SR4 至第  $n/2$  移位寄存器 SR $n/2$  中的偶数标号的移位寄存器可以以与第二移位寄存器 SR2 基本相同的方式操作,并可以输出低电平的发光控制信号,第四移位寄存器 SR4 至第  $n/2$  移位寄存器 SR $n/2$  中的奇数标号的移位寄存器可以以与第三移位寄存器 SR3 基本相同的方式操作,并可以输出低电平的发光控制信号。

[0138] 在第一驱动时间段 T1 的第一子驱动时间段 T11 中,将从第一时钟线 SCLK1 施加的低电平的第一时钟信号和从第二时钟线 SCLK2 施加的高电平的第二时钟信号施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn。

[0139] 向第一 NAND 门 NAND1 提供低电平的第一时钟信号、高电平的初始驱动信号和高电

平的第一发光控制信号,并且第一 NAND 门 NAND1 将高电平的第一扫描信号输出到第一扫描线 Scan[1]。

[0140] 向第二 NAND 门 NAND2 提供高电平的第二时钟信号、高电平的第一发光控制信号和低电平的第二发光控制信号,并且第二 NAND 门 NAND2 将高电平的第二扫描信号输出到第二扫描线 Scan[2]。

[0141] 最后,因为与第三 NAND 门 NAND3 至第 n NAND 门 NANDn 电连接的第二发光控制线 Em[2] 至第 n/2 发光控制线 Em[n/2] 将低电平的发光控制信号施加到第三 NAND 门 NAND3 至第 n NAND 门 NANDn,所以第三 NAND 门 NAND3 至第 n NAND 门 NANDn 可以输出高电平的第二扫描信号至第 n 扫描信号。

[0142] 在第一驱动时间段 T1 的延迟时间段 D1 中,将从第一时钟线 SCLK1 施加的低电平的第一时钟信号和从第二时钟线 SCLK2 施加的低电平的第二时钟信号施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn。因为与第一 NAND 门 NAND1 至第 n NAND 门 NANDn 电连接的第一时钟线 SCLK1 和第二时钟线 SCLK2 将低电平的第一时钟信号和第二时钟信号施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn,所以第一 NAND 门 NAND1 至第 n NAND 门 NANDn 可以输出高电平的第一扫描信号至第 n 扫描信号。

[0143] 在第一驱动时间段 T1 的第二子驱动时间段 T12 中,将从第一时钟线 SCLK1 施加的高电平的第一时钟信号和从第二时钟线 SCLK2 施加的低电平的第二时钟信号施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn。

[0144] 首先,向第一 NAND 门 NAND1 提供高电平的第一时钟信号、高电平的初始驱动信号和高电平的第一发光控制信号,并且第一 NAND 门 NAND1 向第一扫描线 Scan[1] 输出低电平的第一扫描信号。

[0145] 因为与第二 NAND 门 NAND2 至第 n NAND 门 NANDn 电连接的第二发光控制线 Em[2] 至第 n/2 发光控制线 Em[n/2] 将低电平的发光控制信号施加到第二 NAND 门 NAND2 至第 n NAND 门 NANDn,所以第二 NAND 门 NAND2 至第 n NAND 门 NANDn 输出高电平的第二扫描信号至第 n 扫描信号。

[0146] 在第二驱动时间段 T2 中,施加来自初始驱动线 FLM 的低电平的初始驱动信号、来自初始时钟线 CLK 的高电平的初始时钟信号和来自初始负时钟线 CLKB 的低电平的初始负时钟信号。

[0147] 首先,在第一移位寄存器 SR1 中,将低电平的初始驱动信号施加到输入端 In,将高电平的初始时钟信号施加到第一时钟端 clka,将低电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与在第一驱动时间段 T1 中的输出信号相同的高电平的第一发光控制信号。

[0148] 在第二移位寄存器 SR2 中,将高电平的第一发光控制信号施加到输入端 In,将低电平的初始负时钟信号施加到第一时钟端 clka,将高电平的初始时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的高电平的第一发光控制信号相同的高电平的第二发光控制信号。

[0149] 在第三移位寄存器 SR3 中,将高电平的第二发光控制信号施加到输入端 In,将高电平的初始时钟信号施加到第一时钟端 clka,将低电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与在第一驱动时间段 T1 中的输出信号相同的低电平的第

三发光控制信号。

[0150] 在第四移位寄存器 SR4 中,将低电平的第三发光控制信号施加到输入端 In,将低电平的初始负时钟信号施加到第一时钟端 clka,将高电平的初始时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与向输入端 In 施加的低电平的第三发光控制信号相同的低电平的第四发光控制信号。

[0151] 最后,第五移位寄存器 SR5 至第  $n/2$  移位寄存器 SR $n/2$  中的奇数标号的移位寄存器可以以与第三移位寄存器 SR3 基本相同的方式操作,并可以输出低电平的发光控制信号,第五移位寄存器 SR5 至第  $n/2$  移位寄存器 SR $n/2$  中的偶数标号的移位寄存器可以以与第四移位寄存器 SR4 基本相同的方式操作,并可以输出低电平的发光控制信号。

[0152] 在第二驱动时间段 T2 的第一子驱动时间段 T21 中,将从第一时钟线 SCLK1 施加的低电平的第一时钟信号和从第二时钟线 SCLK2 施加的高电平的第二时钟信号施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn。

[0153] 首先,向第一 NAND 门 NAND1 提供低电平的第一时钟信号、低电平的初始驱动信号和高电平的第一发光控制信号,并且第一 NAND 门 NAND1 将高电平的第一扫描信号输出到第一扫描线 Scan[1]。

[0154] 向第二 NAND 门 NAND2 提供高电平的第二时钟信号、高电平的第一发光控制信号和高电平的第二发光控制信号,并且第二 NAND 门 NAND2 将低电平的第二扫描信号输出到第二扫描线 Scan[2]。

[0155] 向第三 NAND 门 NAND3 提供低电平的第一时钟信号、高电平的第一发光控制信号和高电平的第二发光控制信号,并且第三 NAND 门 NAND3 将高电平的第二扫描信号输出到第三扫描线 Scan[3]。

[0156] 最后,因为与第四 NAND 门 NAND4 至第 n NAND 门 NANDn 电连接的第三发光控制线 Em[3] 至第  $n/2$  发光控制线 Em[ $n/2$ ] 将低电平的发光控制信号施加到第四 NAND 门 NAND4 至第 n NAND 门 NANDn,所以第四 NAND 门 NAND4 至第 n NAND 门 NANDn 可以输出高电平的第四扫描信号至第 n 扫描信号。

[0157] 在第二驱动时间段 T2 的延迟时间段 D2 中,将从第一时钟线 SCLK1 施加的低电平的第一时钟信号和从第二时钟线 SCLK2 施加的低电平的第二时钟信号施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn。因为与第一 NAND 门 NAND1 至第 n NAND 门 NANDn 电连接的第一时钟线 SCLK1 和第二时钟线 SCLK2 将低电平的第一时钟信号和第二时钟信号施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn,所以第一 NAND 门 NAND1 至第 n NAND 门 NANDn 可以输出高电平的扫描信号。

[0158] 在第二驱动时间段 T2 的第二子驱动时间段 T22 中,将从第一时钟线 SCLK1 施加的高电平的第一时钟信号和从第二时钟线 SCLK2 施加的低电平的第二时钟信号施加到第一 NAND 门 NAND1 至第 n NAND 门 NANDn。

[0159] 首先,向第一 NAND 门 NAND1 提供高电平的第一时钟信号、低电平的初始驱动信号和高电平的第一发光控制信号,并且第一 NAND 门 NAND1 将高电平的第一扫描信号输出到第一扫描线 Scan[1]。

[0160] 向第二 NAND 门 NAND2 提供低电平的第二时钟信号、高电平的第一发光控制信号和高电平的第二发光控制信号,并且第二 NAND 门 NAND2 将高电平的第二扫描信号输出到第二

扫描线 Scan[2]。

[0161] 向第三 NAND 门 NAND3 提供高电平的第一时钟信号、高电平的第一发光控制信号和高电平的第二发光控制信号,并且第三 NAND 门 NAND3 将低电平的第三扫描信号输出到第三扫描线 Scan[3]。

[0162] 最后,因为与第四 NAND 门 NAND4 至第  $n$  NAND 门 NAND $n$  电连接的第三发光控制线 Em[3] 至第  $n/2$  发光控制线 Em[ $n/2$ ] 将低电平的发光控制信号施加到第四 NAND 门 NAND4 至第  $n$  NAND 门 NAND $n$ ,所以第四 NAND 门 NAND4 至第  $n$  NAND 门 NAND $n$  输出高电平的第四扫描信号至第  $n$  扫描信号。

[0163] 在第三驱动时间段 T3 中,施加来自初始驱动线 FLM 的低电平的初始驱动信号、来自初始时钟线 CLK 的低电平的初始时钟信号和来自初始负时钟线 CLKB 的高电平的初始负时钟信号。

[0164] 首先,在第一移位寄存器 SR1 中,将低电平的初始驱动信号施加到输入端 In,将低电平的初始时钟信号施加到第一时钟端 clka,将高电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的初始驱动信号相同的低电平的第一发光控制信号。

[0165] 在第二移位寄存器 SR2 中,将低电平的第一发光控制信号施加到输入端 In,将高电平的初始负时钟信号施加到第一时钟端 clka,将低电平的初始时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与在第二驱动时间段 T2 中的输出信号相同的高电平的第二发光控制信号。

[0166] 在第三移位寄存器 SR3 中,将高电平的第二发光控制信号施加到输入端 In,将低电平的初始时钟信号施加到第一时钟端 clka,将高电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的高电平的第二发光控制信号相同的高电平的第三发光控制信号。

[0167] 在第四移位寄存器 SR4 中,将高电平的第三发光控制信号施加到输入端 In,将高电平的初始负时钟信号施加到第一时钟端 clka,将低电平的初始时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与在第二驱动时间段 T2 中的输出信号相同的低电平的第四发光控制信号。

[0168] 在第五移位寄存器 SR5 中,将低电平的第四发光控制信号施加到输入端 In,将低电平的初始时钟信号施加到第一时钟端 clka,将高电平的初始负时钟信号施加到第二时钟端 clkb,使得输出端 Out 可以输出与施加到输入端 In 的低电平的第四发光控制信号相同的低电平的第五发光控制信号。

[0169] 最后,第六移位寄存器 SR6 至第  $n/2$  移位寄存器 SR $n/2$  中的偶数标号的移位寄存器可以以与第四移位寄存器 SR4 基本相同的方式操作,并可以输出低电平的发光控制信号,第六移位寄存器 SR6 至第  $n/2$  移位寄存器 SR $n/2$  中的奇数标号的移位寄存器可以以与第五移位寄存器 SR5 基本相同的方式操作,并可以输出低电平的发光控制信号。

[0170] 在第三驱动时间段 T3 的第一子驱动时间段 T31 中,将从第一时钟线 SCLK1 施加的低电平的第一时钟信号和从第二时钟线 SCLK2 施加的高电平的第二时钟信号施加到第一 NAND 门 NAND1 至第  $n$  NAND 门 NAND $n$ 。

[0171] 首先,因为与第一 NAND 门 NAND1 至第三 NAND 门 NAND3 电连接的初始驱动线 FLM

和第一发光控制线  $Em[1]$  将低电平的初始驱动信号和第一发光控制信号施加到第一 NAND 门 NAND1 至第三 NAND 门 NAND3, 所以第一 NAND 门 NAND1 至第三 NAND 门 NAND3 输出高电平的第一扫描信号至第三扫描信号。

[0172] 向第四 NAND 门 NAND4 提供高电平的第二时钟信号、高电平的第二发光控制信号和高电平的第三发光控制信号, 并且第四 NAND 门 NAND4 将低电平的第四扫描信号输出到第四扫描线  $Scan[4]$ 。

[0173] 向第五 NAND 门 NAND5 提供低电平的第一时钟信号、高电平的第二发光控制信号和高电平的第三发光控制信号, 并且第五 NAND 门 NAND5 将高电平的第五扫描信号输出到第五扫描线  $Scan[5]$ 。

[0174] 最后, 因为与第六 NAND 门 NAND6 至第  $n$  NAND 门  $NANDn$  电连接的第四发光控制线  $Em[4]$  至第  $n/2$  发光控制线  $Em[n/2]$  将低电平的发光控制信号施加到第六 NAND 门 NAND6 至第  $n$  NAND 门  $NANDn$ , 所以第六 NAND 门 NAND6 至第  $n$  NAND 门  $NANDn$  可以输出高电平的第六扫描信号至第  $n$  扫描信号。

[0175] 在第三驱动时间段  $T3$  的延迟时间段  $D3$  中, 将从第一时钟线  $SCLK1$  施加的低电平的第一时钟信号和从第二时钟线  $SCLK2$  施加的低电平的第二时钟信号施加到第一 NAND 门 NAND1 至第  $n$  NAND 门  $NANDn$ 。因为与第一 NAND 门 NAND1 至第  $n$  NAND 门  $NANDn$  电连接的第一时钟线  $SCLK1$  和第二时钟线  $SCLK2$  将低电平的第一时钟信号和第二时钟信号施加到第一 NAND 门 NAND1 至第  $n$  NAND 门  $NANDn$ , 所以第一 NAND 门 NAND1 至第  $n$  NAND 门  $NANDn$  输出高电平的扫描信号。

[0176] 在第三驱动时间段  $T3$  的第三子驱动时间段  $T32$  中, 将从第一时钟线  $SCLK1$  施加的高电平的第一时钟信号和从第二时钟线  $SCLK2$  施加的低电平的第二时钟信号施加到第一 NAND 门 NAND1 至第  $n$  NAND 门  $NANDn$ 。

[0177] 首先, 因为与第一 NAND 门 NAND1 至第三 NAND 门 NAND3 电连接的初始驱动线  $FLM$  和第一发光控制线  $Em[1]$  将低电平的初始驱动信号和第一发光控制信号施加到第一 NAND 门 NAND1 至第三 NAND 门 NAND3, 所以第一 NAND 门 NAND1 至第三 NAND 门 NAND3 输出高电平的第一扫描信号至第三扫描信号。

[0178] 向第四 NAND 门 NAND4 提供低电平的第二时钟信号、高电平的第二发光控制信号和高电平的第三发光控制信号, 并且第四 NAND 门 NAND4 将高电平的第四扫描信号输出到第四扫描线  $Scan[4]$ 。

[0179] 向第五 NAND 门 NAND5 提供高电平的第一时钟信号、高电平的第二发光控制信号和高电平的第三发光控制信号, 并且第五 NAND 门 NAND5 将低电平的第五扫描信号输出到第五扫描线  $Scan[5]$ 。

[0180] 最后, 因为与第六 NAND 门 NAND6 至第  $n$  NAND 门  $NANDn$  电连接的第四发光控制线  $Em[4]$  至第  $n/2$  发光控制线  $Em[n/2]$  将低电平的发光控制信号施加到第六 NAND 门 NAND6 至第  $n$  NAND 门  $NANDn$ , 所以第六 NAND 门 NAND6 至第  $n$  NAND 门  $NANDn$  输出高电平的第六扫描信号至第  $n$  扫描信号。

[0181] 第一移位寄存器  $SR1$  至第  $n/2$  移位寄存器  $SRn/2$  利用从第一驱动时间段  $T1$  至第三驱动时间段  $T3$  施加的输出信号、前移位寄存器的输出信号以及前驱动时间段的输出信号来顺序输出高电平的第一发光控制信号至第  $n/2$  发光控制信号。

[0182] 第一 NAND 门 NAND1 至第 n NAND 门 NANDn 通过在第一驱动时间段 T1 的第一子驱动时间段 T11 和第二子驱动时间段 T12 至第三驱动时间段 T3 的第一子驱动时间段 T31 和第二子驱动时间段 T32 中施加的第一时钟信号至第二时钟信号、初始驱动信号和第一发光控制信号至第 n/2 发光控制信号来顺序输出低电平的第一扫描信号至第 n 扫描信号。在第一 NAND 门 NAND1 至第 n NAND 门 NANDn 中,如果初始驱动信号和第一发光控制信号至第 n/2 发光控制信号全部为高电平,第一时钟线施加高电平的第一时钟信号,并且第二时钟线施加低电平的第二时钟信号,则作为与第一时钟线电连接的奇数标号的 NAND 门的输出信号的全部奇数标号的扫描信号以低电平输出。并且,作为与第二时钟线电连接的偶数标号的 NAND 门的输出信号的全部偶数标号的扫描信号以高电平输出。在第一 NAND 门 NAND1 至第 n NAND 门 NANDn 中,如果初始驱动信号和第一发光控制信号至第 n/2 发光控制信号全部为高电平,第一时钟线施加低电平的第一时钟信号,并且第二时钟线施加高电平的第二时钟信号,则作为与第一时钟线电连接的奇数标号的 NAND 门的输出信号的全部奇数标号的扫描信号以高电平输出。并且,作为与第二时钟线电连接的偶数标号的 NAND 门的输出信号的全部偶数标号的扫描信号以低电平输出。即,可以利用第一时钟信号和第二时钟信号输出奇数标号的扫描信号和偶数标号的扫描信号。

[0183] 图 9 是示出了根据本发明的实施例的有机发光显示器的框图。

[0184] 如图 9 中所示,有机发光显示器包括扫描驱动器 110、发光控制驱动器 130 和有机发光显示面板 140。

[0185] 扫描驱动器 110 参照在图 7 和图 8 中的描述来操作,并将第一扫描信号至第 n 扫描信号输出到第一扫描线 Scan[1] 至第 n 扫描线 Scan[n]。第一扫描线 Scan[1] 至第 n 扫描线 Scan[n] 与有机发光显示面板 140 电连接,并向有机发光显示面板 140 施加第一扫描信号至第 n 扫描信号。这时,在图 7 的有机发光显示器的扫描驱动器的第一 NAND 门 NAND1 至第 n NAND 门 NANDn 中,如果初始驱动信号和第一发光控制信号至第 n/2 发光控制信号全部为高电平,第一时钟线施加高电平的第一时钟信号,并且第二时钟线施加低电平的第二时钟信号,则作为与第一时钟线电连接的奇数标号的 NAND 门的输出信号的全部奇数标号的扫描信号以低电平输出。并且,作为与第二时钟线电连接的偶数标号的 NAND 门的输出信号的全部偶数标号的扫描信号以高电平输出。在第一 NAND 门 NAND1 至第 n NAND 门 NANDn 中,如果初始驱动信号和第一发光控制信号至第 n/2 发光控制信号全部为高电平,第一时钟线施加低电平的第一时钟信号,并且第二时钟线施加高电平的第二时钟信号,则作为与第一时钟线电连接的奇数标号的 NAND 门的输出信号的全部奇数标号的扫描信号以高电平输出。并且,作为与第二时钟线电连接的偶数标号的 NAND 门的输出信号的全部偶数标号的扫描信号以低电平输出。即,可以根据从第一时钟线 SCLK1 和第二时钟线 SCLK2 施加的第一时钟信号和第二时钟信号来输出奇数标号的扫描信号和偶数标号的扫描信号。

[0186] 发光控制驱动器 130 参照图 5 和图 6 中的描述操作,并将第一发光控制信号至第 n/2 发光控制信号输出到第一发光控制线 Em[1] 至第 n/2 发光控制线 Em[n/2]。第一发光控制线 Em[1] 至第 n/2 发光控制线 Em[n/2] 与有机发光显示面板 140 电连接,并向有机发光显示面板 140 施加第一发光控制信号至第 n/2 发光控制信号。在发光控制线 (Em[1]、Em[2]、...、Em[n/2]) 中,奇数标号的发光控制线与奇数标号的像素部分电连接,偶数标号的发光控制线与偶数标号的像素部分电连接。当奇数标号的像素部分通过施加于其的奇数

标号的扫描信号来将数据信号传输到有机发光二极管 OLED 时,奇数标号的发光控制线施加奇数标号的发光控制信号,使得奇数标号的发光控制线向奇数标号的像素部分同时地提供发光控制信号,并使奇数标号的有机发光二极管 OLED 能够同时发光。

[0187] 有机发光显示面板 140 包括第一像素部分 PS1 至第 n 像素部分 PSn。如图 9 中所示,例如,在一个实施例中的术语“像素部分”表示连接到相同扫描线和 / 或相同发光控制线的一行像素。

[0188] 第一像素部分 PS1 与第 -1 扫描线 Scan[-1]、第一扫描线 Scan[1] 和第一发光控制线 Em[1] 电连接。第二像素部分 PS2 与第 0 扫描线 Scan[0]、第二扫描线 Scan[2] 和第二发光控制线 Em[2] 电连接。第三像素部分 PS3 与第一扫描线 Scan[1]、第三扫描线 Scan[3] 和第一发光控制线 Em[1] 电连接。第四像素部分 PS4 与第二扫描线 Scan[2]、第四扫描线 Scan[4] 和第二发光控制线 Em[2] 电连接。第五像素 PS5 部分与第三扫描线 Scan[3]、第五扫描线 Scan[5] 和第三发光控制线 Em[3] 电连接。第六像素部分 PS6 与第四扫描线 Scan[4]、第六扫描线 Scan[6] 和第四发光控制线 Em[4] 电连接。以这种方式,像素部分与第 n-2 扫描线 Scan[n-2] 和第 n 扫描线 Scan[n] 电连接,并通过向其提供的第 n-2 扫描信号和第 n 扫描信号来操作。即,偶数标号的扫描线与偶数标号的像素部分电连接,奇数标号的扫描线与奇数标号的像素部分电连接。这里,第 -1 扫描线 Scan[-1] 和第 0 扫描线 Scan[0] 为被插入到无效空间 (dead space) 中的面板的扫描线,并且对于使用者是不可见的。并且,偶数标号的发光控制线与偶数标号的像素部分电连接,奇数标号的发光控制线与奇数标号的像素部分电连接。

[0189] 这里,在扫描驱动器 110 的第一 NAND 门 NAND1 至第 n NAND 门 NANDn 中,如果初始驱动信号和第一发光控制信号至第 n/2 发光控制信号全部为高电平,第一时钟线 SCLK1 施加高电平的第一时钟信号,并且第二时钟线 SCLK2 施加低电平的第二时钟信号,则作为与第一时钟线 SCLK1 电连接的奇数标号的 NAND 门的输出信号的全部奇数标号的扫描信号以低电平输出。并且,作为与第二时钟线 SCLK2 电连接的偶数标号的 NAND 门的输出信号的全部偶数标号的扫描信号以高电平输出。在第一 NAND 门 NAND1 至第 n NAND 门 NANDn 中,如果初始驱动信号和第一发光控制信号至第 n/2 发光控制信号全部为高电平,第一时钟线 SCLK1 施加低电平的第一时钟信号,并且第二时钟线 SCLK2 施加高电平的第二时钟信号,则作为与第一时钟线 SCLK1 电连接的奇数标号的 NAND 门的输出信号的全部奇数标号的扫描信号以高电平输出。并且,作为与第二时钟线 SCLK2 电连接的偶数标号的 NAND 门的输出信号的全部偶数标号的扫描信号以低电平输出。

[0190] 当将高电平的第一时钟信号施加到第一时钟线 SCLK1,并且将低电平的第二时钟信号施加到第二时钟线 SCLK2 时,全部奇数标号的扫描信号以低电平输出,使得奇数标号的像素部分通过向其提供的低电平的奇数标号的扫描信号来操作,并且有机发光二极管 OLED 通过向其提供的数据信号来发光。这时,向偶数标号的像素部分提供高电平的偶数标号的扫描信号,并且将被传输到有机发光二极管 OLED 的数据信号被阻断。

[0191] 当将低电平的第一时钟信号施加到第一时钟线 SCLK1,并且将高电平的第二时钟信号施加到第二时钟线 SCLK2 时,全部偶数标号的扫描信号以低电平输出,使得偶数标号的像素部分通过向其提供的低电平的偶数标号的扫描信号来操作,并且有机发光二极管 OLED 通过向其提供的数据信号来发光。这时,向奇数标号的像素部分提供高电平的奇数标

号的扫描信号,并且将被传输到有机发光二极管 OLED 的数据信号被阻断。

[0192] 这里,第一时钟线 SCLK1 和第二时钟线 SCLK2 分别与奇数标号的 NAND 门和偶数标号的 NAND 门电连接,并且奇数标号的 NAND 门和偶数标号的 NAND 门分别与奇数标号的像素部分和偶数标号的像素部分电连接。这时,向第一时钟线 SCLK1 施加低电平的第一时钟信号,向第二时钟线 SCLK2 施加高电平的第二时钟信号,使得只有奇数标号的像素部分的有机发光二极管 OLED 被导通。并且,向第一时钟线 SCLK1 施加高电平的第一时钟信号,向第二时钟线 SCLK2 施加低电平的第二时钟信号,使得只有偶数标号的像素部分的有机发光二极管 OLED 被导通。在应该只有偶数标号的像素部分的有机发光二极管 OLED 发光却有奇数标号的像素部分的有机发光二极管 OLED 发光的情况下,和在应该只有奇数标号的像素部分的有机发光二极管 OLED 发光却有偶数标号的像素部分的有机发光二极管 OLED 发光的情况下,可以知道发生了纵向短路。

[0193] 例如,当将低电平的第一时钟信号施加到第一时钟线 SCLK1,并且将高电平的第二时钟信号施加到第二时钟线 SCLK2 时,奇数标号的像素部分的有机发光二极管 OLED 应该发光。然而,在这种情况下,如果在第一像素部分 PS1 和第二像素部分 PS2 的第 m 像素电路 141 中发生短路,则第二像素部分 PS2 的第 m 像素电路 141 的有机发光二极管 OLED 也发光,因此可以发现发生了纵向短路。

[0194] 在传统的像素电路中,通过在模块工艺中向有机发光显示面板施加恒定的图案来检测这种纵向短路,因此额外需要用于短路的缺陷面板的模块工艺操作成本。然而,根据所描述的本发明的实施例,通过在模块工艺之前向面板施加初始时钟信号来检测这种纵向短路,因此可以降低用于缺陷面板的模块工艺操作成本。并且,因为可防止当在模块工艺期间没有执行全部检验时不能检测出作为缺陷的纵向短路并由此被终端用户检测到该缺陷的情况出现,所以可以充分地防止产品的可靠性的降低。

[0195] 图 10 是示出了图 9 的有机发光显示器的信号的时序图。

[0196] 如图 10 中所示,有机发光显示器的时序图包括第一驱动时间段 T1、第二驱动时间段 T2 和第三驱动时间段 T3。并且,第一驱动时间段 T1 至第三驱动时间段 T3 中的每个包括第一子驱动时间段、延迟时间段和第二子驱动时间段。

[0197] 首先,在第一驱动时间段 T1 中,将高电平的第一发光控制信号和低电平的第二发光控制信号至第  $n/2$  发光控制信号施加到有机发光显示面板 140。

[0198] 在第一驱动时间段 T1 的第一子驱动时间段 T11 中,将高电平的第一扫描信号至第 n 扫描信号施加到有机发光显示面板 140。

[0199] 第一驱动时间段 T1 的延迟时间段 D1 允许在施加的扫描信号之间存在时间间隔(例如,预定的时间间隔)以能够保证用于时钟偏差或延迟的余量。

[0200] 在第一驱动时间段 T1 的第二子驱动时间段 T12 中,低电平的第一扫描信号和高电平的第二扫描号至第 n 扫描信号被施加到有机发光显示面板 140。这时,向第一像素部分 PS1 的像素电路提供低电平的第一扫描信号,使得第一开关元件 S1 和第五开关元件 S5 被导通。第一开关元件 S1 被导通,并将数据信号传输到驱动晶体管 M1。并且,第五开关元件 S5 被导通,并通过二极管式连接驱动晶体管 M1 来补偿驱动晶体管 M1 的阈值电压。第一像素部分 PS1 的像素电路在第一存储电容器 C1 中存储第一电源电压线 ELVDD 和驱动晶体管 M1 的控制电极之间的电压差。并且,第三像素部分 PS3 的像素电路被提供作为前面第二扫



描信号的低电平的第一扫描信号,并使存储在第一存储电容器 C1 和第二存储电容器 C2 中的电压初始化。

[0201] 在第二驱动时间段 T2 中,将高电平的第一发光控制信号和第二发光信号以及低电平的第三发光控制信号至第  $n/2$  发光控制信号施加到有机发光显示面板 140。

[0202] 在第二驱动时间段 T2 的第一子驱动时间段 T21 中,将低电平的第二扫描信号以及高电平的第一扫描信号和第三扫描信号至第  $n$  扫描信号施加到有机发光显示面板 140。这时,向第二像素部分 PS2 的像素电路提供低电平的第二扫描信号,使得第一开关元件 S1 和第五开关元件 S5 被导通。第一开关元件 S1 被导通,并将数据信号传输到驱动晶体管 M1。并且,第五开关元件 S5 被导通,并通过二极管式连接驱动晶体管 M1 来补偿驱动晶体管 M1 的阈值电压。第二像素部分 PS2 的像素电路在第一存储电容器 C1 中存储第一电源电压线 ELVDD 和驱动晶体管 M1 的控制电极之间的电压差。并且,第四像素部分 PS4 的像素电路被提供作为前面第二扫描信号的低电平的第二扫描信号,并使存储在第一存储电容器 C1 和第二存储电容器 C2 中的电压初始化。

[0203] 第二驱动时间段 T2 的延迟时间段 D2 允许在施加的扫描信号之间存在时间间隔(例如,预定的时间间隔)以能够保证用于时钟偏差或延迟的余量。

[0204] 在第二驱动时间段 T2 的第二子驱动时间段 T22 中,将低电平的第三扫描信号以及高电平的第一扫描信号、第二扫描信号和第四扫描信号至第  $n$  扫描信号施加到有机发光显示面板 140。这时,向第三像素部分 PS3 的像素电路提供低电平的第三扫描信号,使得第一开关元件 S1 和第五开关元件 S5 被导通。第一开关元件 S1 被导通,并传输数据信号到驱动晶体管 M1。并且,第五开关元件 S5 被导通,并通过二极管式连接驱动晶体管 M1 来补偿驱动晶体管 M1 的阈值电压。第三像素部分 PS3 的像素电路在第一存储电容器 C1 中存储第一电源电压线 ELVDD 和驱动晶体管 M1 的控制电极之间的电压差。并且,第五像素部分 PS5 的像素电路被提供作为前面第二扫描信号的低电平的第三扫描信号,并使存储在第一存储电容器 C1 和第二存储电容器 C2 中的电压初始化。

[0205] 最后,在第三驱动时间段 T3 中,将高电平的第二发光控制信号和第三发光控制信号以及低电平的第一发光控制信号和第四发光控制信号至第  $n/2$  发光控制信号施加到有机发光显示面板 140。向第一像素部分 PS1 的像素电路提供低电平的第一发光控制信号,使得第二开关元件 S2 和第三开关元件 S3 被导通。第二开关元件 S2 被导通,并传输第一电源电压 VDD 到驱动晶体管 M1,第三开关元件 S3 被导通,并传输驱动电流到有机发光二极管 OLED,因此第一像素部分 PS1 的有机发光二极管 OLED 发光。

[0206] 在第三驱动时间段 T3 的第一子驱动时间段 T31 中,将低电平的第四扫描信号以及高电平的第一扫描信号至第三扫描信号和第五扫描信号至第  $n$  扫描信号施加到有机发光显示面板 140。这时,向第四像素部分 PS4 的像素电路提供低电平的第四扫描信号,使得第一开关元件 S1 和第五开关元件 S5 被导通。第一开关元件 S1 被导通,并传输数据信号到驱动晶体管 M1。并且,第五开关元件 S5 被导通,并通过二极管式连接驱动晶体管 M1 来补偿驱动晶体管 M1 的阈值电压。第四像素部分 PS4 的像素电路在第一存储电容器 C1 中存储第一电源电压线 ELVDD 和驱动晶体管 M1 的控制电极之间的电压差。此外,第六像素部分 PS6 的像素电路被提供作为前面第二扫描信号的低电平的第四扫描信号,并使存储在第一存储电容器 C1 和第二存储电容器 C2 中的电压初始化。

[0207] 第三驱动时间段 T3 的延迟时间段 D3 允许在施加的扫描信号之间存在时间间隔（例如，预定的时间间隔）以能够保证用于时钟偏差或延迟的余量。

[0208] 在第三驱动时间段 T3 的第二子驱动时间段 T32 中，将低电平的第五扫描信号以及高电平的第一扫描信号至第四扫描信号和第六扫描信号至第 n 扫描信号施加到有机发光显示面板 140。这时，向第五像素部分 PS5 的像素电路提供低电平的第五扫描信号，使得第一开关元件 S1 和第五开关元件 S5 被导通。第一开关元件 S1 被导通，并传输数据信号到驱动晶体管 M1。并且，第五开关元件 S5 被导通，并通过二极管式连接驱动晶体管 M1 来补偿驱动晶体管 M1 的阈值电压。第五像素部分 PS5 的像素电路在第一存储电容器 C1 中存储第一电源电压线 ELVDD 和驱动晶体管 M1 的控制电极之间的电压差。并且，第七像素部分 PS7 的像素电路被提供作为前面第二扫描信号的低电平的第五扫描信号，并使存储在第一存储电容器 C1 和第二存储电容器 C2 中的电压初始化。

[0209] 以这样的方式，顺序操作第一像素部分 PS1 至第 n 像素部分 PSn，并且有机发光二极管 OLED 发光。

[0210] 如上所述，根据本发明的实施例中的有机发光显示器，可以通过预先检测有机发光显示面板的像素电路的纵向短路缺陷来降低模块工艺成本，并且可以具有高可靠性。

[0211] 尽管已经出于例证性目的描述了根据本发明的有机发光显示器的示例性实施例，但是本领域的技术人员应该理解，在不脱离本发明的精神和范围的情况下，可以对其进行多种修改和改变，本发明的范围由权利要求及等同物来限定。

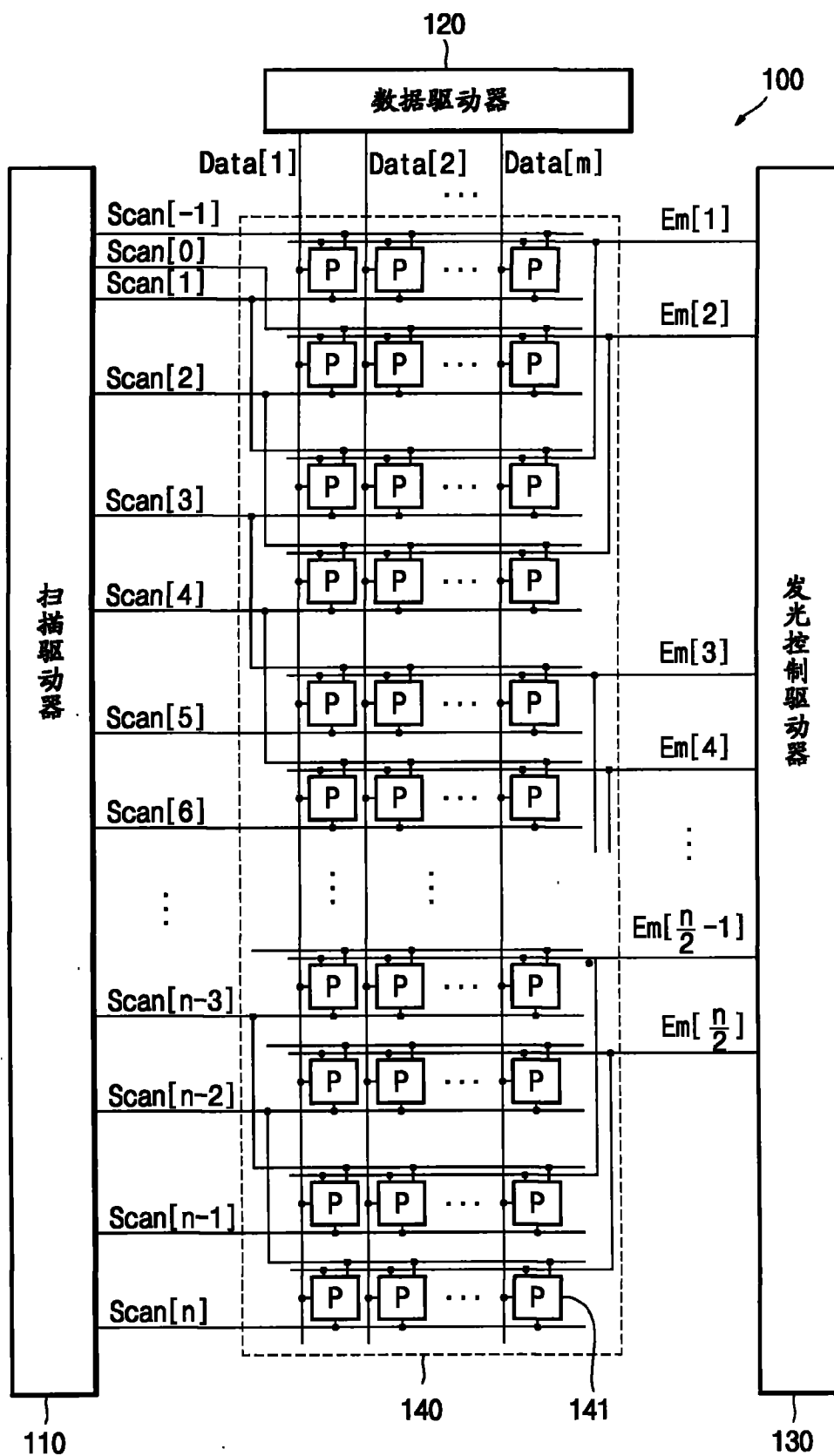


图1

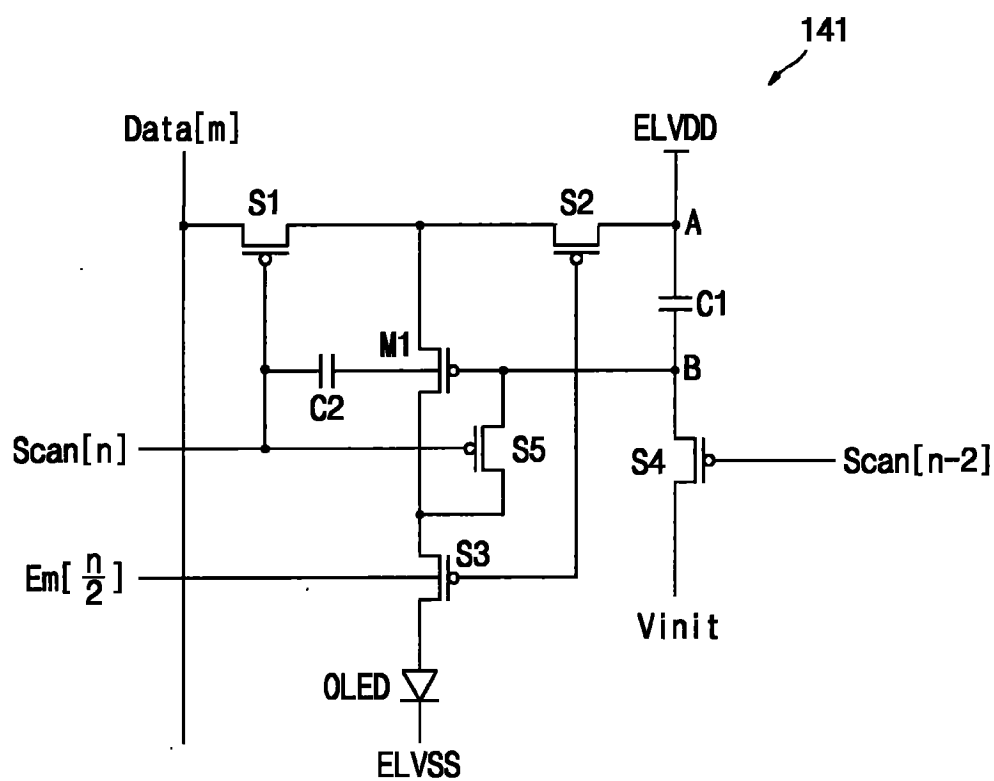


图 2

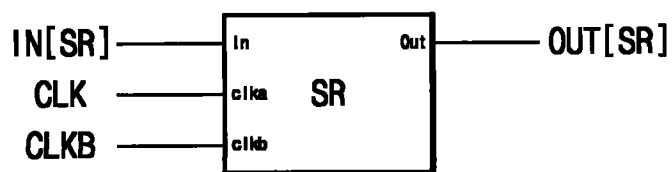


图 3

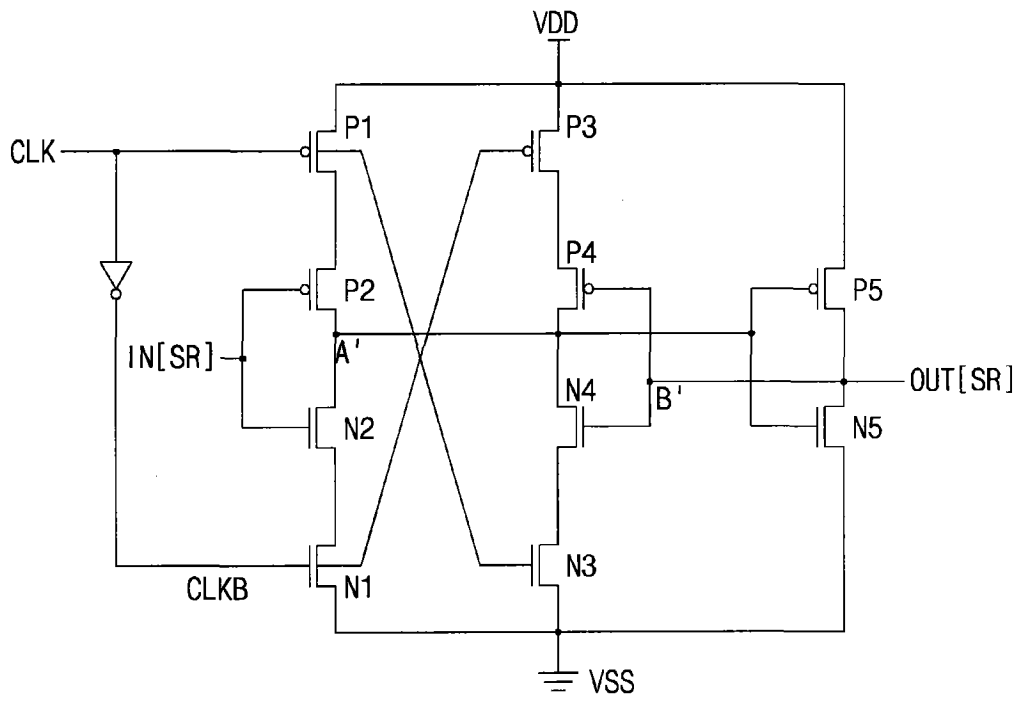


图4

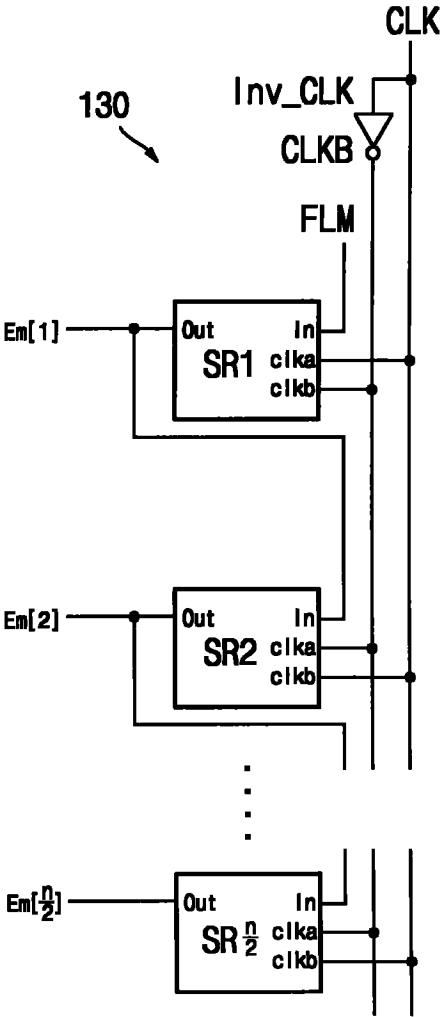


图5

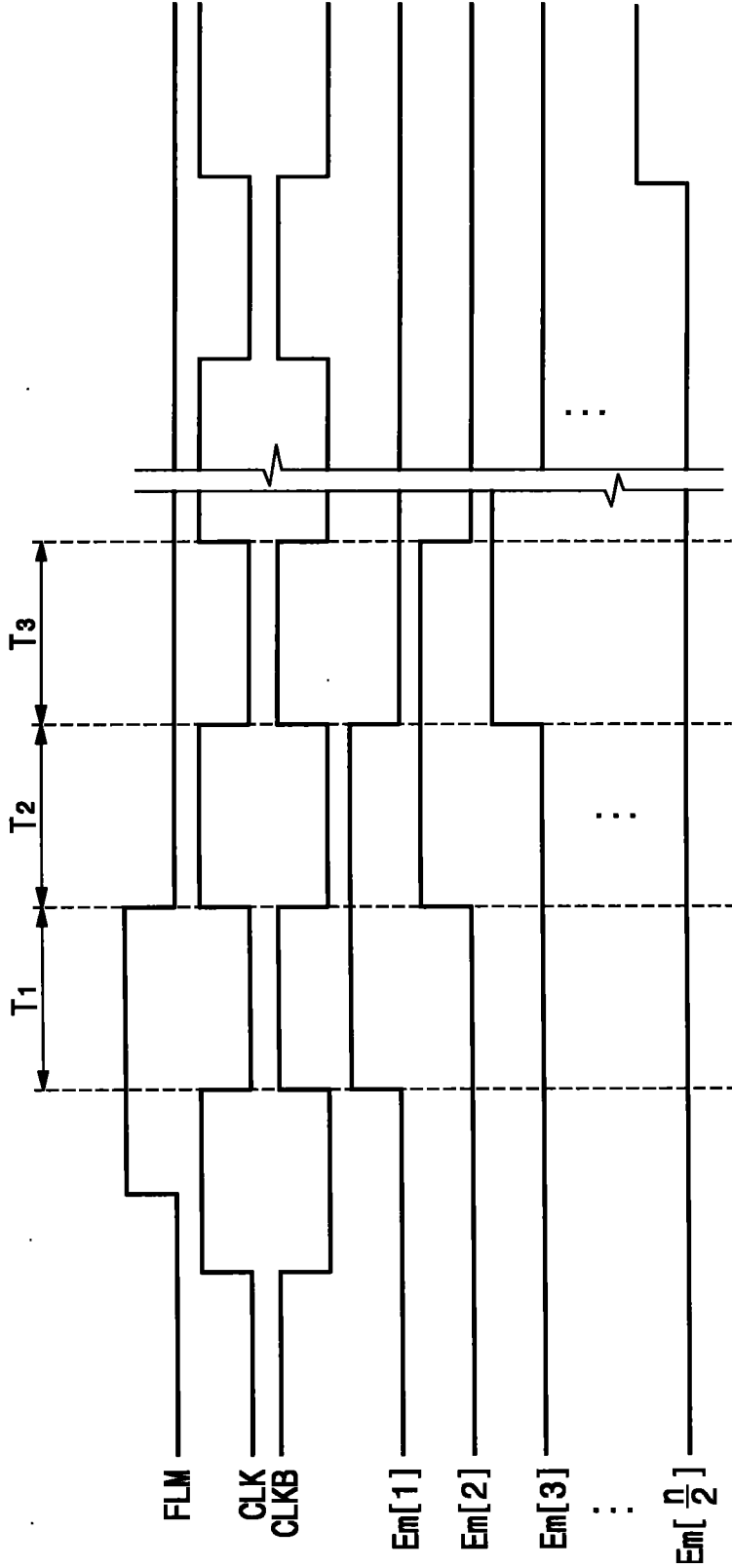


图6

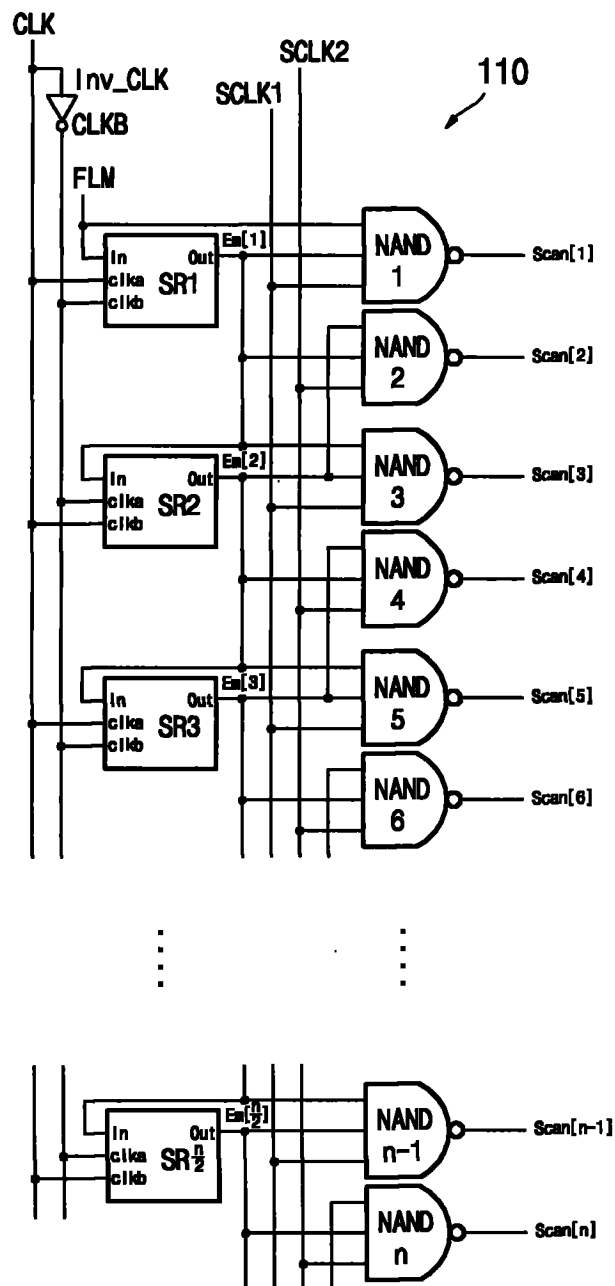


图7



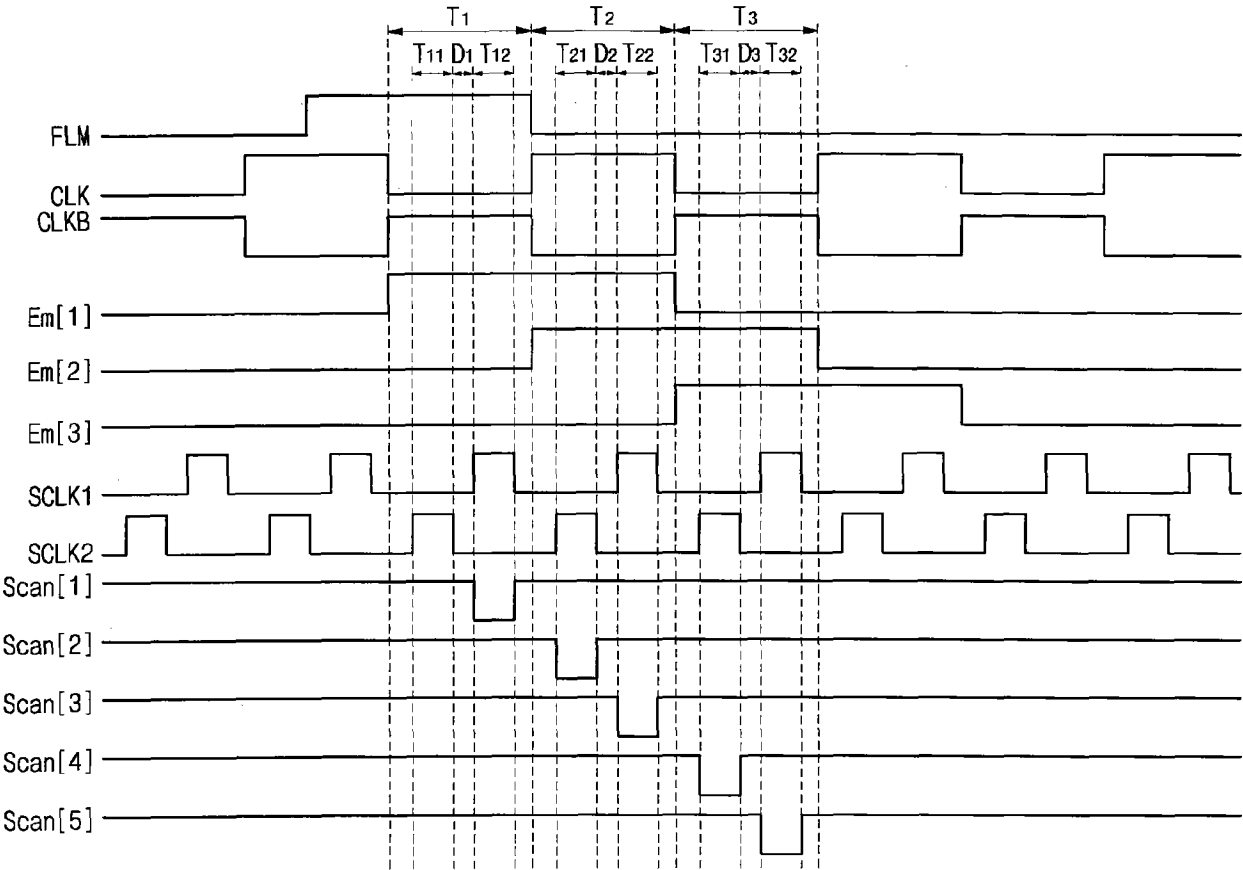


图 8

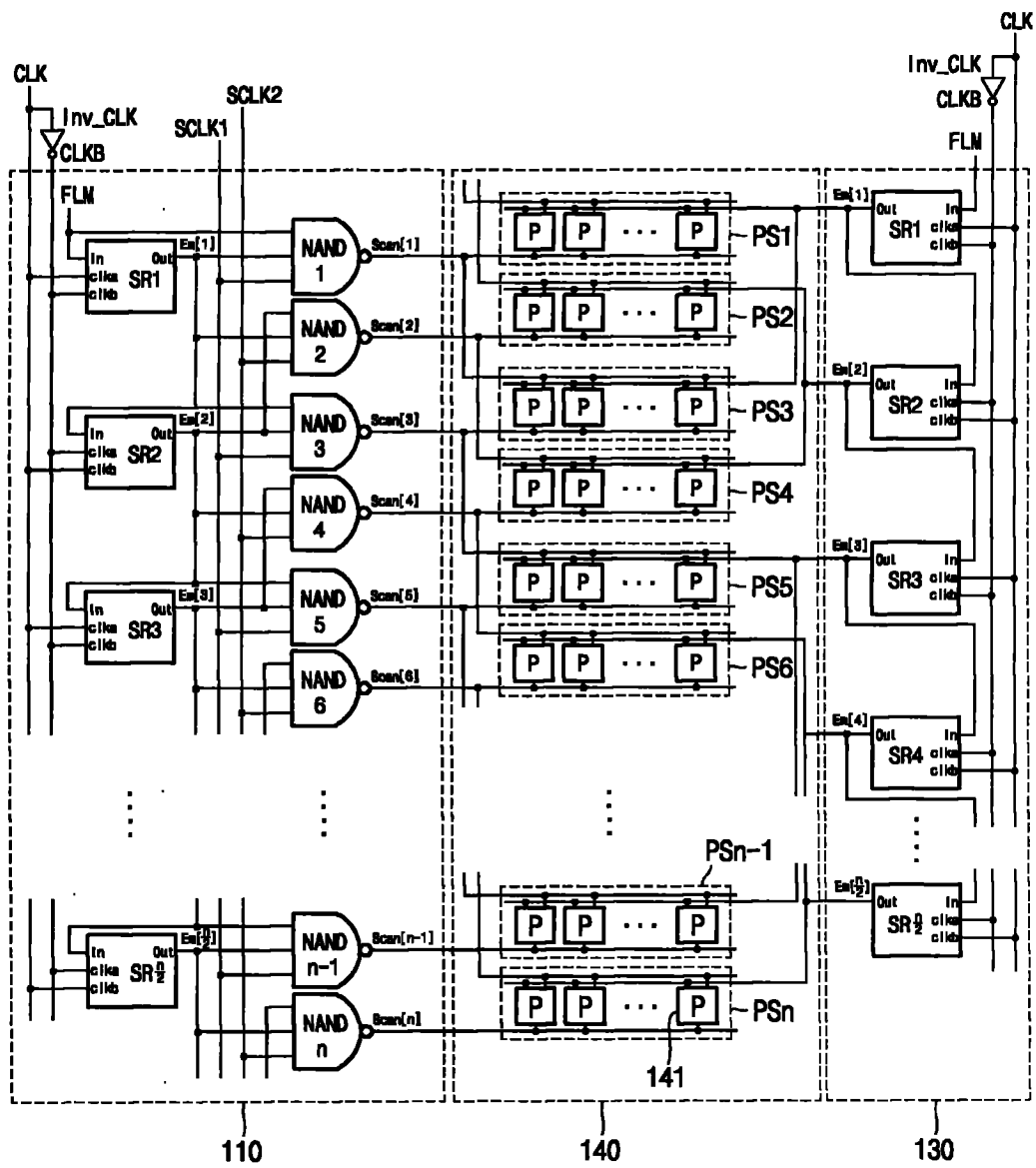


图9

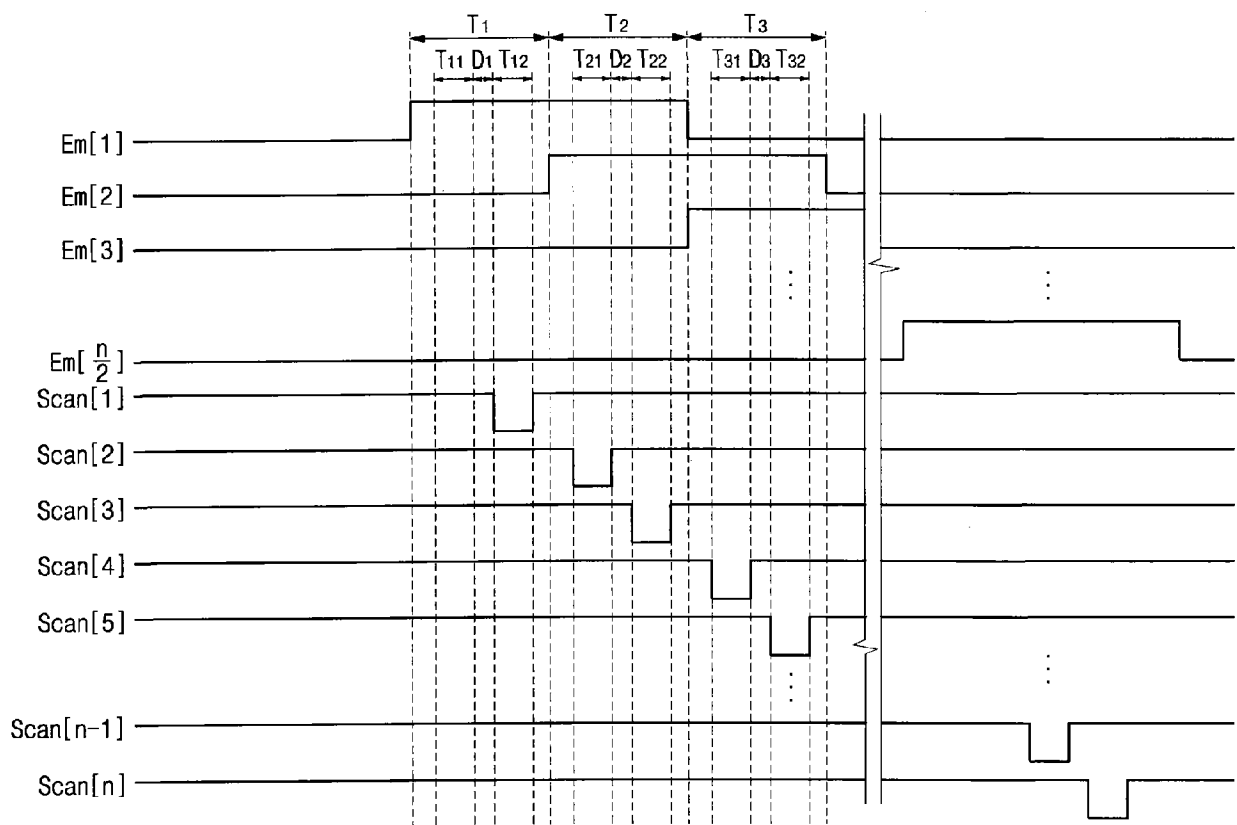


图10

专利名称(译)	有机发光显示器		
公开(公告)号	<a href="#">CN101281719B</a>	公开(公告)日	2010-10-13
申请号	CN200710196018.3	申请日	2007-11-28
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星SDI株式会社		
当前申请(专利权)人(译)	三星移动显示器株式会社		
[标]发明人	金钟允		
发明人	金钟允		
IPC分类号	G09G3/30 G09G3/32 G11C19/28		
CPC分类号	G09G2300/0861 G09G2300/0852 G09G2310/0286 G09G2310/0224 G09G3/3266 G11C19/28 G11C19/00 G09G3/3233 G09G2300/0819 G09G3/006		
代理人(译)	韩明星		
优先权	1020070034285 2007-04-06 KR		
其他公开文献	CN101281719A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

#### 摘要(译)

本发明提供了一种有机发光显示器，该有机发光显示器包括：第一移位寄存器，与初始时钟线、初始负时钟线和初始驱动线电连接；第二移位寄存器，与初始负时钟线、初始时钟线和作为第一移位寄存器的输出线的第一发光控制线电连接；第一NAND门，与初始驱动线、第一发光控制线和第一时钟线电连接；第二NAND门，与第一发光控制线、作为第二移位寄存器的输出线的第二发光控制线和第二时钟线电连接；第一像素部分，与作为第一NAND门的输出线的第一扫描线电连接；第二像素部分，与作为第二NAND门的输出线的第二扫描线电连接；第三像素部分，与第一扫描线电连接；第四像素部分，与第二扫描线电连接。

