



(12) 发明专利

(10) 授权公告号 CN 1892765 B

(45) 授权公告日 2012.04.18

(21) 申请号 200610087176.0

(22) 申请日 2006.06.15

(30) 优先权数据

10-2005-0057485 2005.06.30 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 李明镐 白星豪 金仁焕 卞胜赞

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 祁建国

(56) 对比文件

CN 1276590 A, 2000.12.13, 说明书第 5 页第 18 行至 28 行, 第 6 页第 2 行至第 17 行, 第 9 页第 11 行至第 21 行, 附图 7, 11.

CN 1457220 A, 2003.11.19, 说明书第 9 页第 21 行至第 10 页第 4 行, 附图 5.

审查员 孙洁君

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

H05B 33/14 (2006.01)

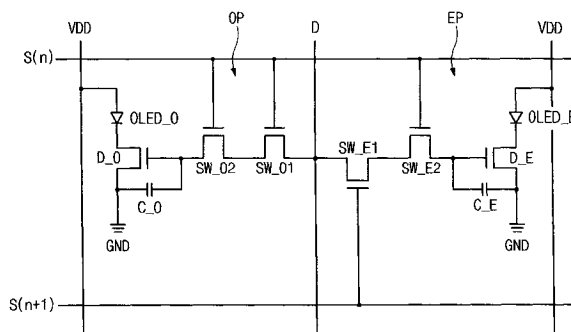
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

显示装置及驱动方法

(57) 摘要

一种有机电致发光显示装置包括:数据线;电源线;第一和第二栅线;第一像素,包括第一驱动薄膜晶体管、连接到电源线和第一驱动薄膜晶体管的漏极的第一有机发光二极管、连接到第一驱动薄膜晶体管的栅极和源极的第一电容以及串联连接的第一和第二开关薄膜晶体管,第一开关薄膜晶体管连接到数据线和第一栅线,而第二开关薄膜晶体管连接到第一栅线;以及第二像素,包括第二驱动薄膜晶体管、连接到电源线和第二驱动薄膜晶体管的漏极的第二有机发光二极管、连接到第二驱动薄膜晶体管的栅极和源极的第二电容以及串联连接的第三和第三开关薄膜晶体管,第三开关薄膜晶体管连接到数据线和第一栅线,第四开关薄膜晶体管连接到第二栅线。



1. 一种驱动有机电致发光显示装置的方法,包括:

在水平时间间隔的第一和第二时间内导通第一像素的第一开关元件,并且在所述第一时间内导通第二像素的第二开关元件;以及

在所述第一和第二时间内分别将第一数据信号和第二数据信号提供到连接到所述第一像素和第二像素的数据线,

其中,第一开关元件包括串联连接的第一 p 型开关薄膜晶体管和第二 p 型开关薄膜晶体管,其中第二开关元件包括串联连接的第三 p 型开关薄膜晶体管和第四 p 型开关薄膜晶体管,其中第一像素还包括第一 p 型驱动薄膜晶体管、第一有机发光二极管和第一电容,其中第一 p 型开关薄膜晶体管连接到数据线 and 第一栅线,而第二 p 型开关薄膜晶体管连接到第一栅线,其中第一有机发光二极管连接到接地端子和第一 p 型驱动薄膜晶体管的漏极,其中第一电容连接到第一 p 型驱动薄膜晶体管的栅极、电源线和第一 p 型驱动薄膜晶体管的源极,其中第二像素还包括第二 p 型驱动薄膜晶体管、第二有机发光二极管和第二电容,其中第三 p 型开关薄膜晶体管连接到数据线 and 第二栅线,而第四 p 型开关薄膜晶体管连接到第一栅线,其中第二有机发光二极管连接到接地端子和第二 p 型驱动薄膜晶体管的漏极,以及其中第二电容连接到第二 p 型驱动薄膜晶体管的栅极、电源线和第二 p 型驱动薄膜晶体管的源极,

其中,在第一水平时间间隔的第一半,为第 n 条和第 (n+1) 条栅线提供 ON 栅信号,以导通所述第一像素的第一和第二开关薄膜晶体管以及所述第二像素的第三和第四开关薄膜晶体管,其中所述第 n 条和第 (n+1) 条栅线分别是所述第一和第二栅线,以及其中所述第一水平时间间隔的第一半是所述第一水平时间间隔的所述第一时间;

在第一水平时间间隔的所述第一半,将所述第一数据信号施加到所述第一和第二像素,由此将该第一数据信号存储到所述第一和第二像素中;

在第一水平时间间隔的第二半内,对第 n 条栅线提供 ON 栅信号,而对第 (n+1) 条栅线提供 OFF 栅信号,以导通该第一像素的第一和第二开关薄膜晶体管,并关断该第二像素的第一开关薄膜晶体管,其中所述第一水平时间间隔的第二半是所述第一水平时间间隔的所述第二时间;

在第一水平时间间隔的所述第二半内,将第二数据信号施加到所述第一像素,由此将该第二数据信号存储到所述第一像素中;

在第二水平时间间隔的第一半,对第 (n+1) 条和第 (n+2) 条栅线提供 ON 栅信号,以导通第三像素的第五和第六开关薄膜晶体管以及第四像素的第七和第八开关薄膜晶体管,其中该第三像素连接到第 (n+1) 条栅线,该第四像素连接到第 (n+1) 条和第 (n+2) 条栅线,所述第三和第四像素共享数据线,所述第五和第六开关薄膜晶体管串联连接,所述第七和第八开关薄膜晶体管串联连接;

在第二水平时间间隔的所述第一半,将第三数据信号施加到所述第三和第四像素,由此将该第三数据信号存储到所述第三和第四像素中;

在第二水平时间间隔的第二半内,对第 (n+1) 条栅线提供 ON 栅信号,而对第 (n+2) 条栅线提供 OFF 栅信号,以导通该第三像素的第五和第六开关薄膜晶体管,并关断该第四像素的第七开关薄膜晶体管;以及

在第二水平时间间隔的所述第二半内,将第四数据信号施加到所述第三像素,由此将

该第四数据信号存储到所述第三像素中，

由此所述第一、第二、第三和第四像素分别相应于所存储的第二、第一、第四和第三数据信号发光。

显示装置及驱动方法

[0001] 本申请要求于 2005 年 6 月 30 日提交的在先韩国专利申请 No. 2005-057485 的权益,在此将其全部内容结合进来作为参考。

技术领域

[0002] 本申请涉及一种显示装置,特别是涉及一种有机电致发光显示(OELD)装置及一种驱动 OELD 装置的方法。

背景技术

[0003] 显示装置已经采用了阴极射线管(CRT)来显示图像。但是,当前正在开发用于替代 CRT 的各种类型的平板显示器,诸如液晶显示(LCD)装置,等离子体显示板(PDP)装置,场发射显示(FED)装置以及电致发光显示(ELD)装置。在这些各种类型的平板显示器中,LCD 装置具有外形薄和功耗低的优点,但是由于其为非发光显示装置而具有使用背光单元的缺点。然而,由于有机电致发光显示(OELD)装置为自发光显示装置,其在低电压下工作,并具有薄的外形。另外,OELD 装置具有响应时间快,亮度高和视角宽的优点。

[0004] 如图 1 所示,现有技术的 OELD 装置的像素连接到栅线 S,数据线 D 和电源线 VDD。该像素包括开关薄膜晶体管 N1,驱动薄膜晶体管 N2,电容器 C 和有机发光二极管 OLED。

[0005] 开关薄膜晶体管 N1 的栅极连接到栅线 S,开关薄膜晶体管 N1 的源极连接到数据线 D。电容器 C 的一个电极连接到开关薄膜晶体管 N1 的漏极,而电容器 C 的另一个电极连接到接地端子(GND)。驱动薄膜晶体管 N2 的漏极连接到有机发光二极管 OLED 的阴极,驱动薄膜晶体管 N2 的栅极连接到开关薄膜晶体管 N1 的漏极,并且驱动薄膜晶体管 N2 的源极连接到接地端子(GND)。

[0006] 图 2 是施加到图 1 的像素上的栅信号、数据信号和电源信号的波形图。具有高电平或低电平即 VGH 或 VGL 的栅信号通过栅线 S 施加到开关薄膜晶体管 N1。当施加高电平 VGH 时,开关薄膜晶体管 N1 导通。当开关薄膜晶体管 N1 导通时,数据信号存储到电容器 C 并且驱动薄膜晶体管 N2 导通。因此,在驱动薄膜晶体管 N2 上有电流流动,且有机发光二极管 OLED 发光。存储的数据信号决定了在驱动薄膜晶体管 N2 上流动的电流的大小,并且该电流的大小决定了有机发光二极管 OLED 的光强。

[0007] 当将现有技术的 OELD 装置用作高分辨率显示装置时,所需要的信号线和驱动 IC 的数量增加。当将 OELD 装置用作高分辨率和小尺寸的显示装置时,所需要的元件的安装空间可能不够。

[0008] 发明内容

[0009] 本发明公开了一种显示装置,其包括:数据线;电源线;第一和第二栅线;第一像素,包括第一驱动薄膜晶体管、第一有机发光二极管、第一电容以及串联连接的第一开关薄膜晶体管和第二开关薄膜晶体管,该第一开关薄膜晶体管连接到该数据线和该第一栅线,而第二开关薄膜晶体管连接到第一栅线,其中,第一有机发光二极管连接到电源线和第一驱动薄膜晶体管的漏极,并且第一电容连接到第一驱动薄膜晶体管的栅极和第一驱动薄膜

晶体管的源极；以及第二像素，包括第二驱动薄膜晶体管、第二有机发光二极管、第二电容以及串联连接的第三开关薄膜晶体管和第三开关薄膜晶体管，其中第三开关薄膜晶体管连接到该数据线和该第一栅线，而第四开关薄膜晶体管连接到第二栅线，其中第二有机发光二极管连接到电源线和第二驱动薄膜晶体管的漏极，并且第二电容连接到第二驱动薄膜晶体管的栅极和第二驱动薄膜晶体管的源极。

[0010] 在另一方面，一种驱动显示装置的方法包括：在水平时间间隔的第一和第二时间内导通第一像素的第一开关元件，并在该第一时间内导通第二像素的第二开关元件；以及，分别在该第一和第二时间内将第一和第二数据信号提供给连接到该第一和第二像素的数据线，其中，第一开关元件包括串联连接的第一开关薄膜晶体管和第二开关薄膜晶体管，其中第二开关元件包括串联连接的第三开关薄膜晶体管和第四开关薄膜晶体管，其中第一像素还包括第一驱动薄膜晶体管、第一有机发光二极管和第一电容，其中第一开关薄膜晶体管连接到数据线和第一栅线，而第二开关薄膜晶体管连接到第一栅线，其中第一有机发光二极管连接到电源线和第一驱动薄膜晶体管的漏极，其中第一电容连接到第一驱动薄膜晶体管的栅极和第一驱动薄膜晶体管的源极，其中第二像素还包括第二驱动薄膜晶体管、第二有机发光二极管和第二电容，其中第三开关薄膜晶体管连接到数据线和第一栅线，而第四开关薄膜晶体管连接到第二栅线，其中第二有机发光二极管连接到电源线和第二驱动薄膜晶体管的漏极，以及其中第二电容连接到第二驱动薄膜晶体管的栅极和第二驱动薄膜晶体管的源极。

[0011] 在又一方面，一种驱动显示装置的方法包括：分别在水平时间间隔的第一和第二时间内通过数据线提供第一和第二数据信号；并在该第一和第二时间内分别将该第一和第二数据信号存储到第一像素，并且在该第一时间内将该第一数据信号存储到第二像素，其中，第一像素包括第一驱动薄膜晶体管、第一有机发光二极管、第一电容以及串联连接的第一开关薄膜晶体管和第二开关薄膜晶体管，其中第一开关薄膜晶体管连接到数据线和第一栅线，而第二开关薄膜晶体管连接到第一栅线，其中第一有机发光二极管连接到电源线和第一驱动薄膜晶体管的漏极，其中第一电容连接到第一驱动薄膜晶体管的栅极和第一驱动薄膜晶体管的源极，其中第二像素包括第二驱动薄膜晶体管、第二有机发光二极管、第二电容以及串联连接的第三开关薄膜晶体管和第四开关薄膜晶体管，其中第三开关薄膜晶体管连接到数据线和第一栅线，而第四开关薄膜晶体管连接到第二栅线，其中第二有机发光二极管连接到电源线和第二驱动薄膜晶体管的漏极，以及其中第二电容连接到第二驱动薄膜晶体管的栅极和第二驱动薄膜晶体管的源极。

[0012] 附图说明

[0013] 图 1 是按照现有技术的 OLED 装置的电路图；

[0014] 图 2 是施加到图 1 的像素上的栅信号、数据信号和电源信号的波形图；

[0015] 图 3 是按照本发明一示范性实施例的 OLED 装置的电路图；

[0016] 图 4 是描绘驱动按照该示范性实施例的 OLED 装置的方法的电路图；

[0017] 图 5 是用于驱动图 4 的 OLED 装置的栅信号的波形图；

[0018] 图 6 是按照本发明另一示范性实施例的 OLED 装置的电路图；以及

[0019] 图 7 是用于驱动图 6 的 OLED 装置的栅信号的波形图。

[0020] 具体实施方式

[0021] 参考附图可以更好地理解示范性的实施例,但是这些实施例并不用于作为限制。在相同或不同的图中编号相同的元件起等效的作用。当描述与一个实施例相关的具体特征、结构或特性时,应当理解,无论此处是否明确地声明,本领域技术人员都可以在其他实施例中实现这些特征、结构或特性。

[0022] 图 3 示出了在第一实例中的有机发光二极管 (OLED) 装置的局部电路图。两个像素 OP 和 EP 按列设置在数据线 D 的相对侧,并且每个均连接到相同的数据线 D。在数据线 D 左侧的像素 OP 称作奇像素 OP,而在数据线 D 右侧的像素 EP 称作偶像素。由此,奇像素和偶像素即 OP 和 EP 共享相同的数据线 D,并且对奇像素和偶像素 OP 和 EP 施加相同的数据信号。通过电源线 VDD 为奇像素和偶像素 OP 和 EP 提供电源。

[0023] 尽管奇像素和偶像素 OP 和 EP 连接到相同的数据线 D,但是奇像素和偶像素 OP 和 EP 连接到不同的栅线 S(n) 和 S(n+1)。奇像素 OP 连接到第 n 条栅线 S(n),而偶像素 EP 同时连接到第 (n+1) 条和第 n 条栅线 S(n) 和 S(n+1)。

[0024] 由此,奇像素 OP 包括奇开关元件,奇驱动元件,奇电容器 C₀ 和奇有机发光二极管 OLED₀。奇开关元件包括串联的第一开关薄膜晶体管 SW₀₁ 和第二奇开关薄膜晶体管 SW₀₂。第一和第二奇开关薄膜晶体管 SW₀₁ 和 SW₀₂ 连接到第 n 条栅线 S(n)。第一奇开关薄膜晶体管 SW₀₁ 也连接到数据线 D。

[0025] 奇驱动元件包括奇驱动薄膜晶体管 D₀。该奇驱动薄膜晶体管 D₀ 的栅极连接到第二奇开关薄膜晶体管 SW₀₂ 的漏极。

[0026] 奇电容器 C₀ 连接到奇驱动薄膜晶体管 D₀ 的栅极和源极。奇发光二极管 OLED₀ 连接到电源线 VDD 和奇驱动薄膜晶体管 D₀ 的漏极。

[0027] 由于第一和第二奇开关薄膜晶体管 SW₀₁ 和 SW₀₂ 连接到相同的第 n 条栅线 S(n),因此奇开关元件根据施加到第 n 条栅线 S(n) 上的栅信号是 ON 或 OFF (高电平或低电平) 而导通或关断。

[0028] 当奇开关元件导通时,数据线 D 上的数据信号通过奇开关元件。然后,该数据信号被存储到奇电容器 C₀ 上并被施加到该奇驱动元件。当对奇驱动薄膜晶体管 D₀ 提供该数据信号时,奇驱动薄膜晶体管 D₀ 导通。当奇驱动薄膜晶体管 D₀ 导通时,电流在奇驱动薄膜晶体管 D₀ 上流动,并且奇有机发光二极管 OLED₀ 发光。存储在奇电容器 C₀ 上的该数据信号决定了在奇驱动薄膜晶体管 D₀ 上流动的电流的大小,并且该电流的大小决定了从奇有机发光二极管 OLED₀ 发射的光强。

[0029] 偶像素 EP 包括偶开关元件,偶驱动元件,偶电容器 C_E 和偶有机发光二极管 OLED_E。该偶开关元件包括串联的第一和第二偶开关薄膜晶体管 SW_{E1} 和 SW_{E2}。该第一和第二偶开关薄膜晶体管 SW_{E1} 和 SW_{E2} 分别连接到第 (n+1) 条和第 n 条栅线 S(n+1) 和 S(n)。该第一偶开关薄膜晶体管 SW_{E1} 连接到数据线 D。第一和第二偶开关薄膜晶体管 SW_{E1} 和 SW_{E2} 可以分别连接到第 n 条和第 (n+1) 条栅线 S(n) 和 S(n+1)。

[0030] 偶驱动元件包括偶驱动薄膜晶体管 D_E。偶驱动薄膜晶体管 D_E 的栅极连接到第二偶开关薄膜晶体管 SW_{E2} 的漏极。

[0031] 偶电容器 C_E 连接到偶驱动薄膜晶体管 D_E 的栅极和源极。偶有机发光二极管 OLED_E 连接到电源线 VDD 和偶驱动薄膜晶体管 D_E 的漏极。

[0032] 当同时第 (n+1) 条和第 n 条栅线 S(n+1) 和 S(n) 上施加 ON 栅信号时,偶开关元

件导通,否则,偶开关元件关断。这是由于第一和第二偶开关薄膜晶体管 SW_E1 和 SW_E2 连接到不同的栅线 S(n+1) 和 S(n)。

[0033] 当偶开关元件导通时,数据线 D 上的数据信号通过偶开关元件。然后,该数据信号被存储到偶电容器 C_E 上并被施加到该偶驱动元件。当对偶驱动薄膜晶体管 D_E 提供该数据信号时,偶驱动薄膜晶体管 D_E 导通。当偶驱动薄膜晶体管 D_E 导通时,电流在偶驱动薄膜晶体管 D_E 上流动并且偶有机发光二极管 OLED_E 发光。存储在偶电容器 C_E 上的该数据信号决定了在偶驱动薄膜晶体管 D_E 上流动的电流的大小,并且该电流的大小决定了从偶有机发光二极管 OLED_E 发射的光强。

[0034] 图 4 是描绘了驱动 OLED 装置的方法的电路图,图 5 是用于驱动图 4 中的 OLED 装置的栅信号的波形图。

[0035] 在图 4 中,左边两个像素 (P1,P3) 对应于图 3 中的奇像素,右边两个像素 (P2,P4) 对应于图 3 中的偶像素。在每个像素内对应的元件具有相同的附图标记。第一至第四像素 P1 至 P4 中的每一个包括第一和第二开关薄膜晶体管 SW1 和 SW2、驱动薄膜晶体管 DR、电容器 C 和有机发光二极管 OLED。

[0036] 将具有 ON 和 OFF (高和低) 电平的栅信号依次提供给第 n 条至第 (n+2) 条栅线 S(n) 至 S(n+2)。以一个水平时间间隔 H 的延迟,栅信号被依次提供到第 n 条至第 (n+2) 条栅线 S(n) 至 S(n+2)。水平时间间隔 H 是将数据信号提供到一个行线内的像素上的时间。栅信号具有两个 ON 电平。也就是说,栅信号在水平时间间隔的第一半 (H/2) 时间里持续具有第一 ON 电平,在水平时间间隔的第二半时间里持续具有 OFF 电平,以及在下一水平时间间隔里持续具有第二 ON 电平。因此,相邻的栅线在半个水平时间间隔 (H/2) 的时间里同时持续具有 ON 电平。在水平时间间隔 H 的第二半可以具有第一 ON 电平,而水平时间间隔 H 的第一半可以具有 OFF 电平。

[0037] 在第一个水平时间间隔 H₁ 的第一半,为第 n 条和第 (n+1) 条栅线 S(n) 和 S(n+1) 提供 ON 栅信号,并将第一数据信号提供到数据线 D。第一和第二像素 P1 和 P2 的第一和第二开关薄膜晶体管 SW₁ 和 SW₂ 导通。将该第一数据信号同时施加到该第一和第二像素 P1 和 P2,并存储到该第一和第二像素 P1 和 P2 的电容器 C 内。

[0038] 在该第一水平时间间隔 H₁ 的第二半内,仍然对该第 n 条栅线 S(n) 提供 ON 栅信号,而对该第 (n+1) 条栅线 S(n+1) 提供 OFF 栅信号,并将第二数据信号提供到数据线 D。第二像素 P2 的第一开关薄膜晶体管 SW₁ 关断,并且该第二像素 P2 存储该第一数据信号。该第一像素 P1 的第一和第二开关薄膜晶体管 SW₁ 和 SW₂ 仍然导通,并且第一像素 P1 存储该第二数据信号而不是该第一数据信号。

[0039] 如上所解释的,第 n 条栅线 S(n) 在第一水平时间间隔 H₁ 内具有 ON 栅信号,并且第 (n+1) 条栅线 S(n+1) 在第一水平时间间隔 H₁ 的第一半内持续具有 ON 栅信号。在第一水平时间间隔 H₁ 的第一半内持续提供第一数据信号,而在第一水平时间间隔 H₁ 的第二半内持续提供第二数据信号。第一像素 P1 的开关元件在第一水平时间间隔内持续导通,并因此该第一像素 P1 在该第一半的时间内存储该第一数据信号,并且最终取代该第一数据信号在该第二半的时间内存储该第二数据信号。第二像素 P2 的开关元件在该第一半的时间内持续导通,及在该第二半时间内关断,并由此第二像素 P2 存储该第一数据信号。

[0040] 在第二水平时间间隔 H₂ 的第一半时间内,对第 (n+1) 条和第 (n+2) 条栅线

S(n+1) 和 S(n+2) 提供 ON 栅信号,并将该第三数据信号提供到该数据线 D。该第三和第四像素 P3 和 P4 的第一和第二开关薄膜晶体管 SW_1 和 SW_2 导通。对该第三和第四像素 P3 和 P4 都施加第三数据信号,并将其存储到该第三和第四像素 P3 和 P4 的电容器 C 内。第三像素 P3 先前在第一水平时间间隔 H_1 的第一半时间内存储该第一数据信号,但在该第二水平时间间隔 H_2 的第一半时间内,该第三像素 P3 存储该第三数据信号,而不是该第一数据信号。

[0041] 在第二水平时间间隔 H_2 的第二半时间内,仍然对第 (n+1) 条栅线 S(n+1) 提供 ON 栅信号,而对该第 (n+2) 条栅线 S(n+2) 提供 OFF 栅信号,并且将第四数据信号提供到数据线 D。第四像素 P4 的第一开关薄膜晶体管 SW_1 关断,并且第四像素 P4 存储该第三数据信号。第三像素 P3 的第一和第二薄膜晶体管 SW_1 和 SW_2 仍然导通,并且该第三像素 P3 存储该第四数据信号,而不是该第三数据信号。

[0042] 如上所解释的,第 (n+1) 条栅线 S(n+1) 具有持续第二水平时间间隔 H_2 的 ON 栅信号,而第 (n+2) 条栅线 S(n+2) 具有持续该第二水平时间间隔 H_2 的第一半的 ON 栅信号。在第二水平时间间隔 H_2 的第一半时间内持续提供第三数据信号,并在第二水平时间间隔 H_2 的第二半时间内持续提供第四数据信号。第三像素 P3 的开关元件在第一水平时间间隔内持续导通,并由此该第三像素 P3 在该第一半时间内持续存储该第三数据信号,并且取代该第三数据信号在该第二半时间内持续存储该第四数据信号。第四像素 P4 的开关元件在该第一半时间内持续导通并在该第二半内时间关断,并由此第四像素 P4 存储该第三数据信号。

[0043] 结果,该第一至第四像素 P1 至 P4 具有所需要的数据信号。该第一至第四像素 P1 至 P4 的驱动薄膜晶体管根据存储的数据信号被导通,并且第一至第四像素 P1 至 P4 的发光二极管 OLED 相应于该存储的数据信号发光。

[0044] 图 6 是按照本发明另一实施例的 OLED 装置的电路图,并且图 7 是用于驱动图 6 中的 OLED 装置的栅信号的波形图。

[0045] 图 6 中的奇像素和偶像素 OP 和 EP 除了开关和驱动薄膜晶体管之外,类似于图 3 中的奇像素和偶像素。图 3 中的开关和驱动薄膜晶体管是 n 型薄膜晶体管,但是图 6 中用于开关和驱动薄膜晶体管 SW_01、SW_02、SW_E1、SW_E2、D_0 和 D_E 的是 p 型薄膜晶体管。由于将 p 型薄膜晶体管用于像素 OP 和 EP,因此电容器 C_0、C_E 和发光二极管 OLED_0、OLED_E 的位置与图 3 中的不同。电容器 C_0 和 C_E 与电源线 VDD 和驱动薄膜晶体管 D_0 和 D_E 的栅极相连接。发光二极管 OLED_0 和 OLED_E 连接到接地端子 GND 和驱动薄膜晶体管 D_0 和 D_E。

[0046] 由于使用 p 型薄膜晶体管,因此薄膜晶体管以低电平栅信号作为 ON 栅信号导通。因此,图 7 的栅信号波形与图 5 中的相反。

[0047] 除了薄膜晶体管的类型之外,图 6 中的 OLED 装置类似于图 3 中的 OLED 装置,因此,图 6 中的 OLED 装置以与驱动图 3 中的 OLED 装置类似的方式驱动。因此,省略对驱动图 6 中的 OLED 装置的方法的解释。

[0048] 在上述实施例中,与数据线的两侧相邻的列内的像素共享相同的数据线。共享该相同的数据线的同一行上的两个像素之一连接到栅线,而另一个连接到该栅线和下一栅线。对于一个水平时间间隔,两个不同的数据信号被提供到该数据线,并由此一个像素具有

一个数据信号,而另一个像素具有另一个数据信号。在这方面,本领域技术人员应当理解,像素的奇和偶的配置可以相互交换,并且通过变更数据信号施加到数据线上的顺序,可以改变存储在每一像素内的数据信号。

[0049] 因此,与现有技术中的数据线的数量相比,可以将数据线的数量减少一半,并且驱动 IC 的数量也减少了。

[0050] 该设备和方法也可以用于驱动其他显示装置,诸如液晶显示器 (LCD) 或等离子体显示板 (PDP)。

[0051] 本领域技术人员应当清楚,在不脱离本发明的精神和范围的情况下可以对本发明进行各种改进和改变。因此,本发明意在覆盖本发明的改变和变化,只要其落在所附权利要求及其等效物的保护范围内。

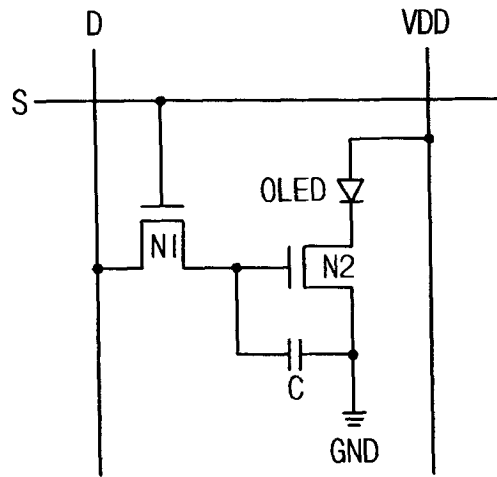


图 1

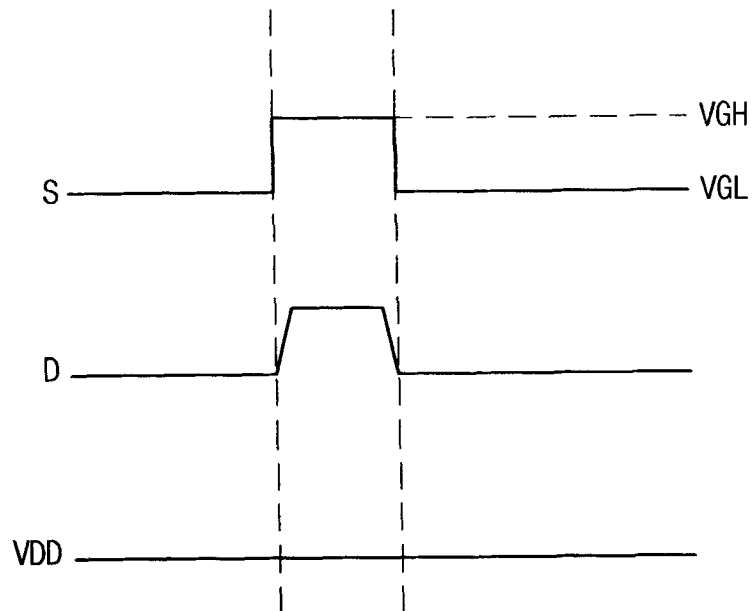


图 2

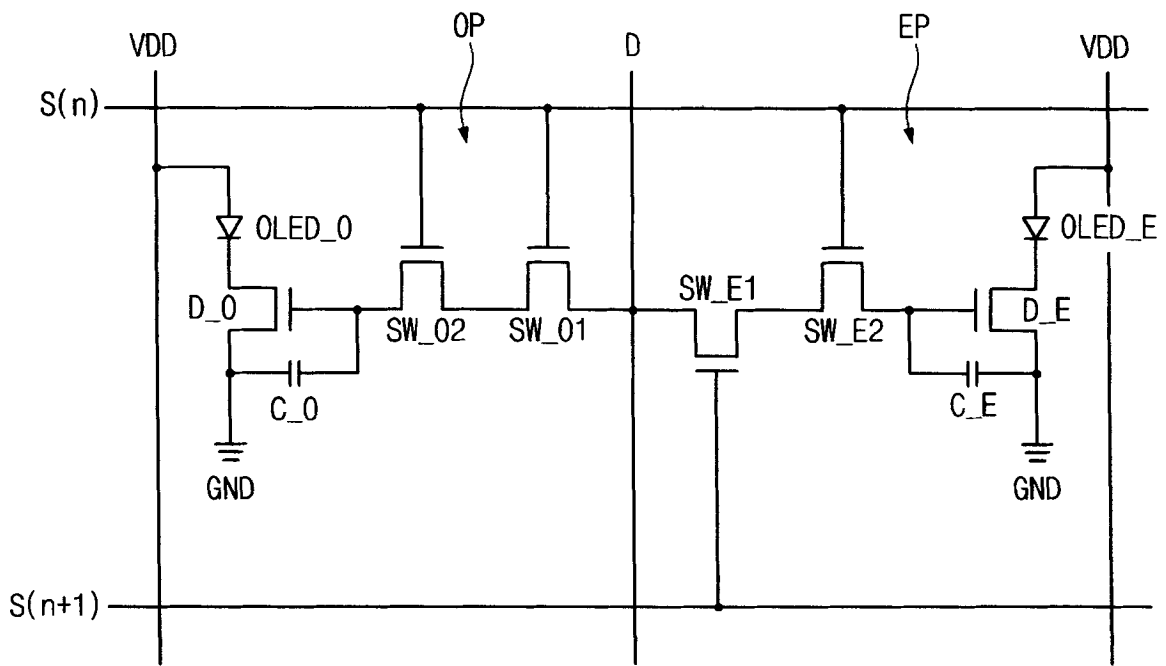


图 3

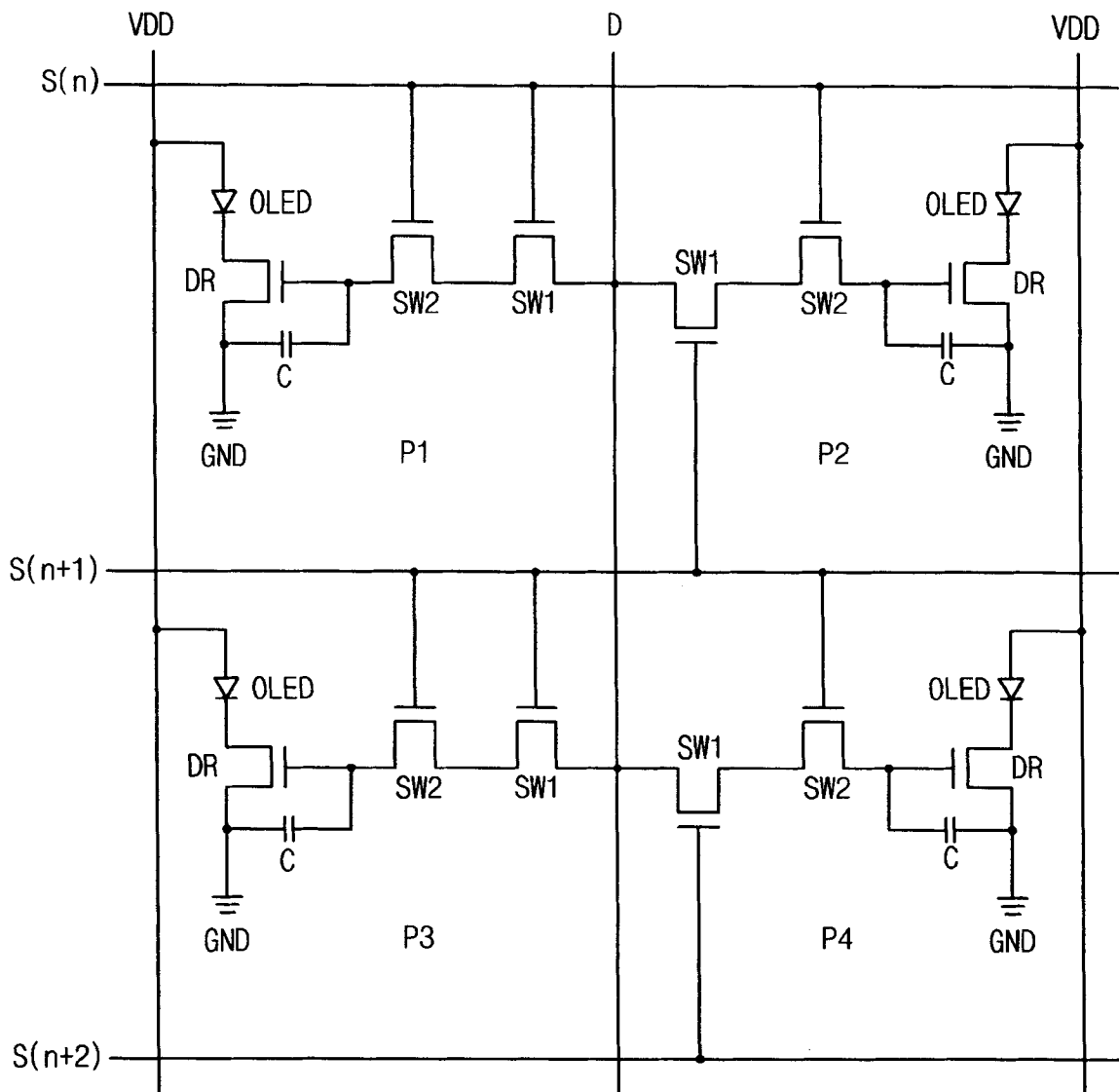


图 4

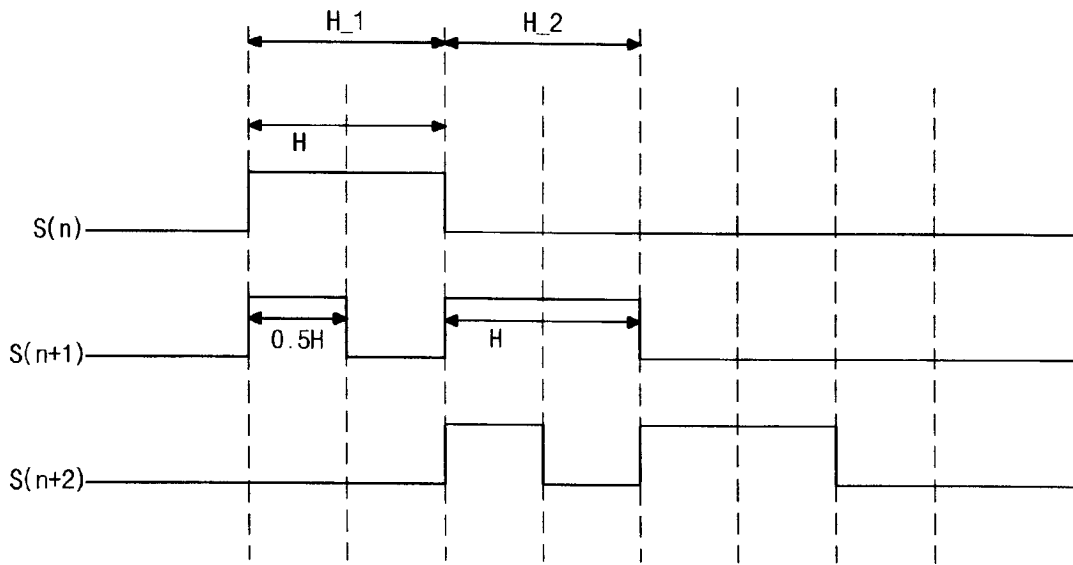


图 5

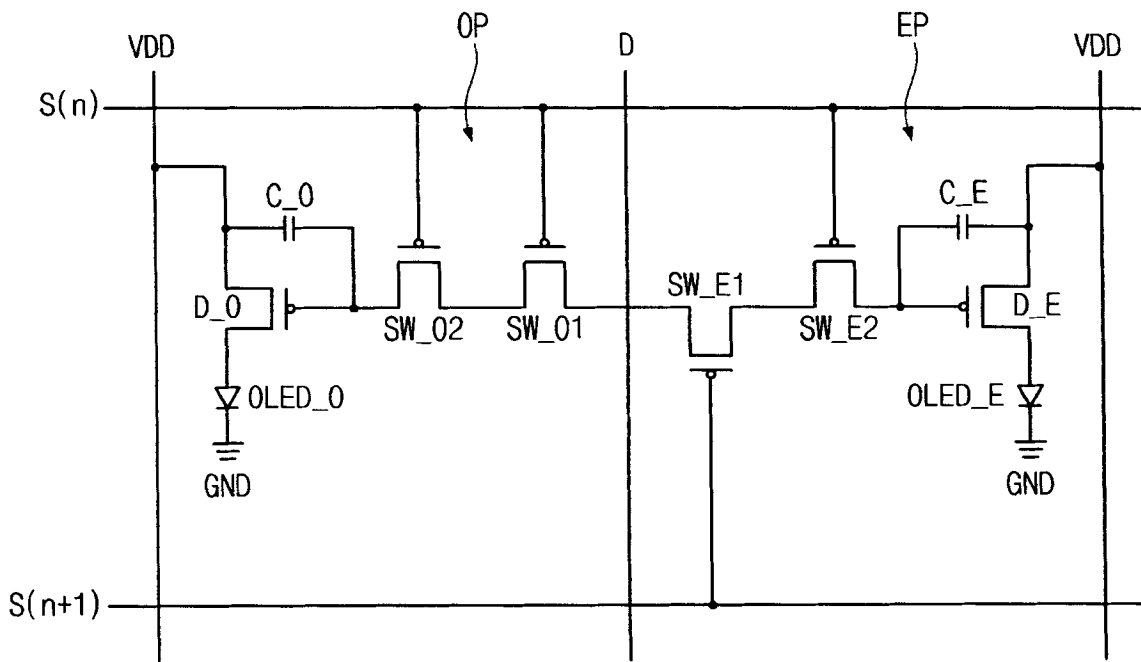


图 6

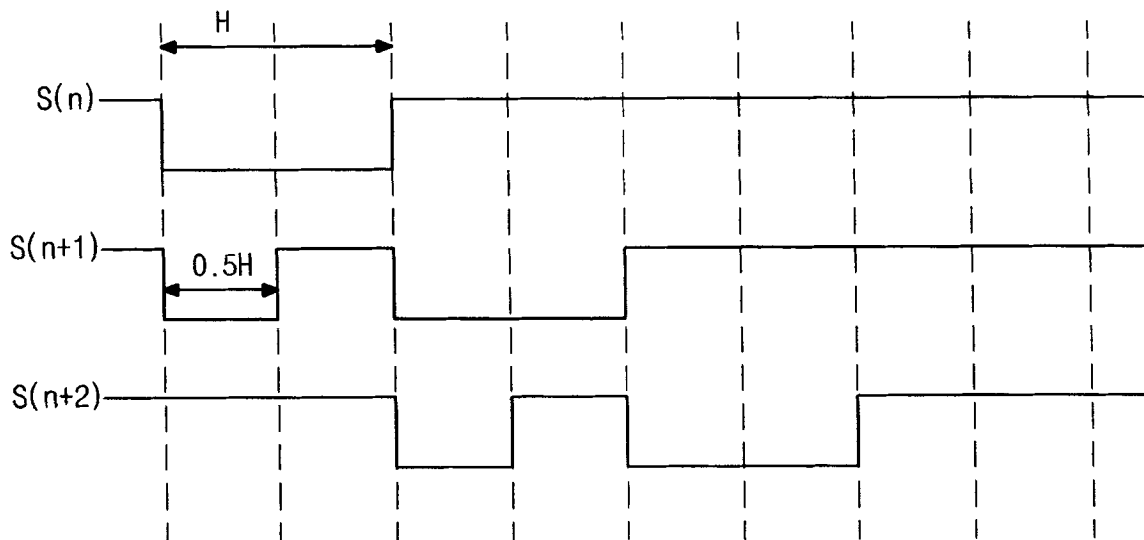


图 7

专利名称(译)	显示装置及驱动方法		
公开(公告)号	CN1892765B	公开(公告)日	2012-04-18
申请号	CN200610087176.0	申请日	2006-06-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	李明镐 白星豪 金仁焕 卞胜赞		
发明人	李明镐 白星豪 金仁焕 卞胜赞		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/08 H05B33/14		
CPC分类号	G09G2300/0814 G09G3/3225 G09G3/325 G09G2300/0426		
代理人(译)	徐金国		
优先权	1020050057485 2005-06-30 KR		
其他公开文献	CN1892765A		
外部链接	Espacenet SIPO		

摘要(译)

一种有机电致发光显示装置包括：数据线；电源线；第一和第二栅线；第一像素，包括第一驱动薄膜晶体管、连接到电源线和第一驱动薄膜晶体管的漏极的第一有机发光二极管、连接到第一驱动薄膜晶体管的栅极和源极的第一电容以及串联连接的第一和第二开关薄膜晶体管，第一开关薄膜晶体管连接到数据线和第一栅线，而第二开关薄膜晶体管连接到第一栅线；以及第二像素，包括第二驱动薄膜晶体管、连接到电源线和第二驱动薄膜晶体管的漏极的第二有机发光二极管、连接到第二驱动薄膜晶体管的栅极和源极的第二电容以及串联连接的第三和第三开关薄膜晶体管，第三开关薄膜晶体管连接到数据线和第一栅线，第四开关薄膜晶体管连接到第二栅线。

