



(12) 发明专利

(10) 授权公告号 CN 101714329 B

(45) 授权公告日 2012. 07. 18

(21) 申请号 200910146566. 4

CN 101079233 A, 2007. 11. 28,

(22) 申请日 2009. 06. 08

CN 101075407 A, 2007. 11. 21,

(30) 优先权数据

审查员 高倩倩

10-2008-0098317 2008. 10. 07 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 柳相镐 禹景敦 李在度 洪荣峻

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 黄纶伟

(51) Int. Cl.

G09G 3/32 (2006. 01)

(56) 对比文件

US 2004/0070557 A1, 2004. 04. 15,

US 2003/0016190 A1, 2003. 01. 23,

CN 1742308 A, 2006. 03. 01,

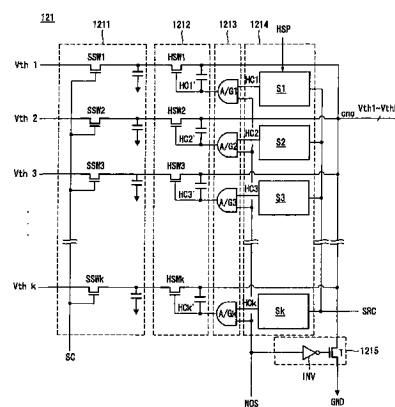
权利要求书 2 页 说明书 11 页 附图 7 页

(54) 发明名称

有机发光二极管显示器

(57) 摘要

本发明提供一种有机发光二极管显示器。所述有机发光二极管显示器包括：显示板，所述显示板包括多个数据线对、与所述多个数据线对交叉的多个选通线组、以及各具有两个驱动薄膜晶体管和有机发光二极管的多个像素；定时控制器，所述定时控制器生成非交叠信号；以及采样和保持块，所述采样和保持块利用非交叠信号去除毗连生成的第一保持时钟之间的交叠时段以生成彼此不相交叠的第二保持时钟，响应于第二保持时钟将所述像素的驱动薄膜晶体管的采样阈值电压提供给输出节点，并且响应于非交叠信号来在交叠时段中对输出节点放电。



1. 一种有机发光二极管显示器,其包括:

显示板,所述显示板包括:多个数据线对、与所述多个数据线对相交叉的多个选通线组,以及各具有两个驱动薄膜晶体管和一有机发光二极管的多个像素;

定时控制器,所述定时控制器生成非交叠信号;以及

采样和保持块,所述采样和保持块利用所述非交叠信号去除毗连生成的第一保持时钟之间的交叠时段,以生成彼此不相交叠的第二保持时钟;响应于所述第二保持时钟,将所述像素的所述驱动薄膜晶体管的采样阈值电压提供给输出节点;并且响应于所述非交叠信号在所述交叠时段中对所述输出节点放电。

2. 权利要求1所述的有机发光二极管显示器,其进一步包括:

模数转换器,所述模数转换器将通过所述输出节点输入的所述驱动薄膜晶体管的阈值电压转换为数字阈值电压;以及

存储器,所述存储器存储所述数字阈值电压和所述数字阈值电压的位置信息,

其中,所述定时控制器基于所述存储器中存储的信息,使用与从外部接收的显示数据的位置信息相对应的所述数字阈值电压来控制所述显示数据。

3. 权利要求1所述的有机发光二极管显示器,其中,所述采样和保持块包括:

采样开关阵列,所述采样开关阵列包括多个响应于采样时钟而接通的采样开关,所述采样开关阵列利用所述采样开关对所述驱动薄膜晶体管的阈值电压进行采样;

移位寄存器阵列,所述移位寄存器阵列包括多个级联级,所述移位寄存器阵列利用所述多个级联级生成所述第一保持时钟;

防交叠单元,所述防交叠单元对所述非交叠信号和所述第一保持时钟执行“与”操作,以生成所述第二保持时钟;

保持开关阵列,所述保持开关阵列包括多个响应于所述第二保持时钟而接通的保持开关,所述保持开关阵列利用所述保持开关将所述驱动薄膜晶体管的采样阈值电压顺序输出到所述输出节点;以及

放电单元,所述放电单元响应于所述非交叠信号,对在所述交叠时段内残留在所述输出节点处的电荷进行放电。

4. 权利要求3所述的有机发光二极管显示器,其中,所述防交叠单元包括各自连接在所述移位寄存器阵列与所述保持开关阵列之间的多个“与”元件。

5. 权利要求3所述的有机发光二极管显示器,其中,所述放电单元包括:

反相单元,所述反相单元反转所述非交叠信号的相位;以及

放电开关,所述放电开关连接在所述输出节点与地电平电压源之间,并且受所述反相单元的输出控制。

6. 权利要求5所述的有机发光二极管显示器,其中,所述非交叠信号具有与所述第一保持时钟在非交叠时段中的电平不同的第一逻辑电平,并且具有与所述第一保持时钟在所述非交叠时段中的电平相同的第二逻辑电平。

7. 权利要求6所述的有机发光二极管显示器,其中,所述放电开关响应于所述非交叠信号的所述第一逻辑电平而被导通。

8. 权利要求1所述的有机发光二极管显示器,其中,每个像素包括一数据线对和一选通线组。

9. 权利要求 1 所述的有机发光二极管显示器,其中,每个选通线组包括四条选通线。

10. 权利要求 1 所述的有机发光二极管显示器,其中,每个像素还包括四个开关薄膜晶体管。

11. 权利要求 3 所述的有机发光二极管显示器,其中,两个驱动薄膜晶体管并联连接在所述有机发光二极管的阴极与低电位驱动电压源之间。

12. 权利要求 11 所述的有机发光二极管显示器,其中,所述采样开关阵列在 1 帧时段期间对 1 条水平线上的多个第一驱动薄膜晶体管的阈值电压同时采样,并且在包括 n 帧时段的第一时段期间顺序执行采样操作,其中 n 是垂直分辨率,

其中,所述采样开关阵列在 1 帧时段期间对 1 条水平线上的多个第二驱动薄膜晶体管的阈值电压同时采样,并且在所述第一时段之后的包括 n 帧时段的第二时段期间顺序执行采样操作。

13. 权利要求 12 所述的有机发光二极管显示器,其中,所述多个数据线对中的每对包括用于驱动所述第一驱动薄膜晶体管的第一数据线和用于驱动所述第二驱动薄膜晶体管的第二数据线,

其中,所述采样开关阵列的所述采样开关交替连接到所述第一数据线和所述第二数据线,各达 n 帧时段。

有机发光二极管显示器

技术领域

[0001] 本发明的实施方式涉及一种能够通过准确提取驱动薄膜晶体管 (TFT) 的阈值电压来提高显示质量的有机发光二极管 (OLED) 显示器。

背景技术

[0002] 近来已经开发出其重量和尺寸均小于阴极射线管的各种平板显示器。平板显示器的示例包括：液晶显示器 (LCD)、场发射显示器 (FED)、等离子显示板 (PDP) 以及电致发光器件。

[0003] 因为 PDP 具有简单的结构,并且可通过简单的工艺制造,所以 PDP 被认为是在具有诸如重量轻和外形薄的特点的同时提供大尺寸屏幕的显示设备。然而,PDP 具有诸如发光效率低、亮度低以及功耗高的缺点。使用 TFT 作为开关元件的薄膜晶体管 (TFT) LCD 是应用最为广泛的平板显示器。但是,由于 TFT LCD 不是一种自发射显示器,因此 TFT LCD 具有较窄的视角和较低的响应速度。依据发射层的材料,电致发光器件分为无机发光二极管显示器和有机发光二极管 (OLED) 显示器。由于 OLED 显示器是自发射显示器,因此 OLED 显示器具有诸如响应速度快、发光效率高、亮度高以及视角宽的特点。

[0004] 如图 1 所示,OLED 显示器包括有机发光二极管。有机发光二极管包括阳极与阴极之间的有机化合物层。有机化合物层包括:空穴注入层 HIL、空穴传输层 HTL、发射层 EML、电子传输层 ETL 以及电子注入层 EIL。

[0005] 当对阳极与阴极施加驱动电压时,穿过空穴传输层 HTL 的空穴和穿过电子传输层 ETL 的电子移动到发射层 EML,并且形成激子。因此,发射层 EML 生成可见光。

[0006] 在 OLED 显示器中,各包括上述有机发光二极管的像素以矩阵形式排列,并且由扫描脉冲选择的像素的亮度受视频数据的灰度级控制。在 OLED 显示器中,像素是通过选择性地导通用作有源元件的 TFT 来选择的,并且因存储电容器的充电电压而保持在发光状态。

[0007] 图 2 是相关技术 OLED 显示器中的像素的等效电路图。

[0008] 如图 2 所示,相关技术有源矩阵型 OLED 显示器的各像素包括:有机发光二极管 OLED、数据线 DL、与所述数据线 DL 相交叉的选通线 GL、开关 TFT SW、驱动 TFT DR 以及存储电容器 Cst。开关 TFT SW 和驱动 TFT DR 中的每一个可被实施为 N 型金属氧化物半导体场效应晶体管 (MOSFET)。

[0009] 当响应于从选通线 GL 接收到的扫描脉冲而导通开关 TFT SW 时,接通了开关 TFT SW 的源极与漏极之间的电流通路。在开关 TFT SW 的导通时间内,将从数据线 DL 接收到的数据电压施加于驱动 TFT DR 的栅极和存储电容器 Cst。

[0010] 驱动 TFT DR 根据该驱动 TFT DR 的栅极与源极之间的电压差来控制在有机发光二极管 OLED 中流动的电流。

[0011] 存储电容器 Cst 存储施加在该存储电容器 Cst 一侧的电极上的数据电压,由此使得施加在驱动 TFT DR 的栅极上的数据电压在 1 帧时段期间保持不变。

[0012] 有机发光二极管 OLED 具有如图 1 中所示的结构。有机发光二极管 OLED 连接在驱

动 TFT DR 的源极与高电位驱动电压源 VDD 之间。

[0013] 图 2 所示的像素的亮度与在该有机发光二极管 OLED 中流动的电流成正比,如下述等式 1 中所示。在有机发光二极管 OLED 中流动的电流可通过驱动 TFT DR 的栅极与源极之间的电压差和驱动 TFT DR 的阈值电压来确定。

[0014] [等式 1]

$$[0015] \quad I_{oled} = \frac{k}{2} (V_{gs} - V_{th})^2$$

[0016] 在上述等式 1 中, I_{oled} 表示有机发光二极管 OLED 的驱动电流, k 是由驱动 TFT DR 的迁移率和寄生电容决定的常量, V_{gs} 是驱动 TFT DR 的栅电压 V_g 与源电压 V_s 之间的电压差, 并且 V_{th} 是驱动 TFT DR 的阈值电压。

[0017] 如上述等式 1 所示, 所述有机发光二极管 OLED 的驱动电流 I_{oled} 受到驱动 TFT DR 的阈值电压 V_{th} 的很大影响。

[0018] 在 OLED 显示器中, 像素亮度的不均匀性通常是由包括阈值电压的驱动 TFT 的电特性之间的差异所引起的。驱动 TFT 的电特性之间的差异是由显示板的背板所引起的。在使用低温多晶硅 (LTPS) 背板的显示板中, 驱动 TFT 的电特性之间的差异是由准分子激光退火 (ELA) 工艺所引起的。另一方面, 在使用非晶硅 (a-Si) 背板的显示板中, 驱动 TFT 的电特性之间的差异并非由工艺引起, 而是由驱动 TFT 的劣化水平之间的差异所引起的。劣化水平之间的差异是因驱动 TFT 的栅极的栅偏压应力之间的差异而引起, 并且栅偏压应力之间的差异造成了驱动 TFT 的阈值电压的差异。

[0019] 当对像素施加相同的数据时, 在像素的有机发光二极管中流动的电流之间, 存在因驱动 TFT 的电特性之间的差异而导致的差异。因此, 提出了一种方法, 所述方法包括以下步骤: 提取驱动 TFT 的阈值电压, 将提取到的阈值电压存储在存储器中, 并且将所存储的阈值电压反映在显示数据中。如图 3 所示, 在相关技术的方法中, 使用采样和保持块 1、模数转换器 (ADC) 2 以及存储器 3 来提取驱动 TFT 的阈值电压。响应于采样时钟 SC, 对在同一水平线上的像素的阈值电压 V_{th1} 至 V_{thk} 同时采样, 之后响应于保持时钟 HC1 至 HCk, 顺次提取这些阈值电压 V_{th1} 至 V_{thk} 。经由采样和保持块 1 的公共输出节点 cno, 将所提取的阈值电压 V_{th1} 至 V_{thk} 输入到 ADC2 中, 并且将其转换为数字值 $D1 \sim Dk$ 。之后, 将该数字值 $D1 \sim Dk$ 存储在存储器 3 中。采样和保持块 1 包括: 响应于采样时钟 SC 而同时操作的多个采样开关, 和响应于保持时钟 HC1 至 HCk 而各自操作的多个保持开关。

[0020] 如图 4 所示, 每次当保持时钟 HC1 至 HCk 的逻辑电平发生变化时, 由于在开关和线路中存在的诸如寄生电容的影响, 保持时钟 HC1 至 HCk 的逻辑电平并不像由 'a' 所表示的那样突变 (critically change), 而是像 'b' 所表示的那样渐变。因此, 在用于提取所述阈值电压的相关技术方法中, 当保持开关被接通或断开时, 相邻像素的阈值电压在所述相邻像素的阈值电压彼此部分交叠的状态下被提取。也就是说, 产生了阈值电压的交叠时段 OVP。因为在交叠时段 OVP 中, 相邻像素的阈值电压相混合, 所以几乎不能准确地提取阈值电压。

[0021] 此外, 由于在开关和线路中存在的寄生电容, 在采样和保持块 1 的公共输出节点 cno 处相继输出的阈值电压之间会发生干扰。因为在先输出的阈值电压的电荷分量残留在开关或线路中并起到寄生电容的作用, 所以在先输出的阈值电压影响当前输出的阈值电压。由于提取阈值电压的相关技术方法不执行能够对残留电荷分量进行放电的操作, 因此

几乎不能准确提取阈值电压。

[0022] 因此,在提取阈值电压的相关技术方法中,限制了对显示质量的改进。

发明内容

[0023] 本发明的实施方式提供了一种有机发光二极管 (OLED) 显示器,该有机发光二极管显示器能够准确地提取驱动薄膜晶体管 (TFT) 的阈值电压。

[0024] 本发明的实施方式还提供了一种 OLED 显示器,该 OLED 显示器能够通过准确地提取驱动 TFT 的阈值电压并且将所提取到的阈值电压反映在显示数据中来提高显示质量。

[0025] 在一个方面中,存在一种有机发光二极管 (OLED) 显示器,所述 OLED 显示器包括:显示板,所述显示板包括多个数据线对,与所述多个数据线对相交叉的多个选通线组,以及各具有两个驱动薄膜晶体管和一有机发光二极管的多个像素;定时控制器,所述定时控制器生成非交叠信号;以及采样和保持块,所述采样和保持模块利用该非交叠信号去除毗连生成的第一保持时钟之间的交叠时段,以生成彼此不相交叠的第二保持时钟,响应于该第二保持时钟将像素的驱动薄膜晶体管的采样阈值电压施加于输出节点,并且响应于所述非交叠信号在交叠时段中对输出节点进行放电。

[0026] 所述 OLED 显示器还包括:模数转换器 (ADC),所述模数转换器将通过所述输出节点输入的驱动薄膜晶体管的阈值电压转换成数字阈值电压;以及存储器,所述存储器存储所述数字阈值电压和所述数字阈值电压的位置信息,其中所述定时控制器基于存储在所述存储器中的信息,利用与从外部接收的显示数据的位置信息相对应的数字阈值电压来控制显示数据。

[0027] 所述采样和保持块包括:采样开关阵列,所述采样开关阵列包括响应于采样时钟而接通的多个采样开关,所述采样开关阵列利用所述采样开关对驱动薄膜晶体管的阈值电压进行采样;移位寄存器阵列,所述移位寄存器阵列包括多个级联级,所述移位寄存器阵列利用所述多个级联级生成第一保持时钟;防交叠单元,所述防交叠单元对所述非交叠信号和所述第一保持时钟执行“与”(AND) 操作,以生成第二保持时钟;保持开关阵列,所述保持开关阵列包括响应于所述第二保持时钟而接通的多个保持开关,所述保持开关阵列利用所述保持开关将驱动薄膜晶体管的采样阈值电压顺序输出到所述输出节点;以及放电单元,所述放电单元响应于所述非交叠信号在所述交叠时段中对残留在所述输出节点的电荷进行放电。

[0028] 所述防交叠单元包括各自连接在所述移位寄存器阵列与所述保持开关阵列之间的多个“与”元件。

[0029] 所述放电单元包括:反相单元,所述反相单元反转所述非交叠信号的相位;以及放电开关,所述放电开关连接在所述公共输出节点与地电平电压源之间,并且受所述反相单元的输出控制。

[0030] 所述非交叠信号具有与所述第一保持时钟在非交叠时段中的电平不同的第一逻辑电平,并且具有与所述第一保持时钟在非交叠时段中的所述电平相同的第二逻辑电平。

[0031] 所述放电开关响应于所述非交叠信号的所述第一逻辑电平而导通。

[0032] 每个像素包括一数据线对和一选通线组。

[0033] 每个选通线组包括四条选通线。

[0034] 每个像素还包括四个开关薄膜晶体管。

[0035] 两个驱动薄膜晶体管并联连接在有机发光二极管的阴极与低电位驱动电压源之间。

[0036] 所述采样开关阵列在 1 帧时段期间对 1 条水平线上的一个驱动薄膜晶体管的阈值电压进行同时采样,并且在包括 n 帧时段的第一时段期间顺序执行采样操作,其中 n 是垂直分辨率,其中所述采样开关阵列在 1 帧时段期间对 1 条水平线上的另一驱动薄膜晶体管的阈值电压进行同时采样,并且在所述第一时段后的包括 n 帧时段的第二时段期间顺序执行采样操作。

[0037] 多个数据线对中的每对包括用于驱动所述一个驱动薄膜晶体管的第一数据线和用于驱动所述另一驱动薄膜晶体管的第二数据线,其中所述采样开关阵列的采样开关交替连接到所述第一数据线和所述第二数据线,各达 n 帧时段。

附图说明

[0038] 附图被包含以提供对本发明的进一步理解,并且并入本说明书且构成本说明书的一部分,附图例示了本发明的实施方式,并且与文字描述一起用于解释本发明的原理。在附图中:

[0039] 图 1 是用于解释通常的有机发光二极管 (OLED) 显示器的发光原理的图;

[0040] 图 2 是相关技术 OLED 显示器中的像素的等效电路图;

[0041] 图 3 是例示了用于提取相关技术驱动薄膜晶体管 (TFT) 的阈值电压的方法的框图;

[0042] 图 4 是例示了用于提取相关技术驱动 TFT 阈值电压的控制信号的波形和依据该波形的模数转换器 (ADC) 的输出图;

[0043] 图 5 是例示了根据本发明的实施方式的 OLED 显示器的框图;

[0044] 图 6 是像素的等效电路图;

[0045] 图 7 是施加于像素上的控制信号、数据电压,以及驱动电压的定时图;

[0046] 图 8 是例示了采样和保持块的框图;

[0047] 图 9 是例示了所述采样和保持块的电路图;以及

[0048] 图 10 是例示了用于提取驱动 TFT 阈值电压的控制信号的波形和依据该波形的模数转换器 (ADC) 的输出图。

具体实施方式

[0049] 现在将对本发明的具体实施方式做出详细介绍,其示例在附图中例示出。

[0050] 图 5 是例示了根据本发明的实施方式的有机发光二极管 (OLED) 显示器的框图。

[0051] 如图 5 所示,根据本发明的实施方式的 OLED 显示器包括:显示板 10、定时控制器 11、包括采样和保持块 121 的数据驱动器 12、选通驱动器 13、模数转换器 (ADC) 14,以及存储器 16。

[0052] 显示板 10 包括:多个数据线对 14a 和 14b、与多个数据线对 14a 和 14b 交叉的多个选通线组 15a 至 15d,以及以矩阵形式排列在多个数据线对 14a 和 14b 与多个选通线组 15a 至 15d 的各交叉点处的像素 P。各像素 P 接收高电位驱动电压 Vdd 和低电位驱动电压

Vss,并且连接到数据线对 14a 和 14b 以及选通线组 15a 至 15d。各数据线对包括第一数据线 14a 和第二数据线 14b。第一数据线 14a 和第二数据线 14b 分别在驱动薄膜晶体管 (TFT) 的阈值电压的提取路径和显示数据的写入路径中使用。第一数据线 14a 和第二数据线 14b 的功能每预定时间段彼此对换。更具体来说,在第一至第 n 帧时段期间(其中,n 是垂直分辨率),第一数据线 14a 被用于驱动 TFT 的阈值电压的提取路径,而在第 (n+1) 至第 2n 帧时段期间,第一数据线 14a 被用于显示数据的写入路径。另一方面,在第一至第 n 帧时段期间,第二数据线 14b 被用于显示数据的写入路径,而在第 (n+1) 至第 2n 帧时段期间,第二数据线 14b 被用于驱动 TFT 的阈值电压的提取路径。选通线组 15a 至 15d 包括:第一扫描线 15a、第二扫描线 15b、第一感测线 15c,以及第二感测线 15d。高电位驱动电压 Vdd 由高电位驱动电压源 VDD 生成,并且具有一致的电位电平(即 DC 电平)。低电位驱动电压 Vss 由低电位驱动电压源 VSS 生成,并且低电位驱动电压 Vss 的电位水平在高电位驱动电压 Vdd 与地电平电压之间周期性变化,从而感测驱动 TFT 的阈值电压。

[0053] 定时控制器 11 基于存储在存储器 16 中的信息,诸如数字阈值电压 D1 至 Dk 和与每个数字阈值电压 D1 至 Dk 有关的位置信息,对从外部接收到的显示数据 RGB 的灰度级进行控制,之后依照显示板 10 的分辨率,对所控制的显示数据 RGB 进行重新排列,以将经重新排列的显示数据 RGB 提供给数据驱动器 12。定时控制器 11 利用与从外部接收到的显示数据 RGB 的位置信息相对应的阈值电压,对所述显示数据 RGB 的灰度级进行控制。在此情况下,当阈值电压增加时,控制显示数据 RGB 的灰度级以使其增加。

[0054] 定时控制器 11 生成:用于控制数据驱动器 12 中的数据写入定时的数据写入控制信号 DDC,用于控制数据驱动器 12 中的阈值电压提取定时的阈值电压提取控制信号,以及用于基于定时信号(诸如水平同步信号 Hsync 和垂直同步信号 Vsync、数据使能信号 DE、点时钟 DCLK)来控制选通驱动器 13 的操作定时的选通控制信号 GDC。数据写入控制信号 DDC 包括源采样时钟 SSC 和源输出使能信号 SOE 等,所述源采样时钟 SSC 基于上升沿或下降沿指示数据驱动器 12 内部的显示数据的锁存操作,所述源输出使能信号 SOE 指示数据驱动器 12 的输出。阈值电压提取控制信号包括:采样时钟 SC,其用于对阈值电压进行采样;保持起始脉冲 HSP,其指示阈值电压的保持起始时间点;移位寄存器时钟 SRC,其用于对保持起始脉冲 HSP 进行顺序移位;以及非交叠信号 NOS,其用于防止水平相邻像素的驱动 TFT 的阈值电压彼此交叠并以交叠状态被提取。选通控制信号 GDC 包括:选通起始脉冲 GSP、选通移位时钟 GSC、选通输出使能信号 GOE 等。选通起始脉冲 GSP 指示了在显示一个画面期间的一帧时段内的扫描起始水平线。选通移位时钟 GSC 被输入到选通驱动器 13 的移位寄存器以对选通起始脉冲 GSP 进行顺序移位,并且选通移位时钟 GSC 具有与 TFT 的导通时段相对应的脉冲宽度。选通输出使能信号 GOE 指示选通驱动器 13 的输出。

[0055] 数据驱动器 12 在定时控制器 11 的控制下将显示数据 RGB 转换为模拟数据电压(此后称为数据电压),以将该数据电压提供给数据线对 14a 和 14b。包括采样和保持块 121 的数据驱动器 12 将从像素 P 提取的模拟阈值电压 Vth1 至 Vthk 提供给 ADC14。如图 8 中所示,采样和保持块 121 包括:防交叠单元 1213,其防止水平相邻像素的驱动 TFT 的阈值电压彼此交叠并以交叠的状态被提取;以及放电单元 1215,其防止通过公共输出节点 cno 顺次输出的阈值电压的干扰。稍后将参照图 8 至 10 对采样和保持块 121 进行详细描述。

[0056] 选通驱动器 13 在定时控制器 11 的控制下生成第一和第二扫描信号 SCAN1 和

SCAN2 以及第一和第二感测信号 SEN1 和 SEN2。如图 6 所示,将第 1 扫描信号 SCAN1 提供给第一扫描线 15a,而将第 2 扫描信号 SCAN2 提供给第二扫描线 15b。将第一感测信号 SEN1 提供给第一感测线 15c,而将第二感测信号 SEN2 提供给第二感测线 15d。

[0057] ADC14 将从采样和保持块 121 接收到的模拟阈值电压 V_{th1} 至 V_{thk} 转换为数字阈值电压 D1 至 Dk,之后将所述数字阈值电压 D1 至 Dk 提供给存储器 16。

[0058] 存储器 16 以查找表的形式存储来自 ADC14 的数字阈值电压 D1 至 Dk,以及关于各数字阈值电压 D1 至 Dk 的位置信息。存储器 16 可安装在定时控制器 11 内部。

[0059] 图 6 是图 5 的像素 P 的等效电路图。图 7 是施加于像素 P 的控制信号、数据电压以及驱动电压的定时图。

[0060] 如图 6 所示,像素 P 包括:有机发光二极管 OLED、第一驱动器 DP(L),以及第二驱动器 DP(R)。

[0061] 有机发光二极管 OLED 连接在高电位驱动电压源 VDD 与公共节点 nc 之间。由有机发光二极管 OLED 发射的光的量受在高电位驱动电压源 VDD 与低电位驱动电压源 VSS 之间流动的电流量的控制,所述电流量由第一驱动器 DP(L) 或第二驱动器 DP(R) 确定。因此有机发光二极管 OLED 表示基于当前电流量的灰度级。

[0062] 第一驱动器 DP(L) 包括:第一驱动 TFT DT1、第一和第二开关 TFTST1 和 ST2,以及第一存储电容器 SC1。第一驱动 TFT DT1 连接在公共节点 nc 与低电位驱动电压 VSS 之间,并且利用第一驱动 TFT DT1 的栅极与源极之间的电压差来控制有机发光二极管 OLED 中流动的电流。第一开关 TFT ST1 连接在第一数据线 14a 与第一节点 n1 之间,并且响应于来自第一扫描线 15a 的第一扫描信号 SCAN1,接通第一数据线 14a 与第一节点 n1 之间的电流通路。第二开关 TFT ST2 连接在第一数据线 14a 与公共节点 nc 之间,并且响应于来自第一感测线 15c 的第一感测信号 SEN1,接通第一数据线 14a 与公共节点 nc 之间的电流通路。第一存储电容器 SC1 连接在第一节点 n1 与低电位驱动电压源 VSS 之间。

[0063] 第一驱动器 DP(L) 每预定时间段(例如,每 n 帧时段的扫描时段的总和,其中 n 是垂直分辨率)交替执行阈值电压感测操作和显示数据写入操作。更具体来说,对于所述阈值电压感测操作,第一驱动器 DP(L) 在第一帧至第 n 帧期间(其中 n 是垂直分辨率)的一帧时段期间执行第一驱动 TFT DT1 的阈值电压感测操作,而在其它帧时段期间执行负(negative)数据写入操作,以降低第一驱动 TFT DT1 的栅偏压应力。负数据写入操作包括,比如将负数据 ND 写入到第一驱动器 DP(L)/第二驱动器 DP(R)。对于显示数据写入操作,在第 (n+1) 帧至第 2n 帧时段期间,第一驱动器 DP(L) 执行显示数据写操作以允许有机发光二极管 OLED 发光。

[0064] 第二驱动器 DP(R) 包括:第二驱动 TFT DT2、第三和第四开关 TFTST3 和 ST4,以及第二存储电容器 SC2。第二驱动 TFT DT2 连接在公共节点 nc 与低电位驱动电压源 VSS 之间,并且利用第二驱动 TFT DT2 的栅极与源极之间的电压差来控制发光二极管 OLED 中流动的电流。第三开关 TFT ST3 连接在第二数据线 14b 与第二节点 n2 之间,并且响应于来自第二扫描线 15b 的第二扫描信号 SCAN2,接通第二数据线 14b 与第二节点 n2 之间的电流通路。第四开关 TFT ST4 连接在第二数据线 14b 与公共节点 nc 之间,并且响应于来自第二感测线 15d 的第二感测信号 SEN2,接通第二数据线 14b 与公共节点 nc 之间的电流通路。第二存储电容器 SC2 连接在第二节点 n2 与低电位驱动电压源 VSS 之间。

[0065] 第二驱动器 DP(R) 每预定时间段（例如，每 n 帧时段的扫描时段的总和，其中 n 是垂直分辨率）交替执行阈值电压感测操作和显示数据写入操作。在相同的帧时段期间，第二驱动器 DP(R) 的操作与第一驱动器 DP(L) 的操作是相反的。更具体来说，在第一驱动器 DP(L) 执行阈值电压感测操作的第一至第 n 帧时段期间，第二驱动器 DP(R) 执行允许有机发光二极管 OLED 发光的显示数据写入操作。在第一驱动器 DP(L) 执行显示数据写入操作的第 $(n+1)$ 至第 $2n$ 帧时段期间，第二驱动器 DP(R) 在第 $(n+1)$ 至第 $2n$ 帧时段的一帧时段期间执行第二驱动 TFT DT2 的阈值电压感测操作，并在其它帧时段期间执行负数据写入操作以降低第二驱动 TFT DT2 的栅偏压应力。

[0066] 下面参照图 7 的定时图对图 6 中所示的像素 P 的操作进行描述。在图 7 中，P1 至 P4 指示了通过对第一至第 n 帧时段（其中 n 是垂直分辨率）的一帧时段进行划分而获得的时段。更具体来说，P1 指示用于对第一驱动器 DP(L) 的各节点处的电压进行初始化的时段，P2 指示用于感测第一驱动 TFT DT1 的阈值电压的时段，P3 指示用于将负数据 ND 写入到第一驱动器 DP(L) 并且利用显示数据 DATA 对第二驱动器 DP(R) 进行编程的时段，而 P4 指示使用第二驱动器 DP(R) 使得有机发光二极管 OLED 发光的时段。P5 至 P8 指示通过对第 $(n+1)$ 至第 $2n$ 帧时段的一帧时段进行划分而获得的时段。更具体来说，P5 指示用于对第二驱动器 DP(R) 的各节点处的电压进行初始化的时段，P6 指示用于感测第二驱动 TFT DT2 的阈值电压的时段，P7 指示用于将负数据 ND 写入到第二驱动器 DP(R) 并且利用显示数据 DATA 对第一驱动器 DP(L) 进行编程的时段，而 P8 指示使用第一驱动器 DP(L) 使得有机发光二极管 OLED 发光的时段。

[0067] 在时段 P1 期间，由低电位驱动电压源 VSS 生成与高电位驱动电压 Vdd 具有相同电平的低电位驱动电压 Vss，并且将与高电位驱动电压 Vdd 和第一驱动 TFT DT1 的最大阈值电压的总和相对应的第一数据电压 DATA1 提供给第一数据线 14a。例如，假设高电位驱动电压 Vdd 为 18V，并且第一驱动 TFT DT1 的最大阈值电压为 7V，则将 25V 的第一数据电压 DATA1 提供给第一数据线 14a。在时段 P1 期间，生成了高逻辑电平的第一扫描信号 SCAN1 和高逻辑电平的第一感测信号 SEN1，并由此导通第一和第二开关 TFT ST1 和 ST2。因此，通过公共节点 nc 与第一节点 n1 的连接，将第一驱动 TFT DT1 二极管式连接。在时段 P1 期间，生成了低逻辑电平的第二扫描信号 SCAN2 和低逻辑电平的第二感测信号 SEN2，并由此截止第三和第四开关 TFT ST3 和 ST4。

[0068] 在时段 P2 期间，通过对数据驱动器 12 的内部开关进行操作，数据驱动器 12 允许第一数据线 14a 被浮置。在时段 P2 期间，第一扫描信号 SCAN1 和第一感测信号 SEN1 保持高逻辑电平，由此使得第一和第二开关 TFT ST1 和 ST2 持续保持在导通状态。低电位驱动电压 Vss 的电平保持高电位驱动电压 Vdd 的电平。因此，第一节点 n1 的电压从与高电位驱动电压 Vdd 和第一驱动 TFT DT1 的最大阈值电压的总和相对应的电压电平，降至与高电位驱动电压 Vdd 和第一驱动 TFT DT1 的实际阈值电压的总和相对应的电压电平。第一驱动 TFT DT1 的最大阈值电压大于第一驱动 TFT DT1 的实际阈值电压。第一节点 n1 与低电位驱动电压源 VSS 之间的电压差是第一驱动 TFT DT1 的实际阈值电压，并且将第一驱动 TFT DT1 的实际阈值电压存储在第一存储电容器 SC1 中。随后，通过对数据驱动器 12 的内部开关进行操作，数据驱动器 12 将第一数据线 14a 连接到采样和保持块 121。因此，存储在第一存储电容器 SC1 中的第一驱动 TFT DT1 的实际阈值电压经由第一数据线 14a 被传送到采样

和保持块 121。在时段 P2 期间,第二扫描信号 SCAN2 和第二感测信号 SEN2 保持在低逻辑电平,由此第三和第四开关 TFT ST3 和 ST4 持续保持在截止状态。

[0069] 在时段 P3 期间,数据驱动器 12 通过操作数据驱动器 12 的内部开关,将与负数据 ND 具有相同电平的第一数据电压 DATA1 提供给第一数据线 14a,并且将设置电平(programming level)的第二数据电压 DATA2 提供给第二数据线 14b。低电位驱动电压 Vss 的电平保持在高电位驱动电压 Vdd 的电平。在时段 P3 期间,第一扫描信号 SCAN1 保持在高逻辑电平,由此第一开关 TFT ST1 持续保持在导通状态。另一方面,第一感测信号 SEN1 的电平被反转为低逻辑电平,由此截止第二开关 TFT ST2。因此,将与负数据 ND 具有相同电平的第一数据电压 DATA1 提供给第一节点 n1。在时段 P3 期间,第二扫描信号 SCAN2 的电平被反转为高逻辑电平,由此导通第三开关 TFT ST3。另一方面,第二感测信号 SEN2 保持在低逻辑电平,由此第四开关 TFT ST4 持续保持在截止状态。因此,第二节点 n2 被设置为与显示数据 DATA 相对应的第二数据电压 DATA2。

[0070] 在时段 P4 期间,低电位驱动电压 Vss 的电平被降低为地电平,因此在高电位驱动电压源 VDD 与低电位驱动电压源 VSS 之间形成了电流通路。在时段 P4 期间,第一和第二扫描信号 SCAN1 和 SCAN2 的电平被反转为低逻辑电平,由此截止第一和第三开关 TFT ST1 和 ST3。另一方面,第一和第二感测信号 SEN1 和 SEN2 保持在低逻辑电平,由此第二和第四开关 TFT ST2 和 ST4 持续保持在截止状态。从而,第一节点 n1 的电压从负数据 ND 的电平降低了低电位驱动电压 Vss 的改变量,由此减小了第一驱动 TFT DT1 的栅偏压应力。第二节点 n2 的电压从显示数据 DATA 的电平降低了低电位驱动电压 Vss 的改变量。第二节点 n2 与低电位驱动电压源 VSS 之间的电压差存储在第二存储电容器 SC2 中,并且通过所存储的电压差确定在有机发光二极管 OLED 中流动的电流。有机发光二极管 OLED 根据所确定的电流来发光,以表示灰阶(gray scale)。

[0071] 在时段 P5 期间,由低电位驱动电压源 VSS 生成了与高电位驱动电压 Vdd 具有相同电平的低电位驱动电压 Vss,并且将与高电位驱动电压 Vdd 和第二驱动 TFT DT2 的最大阈值电压之和相对应的第二数据电压 DATA2 提供给第二数据线 14b。例如,假设高电位驱动电压 Vdd 为 18V,并且第二驱动器 TFT DT2 的最大阈值电压为 7V,则将 25V 的第二数据电压 DATA2 提供给第二数据线 14b。在时段 P5 期间,生成了高逻辑电平的第二扫描信号 SCAN2 和高逻辑电平的第二感测信号 SEN2,由此导通第三和第四开关 TFT ST3 和 ST4。因此,通过连接公共节点 nc 与第二节点 n2,将第二驱动 TFT DT2 二极管式连接。在时段 P5 期间,生成了低逻辑电平的第一扫描信号 SCAN1 和低逻辑电平的第一感测信号 SEN1,由此截止第一和第二开关 TFT ST1 和 ST2。

[0072] 在时段 P6 期间,通过操作数据驱动器 12 的内部开关,数据驱动器 12 允许第二数据线 14b 被浮置。在时段 P6 期间,第二扫描信号 SCAN2 和第二感测信号 SEN2 保持在高逻辑电平,由此第三和第四开关 TFT ST3 和 ST4 持续保持在导通状态。低电位驱动电压 Vss 的电平保持在高电位驱动电压 Vdd 的电平。因此,第二节点 n2 的电压从与高电位驱动电压 Vdd 和第二驱动 TFT DT2 的最大阈值电压的总和相对应的电压电平,降至与高电位驱动电压 Vdd 和第二驱动 TFT DT2 的实际阈值电压的总和相对应的电压电平。第二驱动 TFT DT2 的最大阈值电压大于第二驱动 TFTDT2 的实际阈值电压。第二节点 n2 与低电位驱动电压源 VSS 之间的电压差是第二驱动 TFT DT2 的实际阈值电压,并且将第二驱动 TFT DT2 的实

际阈值电压存储于第二存储电容器 SC2 中。随后,通过对数据驱动器 12 的内部开关进行操作,数据驱动器 12 将第二数据线 14b 连接到采样和保持块 121。因此,存储在第二存储电容器 SC2 中的第二驱动 TFT DT2 的实际阈值电压经由第二数据线 14b 被传送到采样和保持块 121。在时段 P6 期间,第一扫描信号 SCAN1 和第一感测信号 SEN1 保持在低逻辑电平,由此第一和第二开关 TFT ST1 和 ST2 持续保持在截止状态。

[0073] 在时段 P7 期间,通过操作数据驱动器 12 的内部开关,数据驱动器 12 将与负数据 ND 具有相同电平的第二数据电压 DATA2 提供给第二数据线 14b,并且将设置电平的第一数据电压 DATA1 提供给第一数据线 14a。低电位驱动电压 V_{ss} 的电平保持在高电位驱动电压 V_{dd} 的电平。在时段 P7 期间,第二扫描信号 SCAN2 保持在高逻辑电平,由此第三开关 TFTST3 持续保持在导通状态。另一方面,第二感测信号 SEN2 的电平被反转为低逻辑电平,由此截止第四开关 TFT ST4。因此,与负数据 ND 具有相同电平的第二数据电压 DATA2 被提供给第二节点 n2。在时段 P7 期间,第一扫描信号 SCAN1 的电平被反转为高逻辑电平,由此导通第一开关 TFT ST1。另一方面,第一感测信号 SEN1 保持在低逻辑电平,由此第二开关 TFT ST2 持续保持在截止状态。因此,第一节点 n1 被设置为与显示数据 DATA 相对应的第一数据电压 DATA1。

[0074] 在时段 P8 期间,低电位驱动电压 V_{ss} 的电平被降至地电平,因此形成高电位驱动电压源 VDD 与低电位驱动电压源 V_{ss} 之间的电流通路。在时段 P8 期间,第一和第二扫描信号 SCAN1 和 SCAN2 的电平被反转为低逻辑电平,由此截止第一和第三开关 TFT ST1 和 ST3。另一方面,第一和第二感测信号 SEN1 和 SEN2 保持在低逻辑电平,由此第二和第四开关 TFT ST2 和 ST4 持续保持在截止状态。因此,第二节点 n2 的电压从负数据 ND 的电平降低了低电位驱动电压 V_{ss} 的改变量,由此减小了第二驱动 TFT DT2 的栅偏压应力。第一节点 n1 的电压从显示数据 DATA 的电平降低了低电位驱动电压 V_{ss} 的改变量。第一节点 n1 与低电位驱动电压源 V_{ss} 之间的电压差存储在第一存储电容器 SC1 中,并且通过所存储的电压差确定在有机发光二极管 OLED 中流动的电流。有机发光二极管 OLED 基于所确定的电流发光,以表示灰阶。

[0075] 图 8 和图 9 分别是例示了采样和保持块 121 的框图和电路图。图 10 是例示了用于提取驱动 TFT 阈值电压的控制信号的波形以及依据该波形的 ADC 的输出的图。

[0076] 如图 8 和图 9 所示,采样和保持块 121 包括:采样开关阵列 1211、保持开关阵列 1212、防交叠单元 1213、移位寄存器阵列 1214,以及放电单元 1215。

[0077] 采样开关阵列 1211 包括多个采样开关 SSW1 至 SSWk,这些采样开关响应于来自定时控制器 11 的采样时钟 SC 而被接通。采样开关阵列 1211 通过接通的采样开关 SSW1 至 SSWk,在 1 帧时段期间对在 1 条水平线上的第一驱动 TFT 的阈值电压 V_{th1} 至 V_{thk} 同时采样。也就是说,采样开关阵列 1211 每一帧时段执行 1 条水平线上的采样操作。因此,对显示板 10 的第一驱动 TFT 的全部阈值电压的采样需要 n 帧时段(其中 n 是垂直分辨率)。采样开关阵列 1211 在 n 帧时段期间,顺序地执行采样操作。采样开关阵列 1211 通过接通的采样开关 SSW1 至 SSWk,在一帧时段期间对在 1 条水平线上的第二驱动 TFT 的阈值电压 V_{th1} 至 V_{thk} 同时采样。采样开关阵列 1211 在所述 n 帧时段之后的 n 帧时段期间,顺序地执行采样操作。为了对第一和第二驱动 TFT 中的每一个的阈值电压 V_{th1} 至 V_{thk} 进行采样,多个采样开关 SSW1 至 SSWk 被交替地连接到 k 个第一数据线 14a 和 k 个第二数据线 14b,各达

n 个帧时段。

[0078] 保持开关阵列 1212 包括多个保持开关 HSW1 至 HSWk, 这些保持开关响应于第二保持时钟 HC1' 至 HCk' 中的各保持时钟而被接通。保持开关阵列 1212 利用接通的保持开关 HSW1 至 HSWk, 将所采样的阈值电压 Vth1 至 Vthk 顺次输出到公共输出节点 cno。

[0079] 移位寄存器阵列 1214 包括多个级联级 S1 至 Sk。移位寄存器阵列 1214 响应于来自定时控制器 11 的移位寄存器时钟 SRC, 将保持起始脉冲 HSP 从第一级 S1 顺次移位到第 k 级 Sk, 以生成第一保持时钟 HC1 至 HCk。如图 10 中所示, 由于诸如存在于开关和线路中的寄生电容的影响, 每次当第一保持时钟 HC1 至 HCk 的逻辑电平改变时, 第一保持时钟 HC1 至 HCk 的逻辑电平并不像 'a' 所表示的那样突变, 而是像 'b' 所表示的那样渐变。因此, 第一保持时钟 HC1 至 HCk 彼此部分交叠。

[0080] 防交叠单元 1213 包括分别连接到多个级 S1 至 Sk 的输出端子的多个“与”元件 A/G1 至 A/Gk。防交叠单元 1213 对来自定时控制器 11 的非交叠信号 NOS 和第一保持时钟 HC1 至 HCk 执行“与”操作, 以生成彼此不相交叠的第二保持时钟 HC1' 至 HCk'。在相邻的第一保持时钟的交叠时段中生成与第一保持时钟的电平相反的低逻辑电平的非交叠信号 NOS 的同时, 在相邻的第一保持时钟的非交叠时段中生成与第一保持时钟相同的高逻辑电平的非交叠信号 NOS。因此, 由于保持开关 HSW1 至 HSWk 响应于彼此不相交叠的第二保持时钟 HC1' 至 HCk' 进行操作, 如图 10 中所示, 能够在相邻像素的阈值电压之间无部分交叠的情况下, 准确地提取阈值电压 Vth1 至 Vthk。

[0081] 放电单元 1215 包括: 相位反转单元 INV, 其用于反转来自定时控制器 11 的非交叠信号 NOS 的相位; 以及放电开关 T, 其连接在公共输出节点 cno 与地电平电压源 GND 之间, 并且受相位反转单元 INV 的输出信号控制。相位反转单元 INV 可包括“与”门和反相器, 或可包括“与非”门。在其中生成低逻辑电平的非交叠信号 NOS 的交叠时段中接通放电开关 T, 由此对残留在公共输出节点 cno 中的电荷分量放电。因此消除了顺次输出的阈值电压之间的干扰。结果, 能够更准确地提取阈值电压 Vth1 至 Vthk。

[0082] 如上所述, 由于根据本发明的实施方式的 OLED 显示器包括在采样和保持块之中的防交叠单元和放电单元, 因此能够在顺次输出的阈值电压之间不存在干扰的情况下, 准确地提取阈值电压。

[0083] 此外, 由于根据本发明的实施方式的 OLED 显示器准确地提取了驱动 TFT 的阈值电压, 并且将所提取的阈值电压反应在显示数据中, 因此能够显著地改进显示质量。

[0084] 本说明书中, 对“一个实施方式”、“一实施方式”、“示例实施方式”等的任何提及都表示结合所述实施方式描述的具体特性、结构, 或特征被包括在本发明的至少一个实施方式中。这种短语在本说明书中的各位置出现并不必然都指示相同的实施方式。此外, 当结合任意实施方式描述具体特性、结构或特征时, 应该认为其落入了下述范围内: 即本领域技术人员能够结合其它实施方式实现这种特性、结构或特征。

[0085] 尽管已经参照多个示例性实施方式描述了实施方式, 但应当理解, 本领域技术人员仍然能够设计出落入本公开的原理范围内的大量其它修改和实施方式。更具体来说, 在本公开、附图以及所附权利要求的范围内, 能够对主体组合结构的组成部分和 / 或结构进行各种变形和修改。除了组成部分和 / 或结构上的变形和修改之外, 其它另选应用对于本领域技术人员来说也是明显的。

[0086] 本申请要求享有于 2008 年 10 月 7 日提交的韩国专利申请 No. 10-2008-098317 的优先权,为了所有目的,如在此进行充分阐述一样,通过引用将其全部内容并入本文。

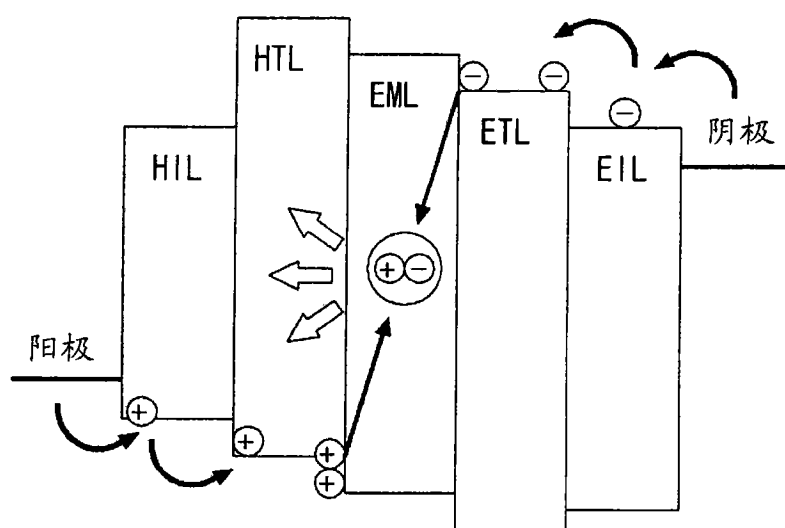


图 1

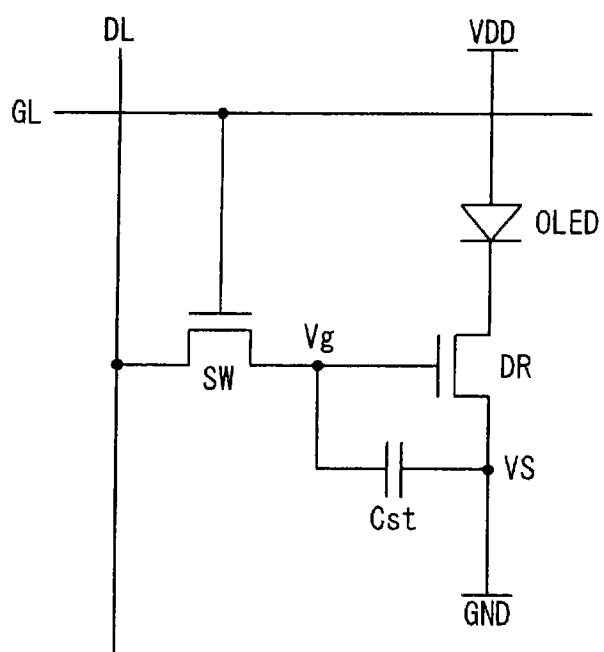


图 2

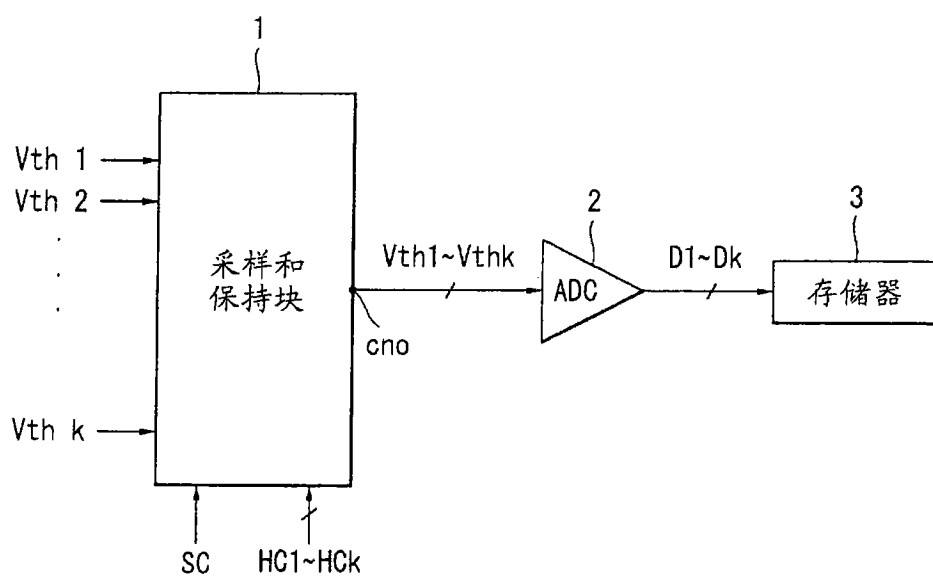


图 3

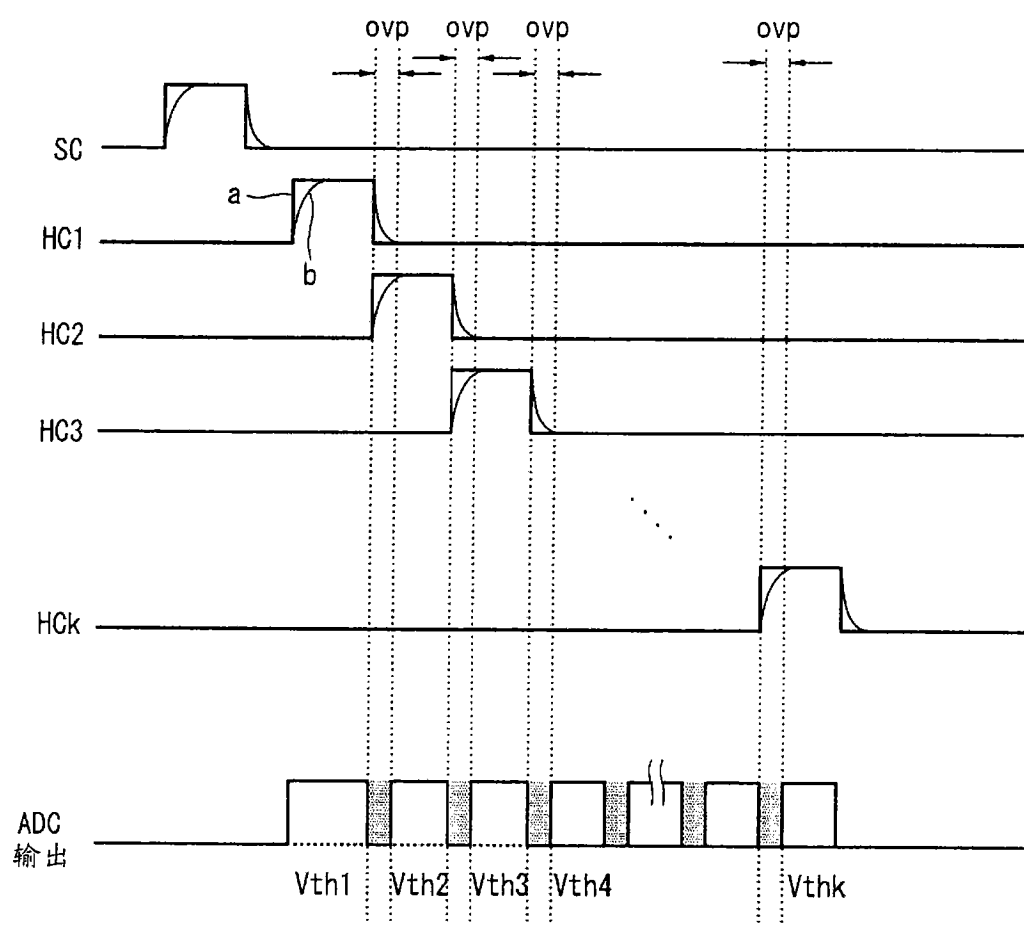


图 4

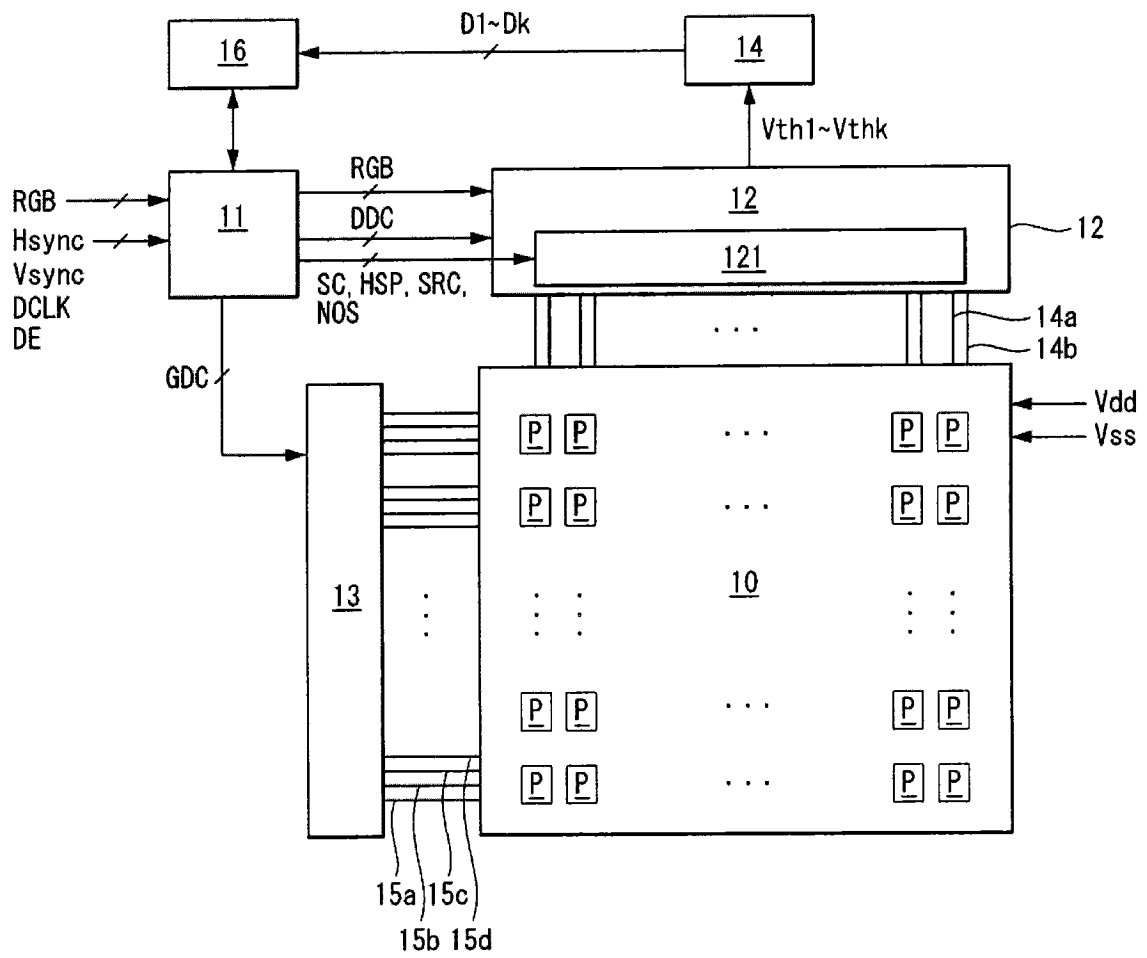


图 5

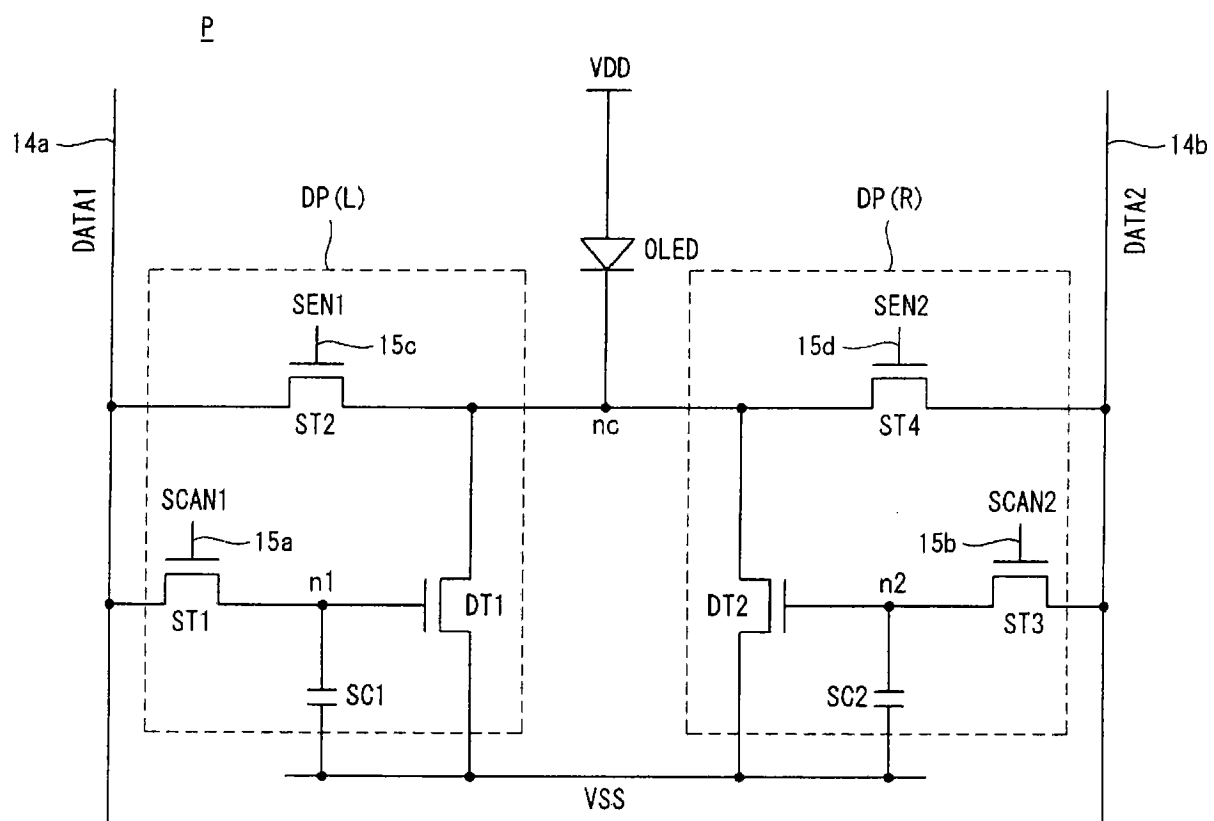
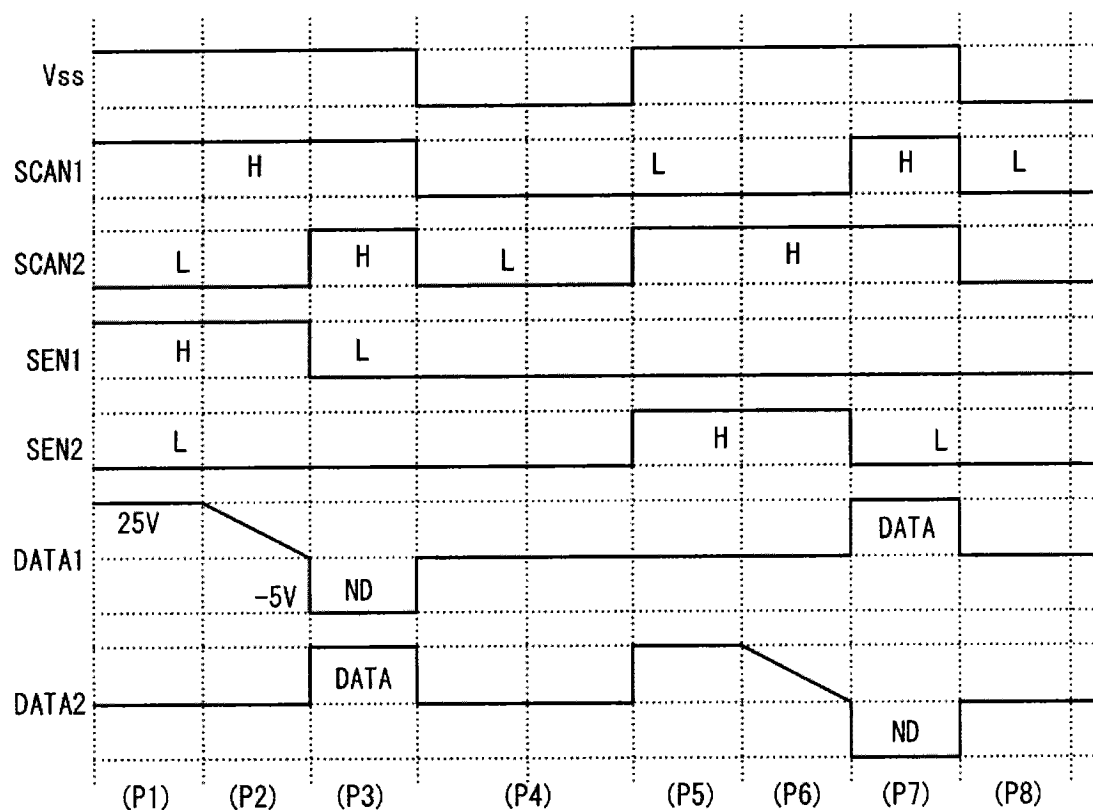


图 6



(P1) Vinit(DP(L)) (P2) Vth 感测 (DP(L)) (P3) ND (DP(L))+ 设置 (DP(R))
 (P4) 发射 (DP(R))
 (P5) Vinit(DP(R)) (P6) Vth 感测 (DP(R)) (P7) ND (DP(R))+ 设置 (DP(L))
 (P8) 发射 (DP(L))

图 7

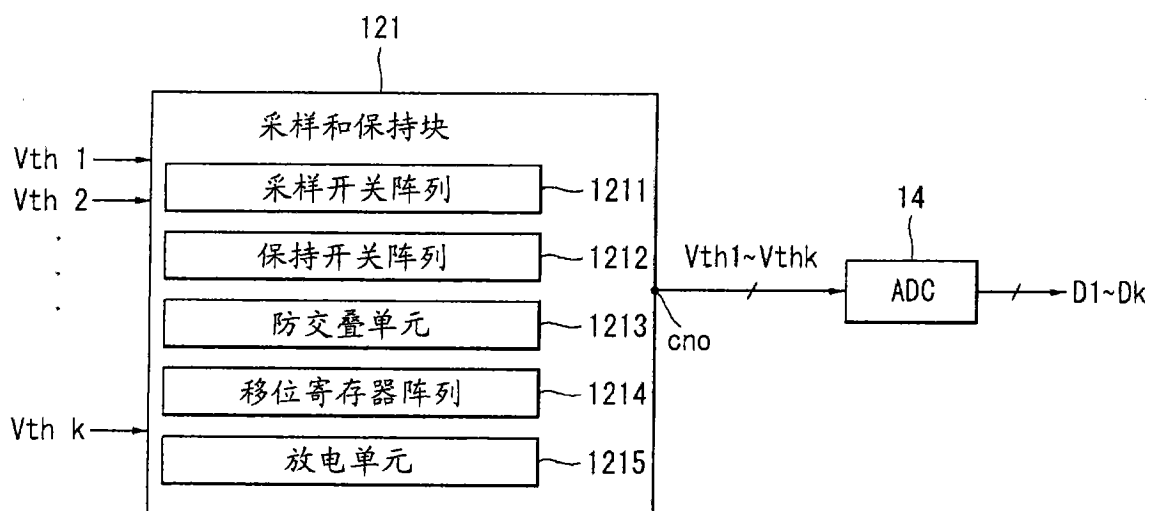


图 8

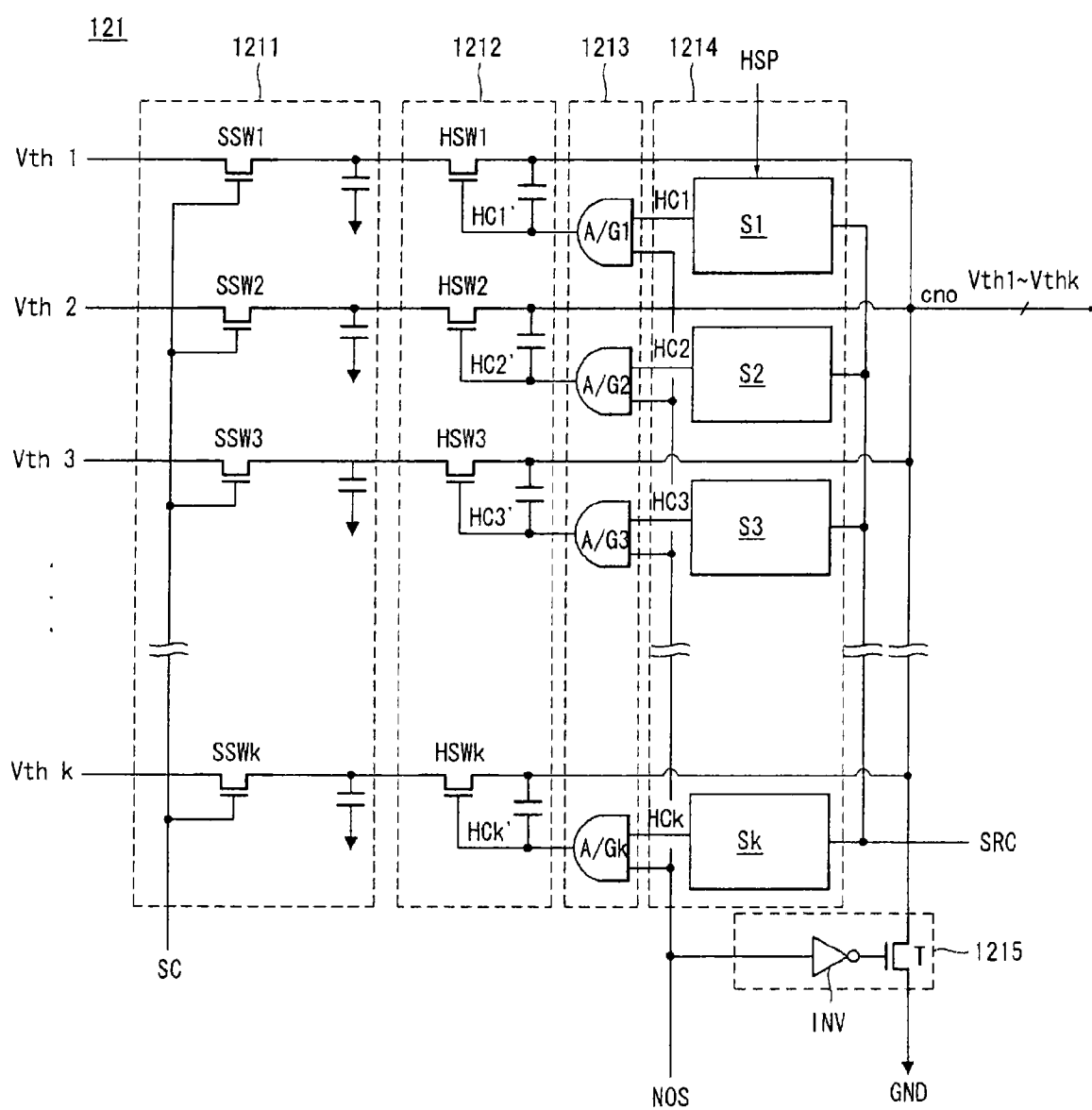


图 9

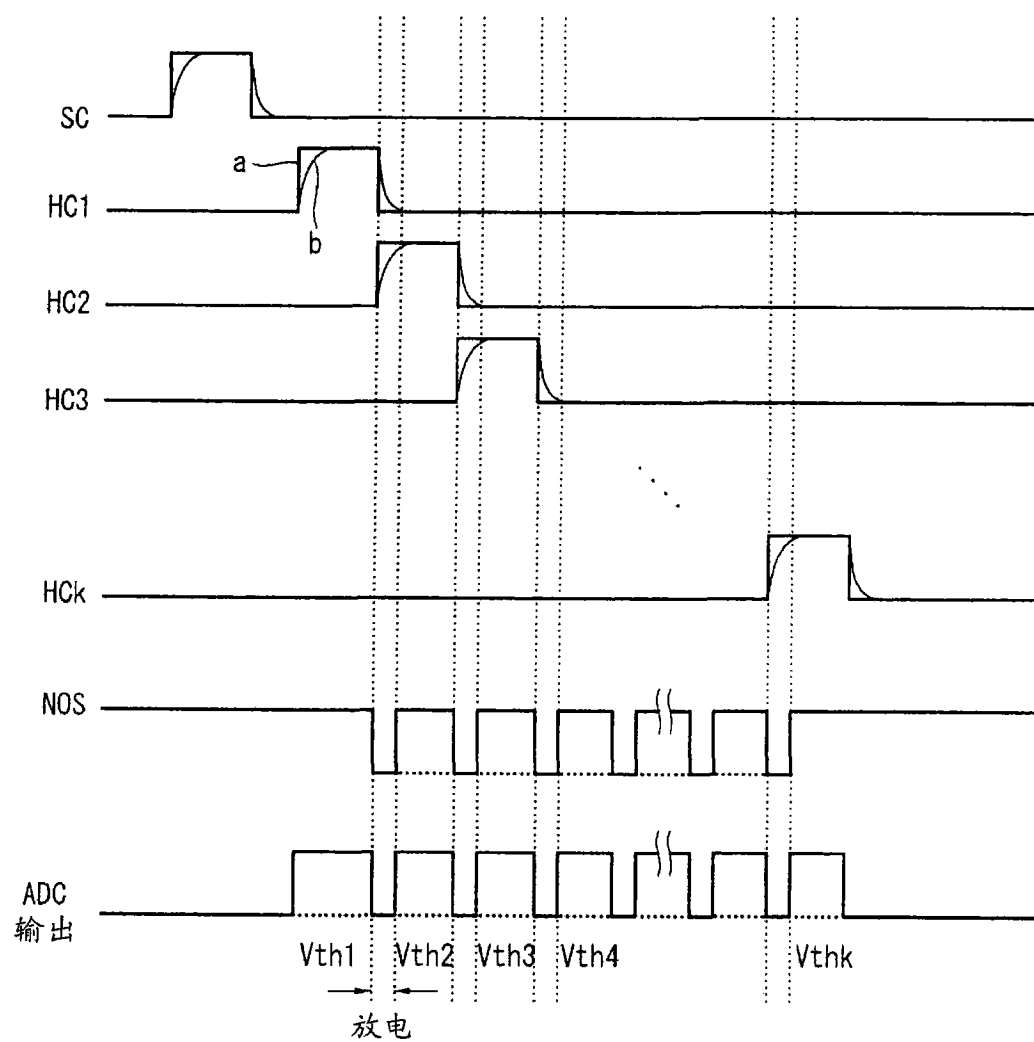


图 10

专利名称(译)	有机发光二极管显示器		
公开(公告)号	CN101714329B	公开(公告)日	2012-07-18
申请号	CN200910146566.4	申请日	2009-06-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	柳相镐 禹景敦 李在度 洪荣峻		
发明人	柳相镐 禹景敦 李在度 洪荣峻		
IPC分类号	G09G3/32		
CPC分类号	G09G2300/0852 G09G2320/0295 G09G2320/043 G09G3/3275 G09G3/3233 G09G2310/0254		
审查员(译)	高倩倩		
优先权	1020080098317 2008-10-07 KR		
其他公开文献	CN101714329A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种有机发光二极管显示器。所述有机发光二极管显示器包括：显示板，所述显示板包括多个数据线对、与所述多个数据线对相交叉的多个选通线组、以及各具有两个驱动薄膜晶体管和一有机发光二极管的多个像素；定时控制器，所述定时控制器生成非交叠信号；以及采样和保持块，所述采样和保持块利用非交叠信号去除毗连生成的第一保持时钟之间的交叠时段以生成彼此不相交叠的第二保持时钟，响应于第二保持时钟将所述像素的驱动薄膜晶体管的采样阈值电压提供给输出节点，并且响应于非交叠信号来在交叠时段中对输出节点放电。

