



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0080118
(43) 공개일자 2015년07월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2013-0167203
(22) 출원일자 2013년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한호범
경기 군포시 고산로 596-15, 1030동 502호 (산본동, 주몽마을대림아파트)
김범식
경기 수원시 권선구 권광로 55, 113동 1302호 (권선동, 권선자이 이편한세상)
박은지
강원 원주시 무실로 155, 102동 1306호 (명륜동, 성원아파트)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 7 항

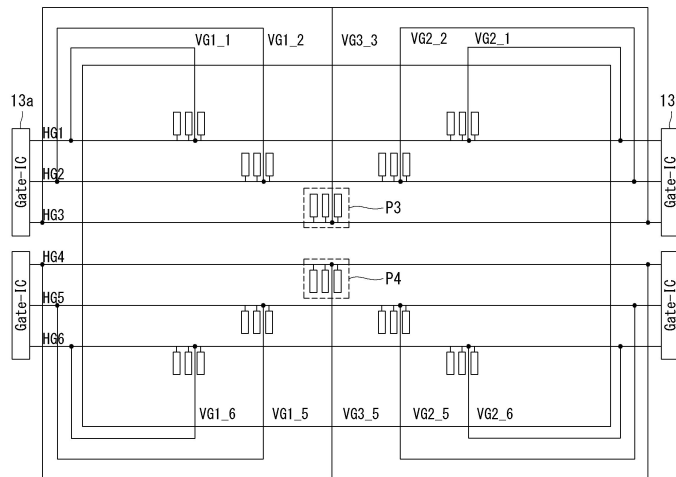
(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 수평라인에 배열되는 화소들과 연결되는 수평 게이트라인, 상기 수평 게이트라인의 입력노드 및 접속노드를 연결하는 수직 게이트라인 및 상기 수평 게이트라인 및 수직 게이트라인을 통해서 상기 화소들에 게이트펄스를 공급하는 게이트 드라이브 IC;을 포함하되, 상기 입력노드는 비표시영역에 위치하고, 상기 접속노드는 표시영역에 위치한다.

대표도 - 도6



명세서

청구범위

청구항 1

수평라인에 배열되는 화소들과 연결되는 수평 게이트라인;

상기 수평 게이트라인의 입력노드 및 접속노드를 연결하는 수직 게이트라인; 및

상기 수평 게이트라인 및 수직 게이트라인을 통해서 상기 화소들에 게이트펄스를 공급하는 게이트 드라이브 IC;을 포함하되,

상기 입력노드는 비표시영역에 위치하고, 상기 접속노드는 표시영역에 위치하는 것을 특징으로 하는 표시장치.

청구항 2

제 1 항에 있어서,

상기 수직 게이트라인은 상기 입력노드에서 상기 비표시영역을 우회하여, 상기 표시영역의 상측 또는 하측에서 수직으로 절곡되는 것을 특징으로 하는 표시장치.

청구항 3

제 2 항에 있어서,

상기 수직 게이트라인은 적어도 어느 일부분이 상기 수평 게이트라인의 폭보다 넓은 폭으로 형성되는 것을 갖는 것을 특징으로 하는 표시장치.

청구항 4

제 2 항에 있어서,

상기 수직 게이트라인은 적어도 어느 일부분이 상기 수평 게이트라인의 저항율보다 낮은 저항율을 갖는 물질로 이루어지는 것을 특징으로 하는 표시장치.

청구항 5

제 1 항에 있어서,

상기 게이트 드라이브 IC는, 상기 표시패널의 일측에 형성되는 제1 게이트 드라이브 IC 및 상기 표시패널의 타측에 형성되는 제2 게이트 드라이브 IC를 포함하고,

하나의 상기 수평 게이트라인에는,

상기 제1 게이트 드라이브 IC에서 출력하는 상기 게이트펄스를 분기하는 제1 수직 게이트라인; 및

상기 제2 게이트 드라이브 IC에서 출력하는 상기 게이트펄스를 분기하는 제2 수직 게이트라인;이 연결되는 것을 특징으로 하는 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 및 제2 수직 게이트라인은 표시영역에 위치하는 하나의 접속노드에 연결되는 것을 특징으로 하는 표시장치.

청구항 7

제 1 항에 있어서,

상기 화소는 적, 녹, 청의 서브 화소를 포함하고, 상기 수직 게이트라인은 하나의 상기 서브 화소와 연결되는 것을 특징으로 하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 RC 딜레이 현상을 감소시킬 수 있는 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동 표시장치(Electrophoretic Display Device: EPD) 등이 있다.

[0003] 평판표시장치는 데이터라인들과 스캔라인들이 직교되도록 배치되고 픽셀들이 매트릭스 형태로 배치된다. 액정 표시장치나 유기 발광다이오드소자는 TFT의 게이트전극이 스캔라인들에 접속되기 때문에 스캔라인을 게이트라인으로 칭하기도 한다. 데이터라인들에는 표시하고자 하는 비디오 데이터전압이 공급되고 게이트라인들에는 게이트 펄스가 순차적으로 공급된다. 게이트펄스가 공급되는 표시라인의 화소들에 비디오 데이터전압이 공급되며, 모든 표시라인들이 게이트펄스에 의해 순차적으로 스캐닝되면서 비디오 데이터를 표시한다.

[0004] 근래에는 표시장치의 패널을 대면적으로 하는 경우가 많아지고, 패널이 대화면으로 되면서 게이트라인의 길이가 증가하고 있다. 게이트라인의 길이가 길어지면서 자체저항이 증가하고, 게이트펄스의 입력단과 거리가 먼 위치에서는 게이트펄스의 딜레이 현상이 문제시되고 있다. 게이트펄스의 딜레이 현상이 심해지면, 게이트 펄스가 공급되는 기간이 짧아질 뿐만 아니라, 심할 경우에는 트랜지스터를 동작시키지 못하는 경우도 발생한다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 RC 딜레이를 줄일 수 있는 액정표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 발명의 액정표시장치는 수평라인에 배열되는 화소들과 연결되는 수평 게이트라인, 상기 수평 게이트라인의 입력노드 및 접속노드를 연결하는 수직 게이트라인 및 상기 수평 게이트라인 및 수직 게이트라인을 통해서 상기 화소들에 게이트펄스를 공급하는 게이트 드라이브 IC;을 포함하되, 상기 입력노드는 비표시영역에 위치하고, 상기 접속노드는 표시영역에 위치한다.

발명의 효과

[0007] 본 발명은 게이트라인의 저항으로 인한 게이트펄스의 딜레이 현상을 개선할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명에 의한 액정표시장치를 나타내는 도면.

도 2는 제1 실시 예에 의한 액정표시장치의 수직 게이트라인 및 수평 게이트라인들의 연결관계를 나타내는 도면.

도 3은 접속노드가 형성되는 화소의 평면도.

도 4는 접속노드의 단면도.

도 5는 본 발명에 의한 액정표시장치를 나타내는 도면.

도 6은 제1 실시 예에 의한 액정표시장치의 수직 게이트라인 및 수평 게이트라인들의 연결관계를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0009] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0010] 후술하는 실시 예는 액정표시장치로 설명하고 있지만, 본 발명은 유기발광 다이오드 표시장치(Organic Light Emitting Display, OLED), 전계방출 표시소자(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전기영동 표시소자(Electrophoresis, EPD) 등의 디스플레이장치에도 적용될 수 있음은 자명하다.

[0011] 도 1은 본 발명에 의한 액정표시장치를 나타낸다.

[0012] 도 1을 참조하면, 본 발명의 액정표시장치는 표시패널(10), 소스 드라이브 IC(Integrated Circuit)(13), 게이트 드라이브 IC(Integrated Circuit)(14), 타이밍 컨트롤러(Timing Controller: TCON)(12) 등을 포함한다.

[0013] 본 발명의 액정표시장치는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 등의 알려져 있는 모든 액정모드로 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다.

[0014] 표시패널(10)은 액정셀(C1c)을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 이 표시패널(10)에서 영상 데이터는 매트릭스 형태로 화소들이 배치된 화소 어레이 영역에 표시된다. 화소 어레이는 하부 기판에 형성된 TFT 어레이와, 상부 기판에 형성된 컬러필터 어레이를 포함한다.

[0015] 공통전압라인들(COML)에는 도시하지 않은 전원회로부터 공통전압(Vcom)이 공급된다. 수평 배선들은 수직 게이트라인들(VGL)을 통해 게이트펄스를 전달 받는 수평 게이트라인들(GL)을 포함한다. 수평 게이트라인들(GL)은 수직 게이트라인들(VGL)과 1:1로 연결되어 수직 게이트라인들(VGL)을 통해 게이트 펄스를 공급받는다.

[0016] TFT 어레이에서, 데이터라인들(DL)과 수평 게이트라인(HG)의 교차부마다 TFT들(Thin Film Transistor)이 형성된다. TFT는 수평 게이트라인(HG)으로부터의 게이트 펄스에 응답하여 데이터라인(DL)으로부터의 데이터 전압을 액정셀(C1c)의 화소전극(1)에 공급한다. 액정셀들(C1c) 각각은 TFT를 통해 데이터 전압을 충전하는 화소전극(1)과 공통전압(Vcom)이 인가되는 공통전극(2)의 전압차에 의해 구동된다. 공통전압(Vcom)은 공통전압라인들(COML)을 통해 모든 화소들의 공통전극에 인가된다. 액정셀(C1c)에는 액정셀의 전압을 1 프레임 기간 동안 유지시키는 스토리지 커패시터(Cst)가 접속된다.

[0017] 타이밍 컨트롤러(12)는 호스트 시스템(7)으로부터 수신한 입력 영상의 디지털 비디오 데이터를 소스 드라이브 IC(13)에 전송한다. 타이밍 컨트롤러(12)는 호스트 시스템(7)으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍 신호들은 입력받는다. 이러한

타이밍 신호들은 입력 영상의 디지털 비디오 데이터와 동기된다. 타이밍 컨트롤러(12)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 소스 드라이브 IC(14)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 드라이브 IC(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다.

[0018] 호스트 시스템(Host System, SYSTEM)(7)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(14)은 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(10)에 적합한 포맷으로 변환한다. 호스트 시스템(14)은 입력 영상의 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 컨트롤러(12)로 전송한다.

[0019] 소스 드라이브 IC(14)는 타이밍 컨트롤러(12)의 제어 하에 입력 영상의 디지털 비디오 데이터들을 샘플링한 후에 래치(Latch)하여 병렬 데이터 체계의 데이터로 변환한다. 소스 드라이브 IC(14)는 타이밍 컨트롤러(12)의 제어 하에 디지털-아날로그 변환기(Digital to Analog converter, DAC)를 이용하여 디지털 비디오 데이터들을 아날로그 감마보상전압으로 변환하여 데이터 전압을 발생하고 그 데이터 전압을 데이터라인들(DL)에 공급한다.

[0020] 게이트 드라이브 IC(13)는 타이밍 컨트롤러(12)의 제어 하에 데이터 전압에 동기되는 게이트 펄스(또는 스캔펄스)를 순차적으로 공급한다. 게이트 드라이브 IC(13)는 표시패널(10)의 일 측면에 형성되어서, 제1 내지 제m 수평 게이트라인(HG1~HGm)에 게이트 펄스를 공급한다.

[0021] 이때, 제1 내지 제m 수평 게이트라인(HG1~HGm)은 각각 제1 내지 제m 수직 게이트라인이 분기된다. 수평 게이트라인과 수직 게이트라인의 실시 예에 대해서 살펴보면 다음과 같다.

[0022] 도 2는 제1 실시 예에 의한 수직 게이트라인과 수평 게이트라인의 연결 예를 보여 주는 도면이다.

[0023] 하나의 수평 게이트라인은 하나의 수평라인에 배열되는 화소들과 연결된다. 예컨대, 제1 수평 게이트라인(HG1)은 제1 수평라인에 배열되는 n 개의 화소들과 연결되고, 제m 수평 게이트라인(HG)은 제m 수평라인에 배열되는 n 개의 화소들과 연결된다.

[0024] 제1 수직 게이트라인(VG1)은 제1 수평 게이트라인(HG)에서 분기되며, 제1 수평 게이트라인(HG1)의 제1 입력노드(n1) 및 제1 접속노드(n2)를 연결한다. 입력노드(n1)는 제1 수평 게이트라인(HG1)이 게이트 드라이브 IC(13)를 통해서 게이트펄스를 입력받는 위치인 비표시영역(Area2)에 형성된다. 접속노드(n2)는 표시영역(Area1)의 내부에 위치한다.

[0025] 제1 수직 게이트라인(VG1)은 제1 입력노드(n1)에서 분기되어서, 비표시영역(Area2)을 우회하고, 제1 접속노드(n1)에 연결된다. 즉, 제1 수직 게이트라인(VG1)은 비표시영역(Area2)에 위치하는 우회영역(a)과 표시영역(Area1)에 위치하는 수직영역(b)을 포함할 수 있다. 제1 수직 게이트라인(VG1)의 우회영역(a)은 제1 수평 게이트라인(HG1)의 폭보다 넓은 폭으로 형성될 수 있다. 이처럼 제1 수직 게이트라인(VG1)은 적어도 어느 일부 영역에서 폭이 넓게 형성되어서 제1 수평 게이트라인(HG1) 보다 저항값이 낮게 된다. 따라서, 제1 입력노드(n1)에서 제1 수직 게이트라인(VG1) 및 제1 수평 게이트라인(HG1)으로 동시에 공급되는 과정에서, 제1 수직 게이트라인(VG)을 통해서 제공되는 게이트펄스는 제1 수평 게이트라인(HG)을 통해서 제공되는 게이트펄스보다 RC 딜레이가 감소된 상태를 유지한다. 이에 따라서, 제1 수평 게이트라인(HG)을 통해서 제공되는 게이트펄스의 딜레이 현상을 개선할 수 있다.

[0026] 그리고 제1 수직 게이트라인(VG1)의 수직영역(b)은 화소의 개구율이 저하되는 것을 방지하기 위해서 적, 녹, 청의 서브 화소들 간의 경계영역 중에서 형성될 수 있다.

[0027] 제2 내지 제m 수직 게이트라인들(VG2~VGm)은 각각 제2 내지 제m 수평 게이트라인들(VG2~VGm)에 일대일로 대응된다. 이에 따라서, 제2 내지 제m 수직 게이트라인들(VG2~VGm)은 각각 제2 내지 제m 수평 게이트라인들(VG2~VGm)을 통해서 제공되는 게이트펄스의 딜레이 현상을 개선한다.

[0028] 그리고 제1 실시 예에 의한 제1 내지 제m 수직 게이트라인들(VG1~VGk)에서 절반의 수직 게이트라인들은 표시영역(Area1)의 상부에서 접속노드 방향으로 절곡되고, 다른 절반의 수직 게이트라인들은 표시영역(Area1)의 하부에서 접속노드 방향으로 절곡된다. 예컨대, 제1 내지 제k 수직 게이트라인들(VG1~VGk)은 표시영역(Area1)의 상부방향에서 절곡되고, 제(k+1) 내지 제m 수직 게이트라인들(VG1~VG(k+1))은 표시영역(Area1)의 하부방향에서 절곡된다.

[0029] 그리고 제1 내지 제k 수직 게이트라인들(VG1~VGk)의 수직영역은 서로 다른 화소들의 경계영역에 형성된다. 예

컨대, 제2 수직 게이트라인(VG2)은 제2 열의 화소에 대응되도록 형성되고, 녹색 서브화소와 청색 서브화소 사이에 형성될 수 있다. 그리고 제k 수직 게이트라인(VGk)은 제n 열의 화소에 대응되도록 형성될 수 있다.

- [0030] 또한, 제(K+1) 내지 제m 수직 게이트라인들(VG(k+1))의 수직영역은 서로 다른 화소들의 경계영역에 형성된다.
- [0031] 제1 내지 제m 수직 게이트라인들(VG1~VGm) 중에서 다른 방향의 표시영역(Area1)에서 절곡되는 수직 게이트라인들은 서로 동일한 라인에 형성될 수도 있다. 예컨대, 제1 수직 게이트라인(VG)과 제m 수직 게이트라인(VG)은 서로 동일한 제1 열의 화소가 형성되는 수직라인에 형성될 수 있다. 이와 마찬가지로, 제k 수직 게이트라인(VG) 및 제(k+1) 수직 게이트라인(VG)은 제n 열의 화소가 형성되는 수직라인에 형성될 수 있다.
- [0032] 결국 수평라인의 개수가 m개이고 각각의 수평 게이트라인에 일대일로 수직 게이트라인이 형성된다고 할 때, 표시영역(Area1)에서 모든 수직 게이트라인을 형성할 수 있는 최소 수직라인은 m/2 개가 필요하다. 이때, 인접한 바와 같이 수직 게이트라인들은 각 서브화소들의 경계면에 형성될 수 있다. 인접하는 서브화소들의 경계면에 두 개 이상의 수직 게이트라인을 형성할 수도 있지만, 표시품질의 저하를 방지하기 위해서는 인접하는 서브화소들의 경계면에 하나의 수직 게이트라인을 형성할 수 있다. 결국, 수직 게이트라인을 형성할 수 있는 수직라인은 $3 \times n$ 개가 되고, 수직 게이트라인은 3n개의 수직라인에서 m/2 개의 수직라인을 선택하여 형성될 수 있다. 이때, 수직 게이트라인은 n열에 가까운 수직라인들을 중심으로 선택하여 형성될 수 있다. 이는 게이트 드라이브 IC(13)와 거리가 먼 화소들일수록 딜레이 현상이 심해지고, 이를 보상하기 위해서 n열에 가까운 수직라인들을 중심으로 수직 게이트라인들을 형성할 수 있다.
- [0033] 도 3은 제1 접속노드(n1)가 형성되는 제1 화소의 평면 어레이 구조를 나타내는 도면이고, 도 4는 도 3에 도시된 I-I'를 따라서 절단한 단면을 나타내는 도면이다.
- [0034] 도 3 및 도 4를 참조하면, 제1 수직 게이트라인(VG1)은 제1 화소(P1)의 녹색 서브화소(G)와 청색 서브화소(B) 사이의 수직라인에 형성될 수 있다. 이때, 수직라인은 서브화소들 간의 경계면으로서, 수직 게이트라인(VG)이 형성될 수 있는 영역이다.
- [0035] 그리고, 제1 수직 게이트라인(VG1)은 제1 접속노드(n1)에 제1 수평 게이트라인(HG1)과 접속한다.
- [0036] 제1 접속노드(n1)는 컨택홀(C_hole)을 이용하여 제1 수평 게이트라인(HG)과 제1 수직 게이트라인(VG)을 접속한 형태로 이루어진다. 이러한 제1 접속노드(n1)의 구조는 제1 수평 게이트라인(HG)을 덮고 있는 절연막에 컨택홀(C_hole)을 형성하고, 컨택홀(C_hole)을 매립하도록 제1 수직 게이트라인(VG)을 형성하여 이루어질 수 있다.
- [0037] 도 5는 제2 실시 예에 의한 액정표시장치를 나타내는 도면이고, 도 6은 제2 실시 예에 의한 수평 게이트라인 및 수직 게이트라인의 연결관계를 나타내는 도면이다. 제2 실시 예에서 전술한 실시 예와 동일한 기능을 갖는 구성에 대해서는 동일한 도면부호를 사용하고 자세한 설명을 생략하기로 한다.
- [0038] 도 5 및 도 6을 참조하면, 제2 실시 예에 의한 액정표시장치는 표시패널(PNL), 소스 드라이브 IC(Integrated Circuit)(14), 제1 및 제2 게이트 드라이브 IC(Integrated Circuit)(13a,13b), 타이밍 컨트롤러(Timing Controller: TCON)(12) 등을 포함한다.
- [0039] 제1 및 제2 소스 드라이브 IC(14)는 각각 표시패널(10)의 양측에서 제1 내지 제6 수평 게이트라인들(HG1~HG6)에 게이트펄스를 제공한다.
- [0040] 하나의 수평 게이트라인은 하나의 수평라인에 배열되는 화소들과 연결된다. 예컨대, 제1 수평 게이트라인(HG1)은 제1 수평라인에 배열되는 n 개의 화소들과 연결되고, 제6 수평 게이트라인(HG6)은 제6 수평라인에 배열되는 n 개의 화소들과 연결된다.
- [0041] 하나의 수평 게이트라인에는 두 개의 수직 게이트라인들이 연결된다. 예컨대, 제1 수평 게이트라인(HG1)은 제1 수직 게이트라인(VG1) 및 제2 수직 게이트라인(VG2)이 연결된다. 제1 수직 게이트라인(VG1)은 제1 소스 드라이브 IC(14)가 위치한 제1 입력노드(n1)에서 분기하여, 제1 수평 게이트라인(HG1)의 제1 접속노드(n1)에 연결된다. 제2 수직 게이트라인(VG2)은 제2 소스 드라이브 IC(14)가 위치한 제2 입력노드(n2)에서 분기하여, 제1 수평 게이트라인(HG1)의 제2 접속노드(n2)에 연결된다.
- [0042] 이처럼 제2 실시 예는 표시패널(10)의 양측에서 게이트펄스를 제공하기 때문에 게이트펄스의 딜레이 현상을 줄일 수 있다. 특히, 제2 실시 예는 하나의 수평라인마다 두 개의 수직 게이트라인들을 이용하여 게이트펄스를 분기하기 때문에, 게이트펄스의 딜레이 현상을 더욱 줄일 수 있다.
- [0043] 제3 수직 게이트라인(VG3)은 제1 및 제2 수직 게이트라인(VG1,VG2)을 하나의 접속노드에 연결한다. 즉, 중앙의

열에 위치한 화소(P3,P4)들은 제3 수직 게이트라인(VG3)을 통해서 제1 및 제2 소스 드라이브 IC(14)에서 출력하는 게이트펄스를 동시에 제공받는다.

[0044]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

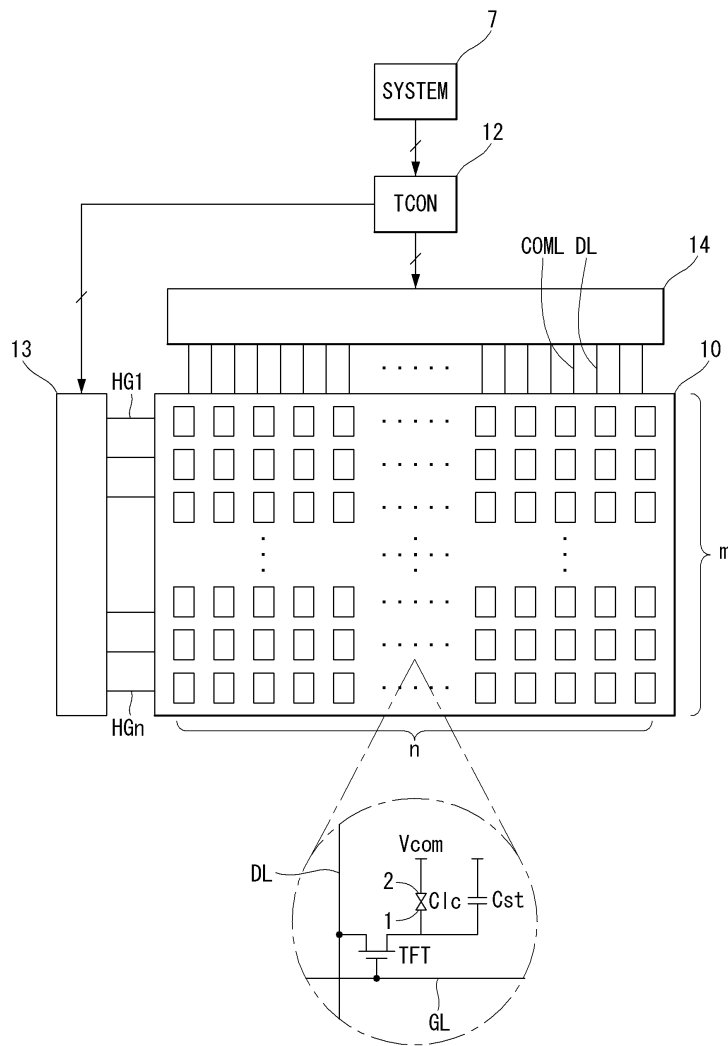
부호의 설명

[0045]

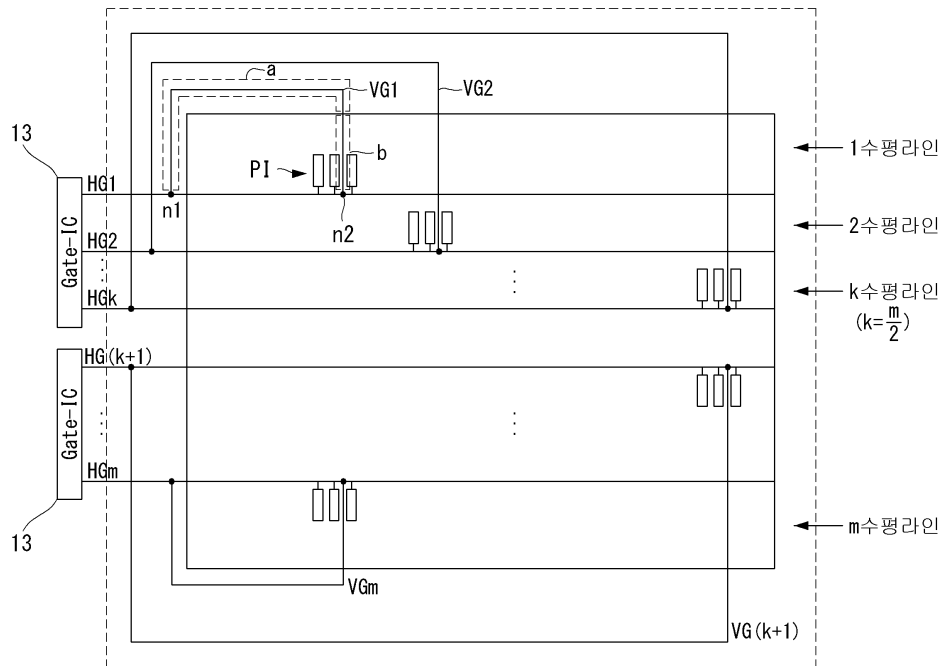
10 : 표시패널 12 : 타이밍 콘트롤러
13 : 게이트 드라이브 IC 14 : 소스 드라이브 IC

도면

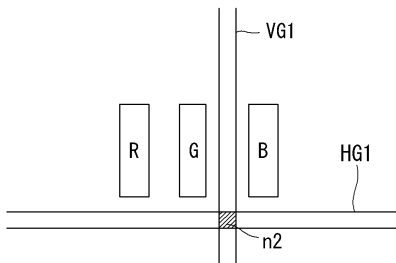
도면1



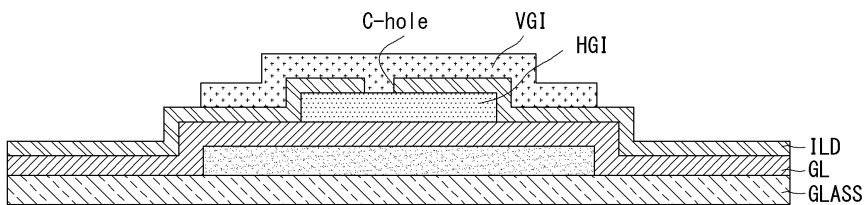
도면2



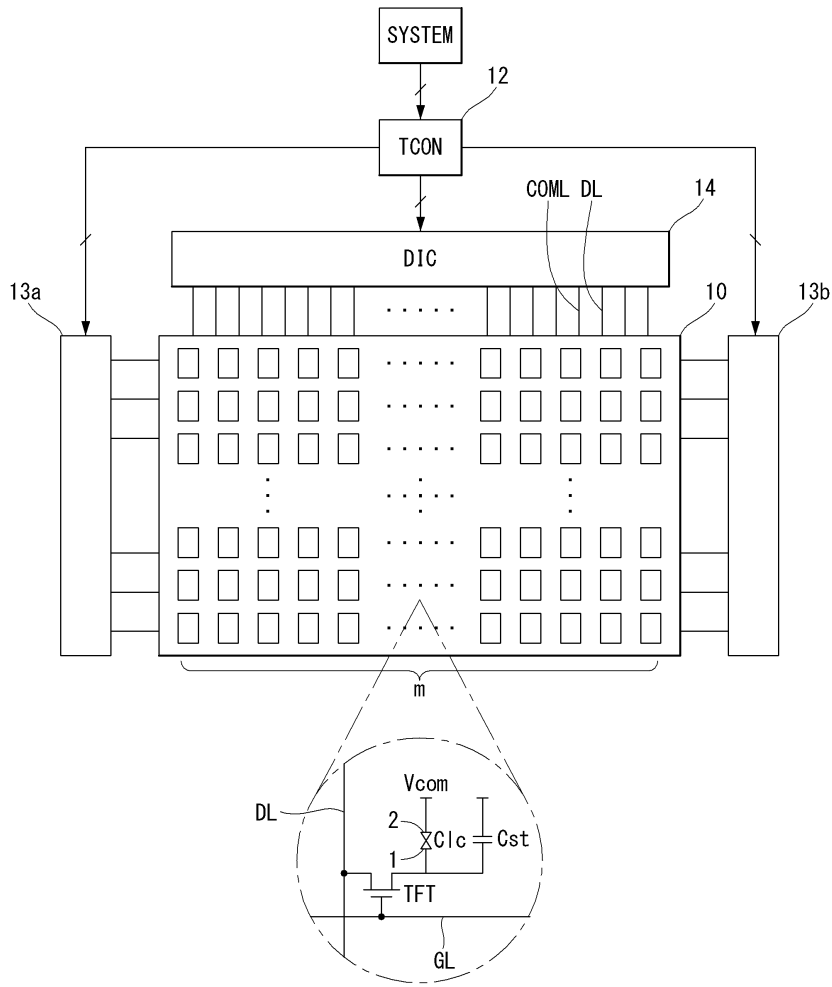
도면3



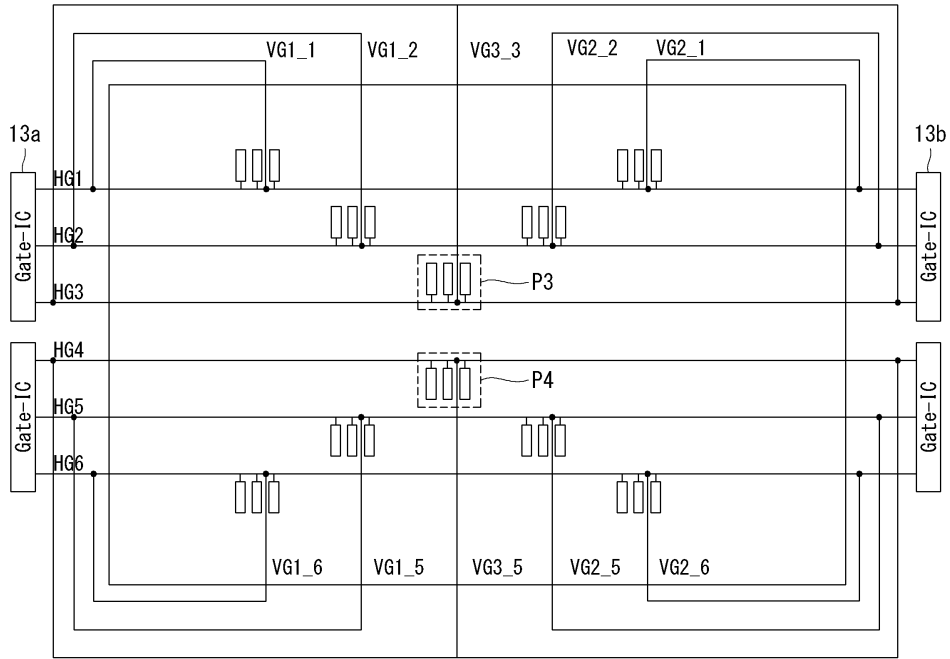
도면4



도면5



도면6



专利名称(译)	显示装置的标题		
公开(公告)号	KR1020150080118A	公开(公告)日	2015-07-09
申请号	KR1020130167203	申请日	2013-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN HO BUM 한호범 KIM BUM SIK 김범식 PARK EUN JI 박은지		
发明人	한호범 김범식 박은지		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3677 G02F1/13306 G02F1/136286		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置。 本发明的液晶显示器包括连接到以水平线排列的像素的水平栅极线，连接输入节点和水平栅极线的连接节点的垂直栅极线，以及用于向输入节点提供栅极脉冲的栅极驱动IC，其中输入节点位于非显示区域中，并且连接节点位于显示区域中。

