



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0080733
(43) 공개일자 2011년07월13일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2010-0001099

(22) 출원일자 2010년01월07일

심사청구일자 없음

(71) 출원인

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

서관희

경기도 평택시 진위면 청호리 19-1 LG전자 평택 디지털파크

(74) 대리인

허용록

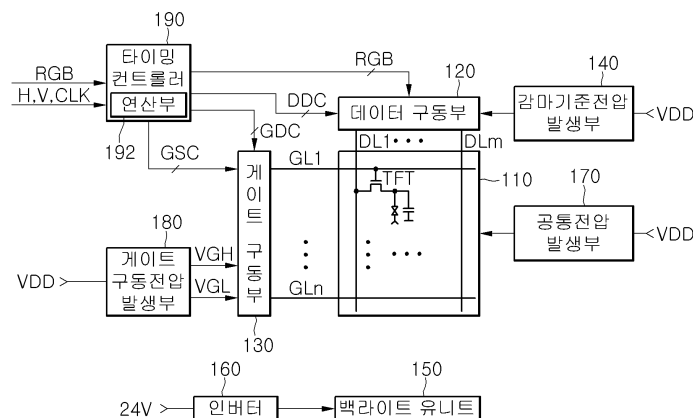
전체 청구항 수 : 총 9 항

(54) 디스플레이장치 및 그의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 디스플레이장치는 복수의 게이트 라인 및 데이터 라인을 포함하는 액정패널; 외부시스템으로부터 데이터 신호 및 제어 신호를 입력받는 인터페이스; 상기 제어신호에 의거하여, 상기 액정 패널을 구동시키기 위한 타이밍 신호를 생성하여 출력하는 타이밍 컨트롤러; 상기 타이밍 컨트롤러를 통해 출력되는 타이밍 신호를 토대로 게이트 출력 신호를 생성하여 상기 게이트 라인에 공급하는 게이트 구동부; 및, 상기 타이밍 컨트롤러를 통해 출력되는 타이밍 신호에 의거하여 상기 데이터 신호를 데이터 라인에 공급하는 데이터 구동부를 포함하여 구성되고, 상기 타이밍 컨트롤러에는 상기 제어 신호를 분석하여 상기 데이터 신호의 프레임 주파수에 대응되는 기준 주기 신호를 연산하는 연산부가 더 포함되는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

복수의 게이트 라인 및 데이터 라인을 포함하는 액정패널;

외부시스템으로부터 데이터 신호 및 제어 신호를 입력받는 인터페이스;

상기 제어신호에 의거하여, 상기 액정 패널을 구동시키기 위한 타이밍 신호를 생성하여 출력하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러를 통해 출력되는 타이밍 신호를 토대로 게이트 출력 신호를 생성하여 상기 게이트 라인에 공급하는 게이트 구동부; 및,

상기 타이밍 컨트롤러를 통해 출력되는 타이밍 신호에 의거하여 상기 데이터 신호를 데이터 라인에 공급하는 데이터 구동부;를 포함하여 구성되고,

상기 타이밍 컨트롤러에는 상기 제어 신호를 분석하여 상기 데이터 신호의 프레임 주파수에 대응되는 기준 주기 신호를 연산하는 연산부가 더 포함되는 것을 특징으로 하는 디스플레이장치.

청구항 2

제 1항에 있어서,

상기 기준 주기 신호는 수평 한 라인의 표시 주기인 것을 특징으로 하는 디스플레이장치.

청구항 3

제 1항에 있어서,

상기 제어신호에는 상기 데이터 신호의 프레임 주파수 및 V_{total} 정보가 포함되며,

상기 프레임 주파수에 따라 서로 다른 V_{total} 정보가 입력되는 것을 특징으로 하는 디스플레이장치.

청구항 4

제 3항에 있어서,

상기 기준 주기 신호는 상기 프레임 주파수와 V_{total} 의 곱셈에 의해 산출된 값인 것을 특징으로 하는 디스플레이장치.

청구항 5

제 4항에 있어서,

상기 연산부는 상기 데이터의 신호의 프레임 주파수 변환시 동일한 기준 주기 신호를 유지시키는 것을 특징으로 하는 디스플레이장치.

청구항 6

데이터 신호 및 제어신호가 입력되는 단계;

상기 제어 신호에 의거하여, 상기 데이터의 신호의 프레임 주파수에 대응되는 기준 주기 신호를 산출하는 단계; 및,

상기 산출된 기준 주기 신호를 토대로 액정 패널을 구동하여, 상기 데이터 신호를 디스플레이하는 단계가 포함되어 이루어짐을 특징으로 하는 디스플레이장치의 동작 방법.

청구항 7

제 6항에 있어서,

상기 기준 주기 신호를 산출하는 단계는

상기 입력된 데이터 신호의 프레임 주파수에 대응되는 기준 주기 신호를 산출하는 단계인 것을 특징으로 하는 디스플레이장치의 동작 방법.

청구항 8

제 6항에 있어서,

상기 제어신호에는 상기 데이터 신호의 프레임 주파수 및 V_{total} 정보가 포함되며,

상기 프레임 주파수에 따라 서로 다른 V_{total} 정보가 입력되는 것을 특징으로 하는 디스플레이장치의 동작 방법.

청구항 9

제 8항에 있어서,

상기 기준 주기 신호를 연산하는 단계는

상기 입력된 프레임 주파수 및 V_{total} 정보를 곱셈하는 단계이며,

상기 기준 주기 신호는 상기 곱셈에 의해 산출된 결과 값인 것을 특징으로 하는 디스플레이장치의 동작 방법.

명세서

기술 분야

[0001] 본 발명은 디스플레이장치에 관한 것으로, 특히 액정 패널을 사용하는 디스플레이장치 및 그의 동작 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치(Liquid crystal display device; LCD)는 유전 이방성물질인 액정에 전계를 형성하여, 액정의 광 투과율을 변화시켜 영상을 표시하는 표시장치이다. 액정표시장치는 소형화, 박막화 및 저전력소모의 특성이 있어, 현재 많은 분야에서 기존의 CRT 방식 표시장치를 대체하는 차세대 표시장치로 각광받고 있다.

[0003] 상기 액정 표시장치는 액정표시패널에 입력되는 비디오 신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시한다. 특히 액정셀마다 스위칭 소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 이러한 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭 소자로는 박막 트랜지스터(TFT:Thin Film Transistor)가 이용되고 있다.

[0004] 이때, 상기 액정 표시장치의 해상도가 1920*1080이라면 실제 액정표시장치에는 1920*3(RGB)*1080으로 약 620 만 개의 박막 트랜지스터가 존재한다. 특히 이 수많은 박막 트랜지스터를 정상적으로 동작시키기 위해 소스와 게이트의 여러 타이밍에 대한 매칭성을 서로 유지시켜 줘야 한다.

[0005] 여기에서, 상기 타이밍에는 데이터 구동 제어신호(DDC)와 게이트 구동 신호(GDC)가 존재하며, 데이터 구동 신호에는 소스 시프트 클럭(SSC), 소스 스타트 펄스(SSP), 극성 제어신호(POL) 및 소스 출력 인에이블 신호(SOE) 등이 포함되며, 게이트 구동 제어신호(GDC)에는 게이트스타트펄스(GSP) 및 게이트출력인에이블(GOE) 등이 포함된다.

[0006] 하지만, 동일 해상도를 갖는 동일 모듈일지라도, 정상적인 화면을 디스플레이하기 위해선 여러 가지 패널 타이밍 팩터들을 프레임 주파수(60/120/240Hz)별로 각각 세팅해야 하며, 최적화되지 못한 타이밍은 여러 가지 신뢰성 문제를 야기시키게 된다.

발명의 내용

해결하려는 과제

[0007] 본 발명에 따른 실시 예에서는 하드웨어적으로 입력 프레임 주파수에 대응되는 패널 타이밍을 생성하여, 최적화되고 신뢰할 수 있는 액정 표시장치의 패널 타이밍을 공급할 수 있도록 한다.

[0008] 또한, 본 발명에 따른 실시 예에서는 프레임 주파수별로 동일한 타이밍을 유지하기 위해, 입력 주파수에 따른 소프트웨어 코드를 분리해야 함으로써 나타나는 저장 공간 필요 문제를 해결하고, 나아가서는 소프트웨어 에러로 인해 발생하는 문제를 사전에 방지할 수 있도록 한다.

[0009] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 본 발명의 실시 예에 따른 디스플레이장치는 복수의 게이트 라인 및 데이터 라인을 포함하는 액정패널; 외부시스템으로부터 데이터 신호 및 제어 신호를 입력받는 인터페이스; 상기 제어신호에 의거하여, 상기 액정 패널을 구동시키기 위한 타이밍 신호를 생성하여 출력하는 타이밍 컨트롤러; 상기 타이밍 컨트롤러를 통해 출력되는 타이밍 신호를 토대로 게이트 출력 신호를 생성하여 상기 게이트 라인에 공급하는 게이트 구동부; 및, 상기 타이밍 컨트롤러를 통해 출력되는 타이밍 신호에 의거하여 상기 데이터 신호를 데이터 라인에 공급하는 데이터 구동부;를 포함하여 구성되고, 상기 타이밍 컨트롤러에는 상기 제어 신호를 분석하여 상기 데이터 신호의 프레임 주파수에 대응되는 기준 주기 신호를 연산하는 연산부가 더 포함되는 것을 특징으로 한다.

[0011] 또한, 상기 기준 주기 신호는 수평 한 라인의 표시 주기인 것을 특징으로 한다.

[0012] 또한, 상기 제어신호에는 상기 데이터 신호의 프레임 주파수 및 V_{total} 정보가 포함되며, 상기 프레임 주파수에 따라 서로 다른 V_{total} 정보가 입력되는 것을 특징으로 한다.

[0013] 또한, 상기 기준 주기 신호는 상기 프레임 주파수와 V_{total} 의 곱셈에 의해 산출된 값인 것을 특징으로 한다.

[0014] 또한, 상기 연산부는 상기 데이터의 신호의 프레임 주파수 변환시 동일한 기준 주기 신호를 유지시키는 것을 특징으로 한다.

[0015] 또한, 본 발명의 실시 예에 따른 디스플레이장치의 동작 방법은 데이터 신호 및 제어신호가 입력되는 단계; 상기 제어 신호에 의거하여, 상기 데이터의 신호의 프레임 주파수에 대응되는 기준 주기 신호를 산출하는 단계; 및, 상기 산출된 기준 주기 신호를 토대로 액정 패널을 구동하여, 상기 데이터 신호를 디스플레이하는 단계가 포함되어 이루어짐을 특징으로 한다.

[0016] 또한, 상기 기준 주기 신호를 산출하는 단계는 상기 입력된 데이터 신호의 프레임 주파수에 대응되는 기준 주기 신호를 산출하는 단계인 것을 특징으로 한다.

[0017] 또한, 상기 제어신호에는 상기 데이터 신호의 프레임 주파수 및 V_{total} 정보가 포함되며, 상기 프레임 주파수에 따라 서로 다른 V_{total} 정보가 입력되는 것을 특징으로 한다.

[0018] 또한, 상기 기준 주기 신호를 연산하는 단계는 상기 입력된 프레임 주파수 및 V_{total} 정보를 곱셈하는 단계이며, 상기 기준 주기 신호는 상기 곱셈에 의해 산출된 결과 값인 것을 특징으로 한다.

발명의 효과

[0019] 본 발명에 따른 디스플레이장치에 의하면, 입력 영상신호의 프레임 주파수별로 동일한 타이밍을 유지하기 위해, 별도의 저장 공간에 입력 프레임 주파수에 따른 소프트웨어 코드를 분리해야 하는 문제를 해결할 수 있을 뿐만 아니라, 나아가서는 소프트웨어 에러로 인해 발생하는 문제를 사전에 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시 예에 따른 디스플레이장치에 형성되는 픽셀의 등가 회로도.

도 2는 본 발명의 실시 예에 따른 디스플레이장치의 구성도.

도 3은 백라이트 유닛 구동을 설명하기 위한 도면.

도 4는 본 발명의 실시 예에 따른 디스플레이장치의 동작 방법을 단계별로 설명하기 위한 흐름도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하에서는 도면을 참조하여 실시 예에 대해서 구체적으로 설명한다. 다만, 본 발명의 사상이 그와 같은 실시

예에 제한되지 않고, 본 발명의 사상은 실시 예를 이루는 구성요소의 부가, 변경, 삭제 등에 의해서 다르게 제안될 수 있을 것이나, 이 또한 본 발명의 사상에 포함되는 것이다.

- [0022] 도 1은 본 발명의 실시 예에 따른 디스플레이장치에 형성되는 픽셀의 등가 회로도이다.
- [0023] 도 1을 참조하면, 디스플레이장치는 디지털 입력 데이터를 감마 기준 전압을 기준으로 아날로그 데이터 전압으로 변환하여 데이터 라인(DL)에 공급함과 동시에 스캔 펄스를 게이트 라인(GL)에 공급하여 액정셀(Clc)을 충전시킨다.
- [0024] TFT의 게이트 전극은 게이트 라인(GL)에 접속되고, 소스 전극은 데이터 라인(DL)에 접속되며, 그리고 드레인 전극은 액정셀(Clc)의 화소 전극과 스토리지 캐패시터(Cst)의 일측 전극에 접속된다.
- [0025] 액정셀(Clc)의 공통전극에는 공통전압(Vcom)이 공급된다.
- [0026] 스토리지 캐패시터(Cst)는 TFT가 턴-온될 때 데이터 라인(DL)으로부터 인가되는 데이터전압을 충전하여 액정셀(Clc)의 전압을 일정하게 유지하는 역할을 한다.
- [0027] 이와 같은 디스플레이장치는 스캔 펄스가 게이트 라인(GL)에 인가되면 TFT가 턴-온(Turn-on)됨에 따라 소스전극과 드레인전극 사이의 채널이 형성되어 데이터라인(DL) 상에 인가된 전압을 액정셀(Clc)의 화소 전극에 공급한다.
- [0028] 이때 액정셀(Clc)의 액정분자들은 화소 전극과 공통전극 사이에 형성되는 전기장에 의하여 배열이 바뀌면서 입사광을 변조하게 된다.
- [0029] 도 2는 본 발명의 실시 예에 따른 디스플레이장치의 구성도이다.
- [0030] 도 2를 참조하면, 디스플레이장치(100)에는 다수의 데이터 라인들(DL1 내지 DLm)과 다수의 게이트 라인들(GL1 내지 GLn)이 서로 교차되며, 각각의 교차부에 액정셀(Clc)을 구동하기 위한 박막트랜지스터(TFT : Thin Film Transistor)가 형성된 액정표시패널(110)을 구비된다.
- [0031] 또한 디스플레이장치(100)에는, 액정표시패널(110)의 데이터 라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 구동부(120)와, 액정표시패널(110)의 게이트 라인들(GL1 내지 GLn)에 스캔펄스를 공급하기 위한 게이트 구동부(130)와, 감마기준전압을 발생하여 데이터 구동부(120)에 공급하기 위한 감마기준전압 발생부(140)와, 액정표시패널(110)에 광을 조사하기 위한 백라이트 유니트(150)가 형성된다.
- [0032] 아울러, 액정표시장치(100)에는, 백라이트 유니트(150)에 교류 전압 및 전류를 인가하기 위한 인버터(160)와, 공통전압(Vcom)을 발생하여 액정표시패널(110)의 액정셀(Clc)의 공통전극에 공급하기 위한 공통전압 발생부(170)와, 게이트 하이전압(VGH)과 게이트 로우전압(VGL)을 발생하여 게이트 구동부(130)에 공급하기 위한 게이트 구동전압 발생부(180)와, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하기 위한 타이밍컨트롤러(190)가 구비된다.
- [0033] 통상적으로, 액정표시패널(110)은 두 장의 유리기관 사이에 액정을 주입하여 형성된다. 액정표시패널(110)의 하부 유리 기관상에는 데이터 라인들(DL1 내지 DLm)과 게이트 라인들(GL1 내지 GLn)이 서로 직교하도록 형성된다.
- [0034] 그리고, 데이터 라인들(DL1 내지 DLm)과 게이트 라인들(GL1 내지 GLn)의 교차부에는 TFT들이 형성된다. TFT는 스캔 펄스에 응답하여 데이터 라인들(DL1 내지 DLm) 상에 인가된 비디오 신호를 액정셀(Clc)에 공급하게 된다.
- [0035] TFT의 게이트 전극은 게이트 라인들(GL1 내지 GLn)에 접속되고, 소스 전극은 데이터 라인들(DL1 내지 DLm)에 접속되며, 드레인 전극은 액정셀(Clc)의 화소 전극과 스토리지 캐패시터(Cst)에 접속된다.
- [0036] TFT는 게이트 라인들(GL1 내지 GLn) 중에서 자신의 게이트 단자에 접속된 게이트 라인을 경유하여 게이트 단자에 공급되는 스캔 펄스에 응답하여 턴-온 된다. 이와 같이 TFT가 턴-온되면, TFT의 드레인 단자에 접속된 데이터 라인들(DL1 내지 DLm)들 상의 비디오 신호가 액정셀(Clc)의 화소 전극에 공급된다.
- [0037] 일반적으로, 디스플레이장치에는 인터페이스(미도시)가 구비되며, 상기 인터페이스를 통해 외부시스템으로부터 비디오 신호(데이터 신호), 수평 및 수직 동기 신호(Hsync, Vsync), 데이터 인에이블(DE) 신호 등을 입력받게 된다. 그리고, 인터페이스는 상기 입력받은 신호를 타이밍 컨트롤러(190)로 공급한다. 여기에서, 상기 인터페이스는 외부 시스템(미도시)으로부터 전송되는 데이터 및 제어 신호를 수신하기 위해서 LVDS(Low Voltage Differtial Signal) 인터페이스와, TTL 인터페이스 등이 사용될 수 있다. 또한, 이러한 인터페이스 기능을 모아서 타이밍 컨트롤러(190)와 함께 단일 칩(Chip) 형태로 구성할 수도 있다.

- [0038] 데이터 구동부(120)는 타이밍 컨트롤러(190)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 비디오 데이터(RGB)를 데이터 라인들(DL1 내지 DLm)에 공급한다. 구체적으로, 데이터 구동부(120)는 타이밍 컨트롤러(190)로부터 공급되는 디지털 비디오 데이터(RGB)를 샘플링하여 래치한 다음 감마기준전압 발생부(140)로부터 공급되는 감마기준전압을 기준으로 액정표시패널(110)의 액정셀(C1c)에서 계조를 표현할 수 있는 아날로그 전압에 해당하는 비디오 신호로 변환시켜 데이터 라인들(DL1 내지 DLm)들에 공급한다.
- [0039] 게이트 구동부(130)는 타이밍 컨트롤러(190)로부터 공급되는 게이트 구동 제어신호(GDC)와 게이트쉬프트클럭(GSC)에 응답하여 스캔펄스 즉, 게이트 펄스를 순차적으로 발생하여 게이트라인들(GL1 내지 GLn)에 공급한다. 이때, 게이트 구동부(130)는 게이트 구동전압 발생부(180)로부터 공급되는 게이트 하이전압(VGH)과 게이트 로우 전압(VGL)에 따라 각각 스캔 펄스의 하이 레벨 전압과 로우 레벨 전압을 결정한다.
- [0040] 감마기준전압 발생부(140)는 고전위 전원전압(VDD)을 공급받아 정극성 감마기준전압과 부극성 감마기준전압을 발생하여 데이터 구동부(120)로 출력한다.
- [0041] 백라이트 유니트(150)는 액정표시패널(110)의 후면에 배치되며, 인버터(160)로부터 공급되는 교류 전압과 전류에 의해 발광되고, 이와 같이 생성된 광을 액정표시패널(110)의 각 픽셀로 조사한다.
- [0042] 즉, 백라이트 유니트(150)는 액정표시패널(110)의 후면에 배치되어 화면의 휘도 조절에 이용되는 다수의 램프들(미도시)로 구성되며, 이러한 램프들은 인버터(140)로부터 공급되는 구동 전류에 의해 발광된다. 여기서, 램프들의 휘도는 인버터로부터의 구동 전압 및 전류 크기에 비례하여 증감된다. 한편, 백라이트 유니트(150)는 다수의 발광다이오드들(미도시)로 구현되거나, 다수의 램프와 다수의 발광 다이오드들을 모두 구비한 하이브리드(Hybrid) 형태로 구현될 수 있다.
- [0043] 인버터(160)는 내부에 발생하는 구형파 신호를 삼각파 신호로 변화시킨 후 삼각파신호와 상기 시스템으로부터 공급되는 직류 전원전압(VCC)을 비교하여 비교결과에 비례하는 버스트디밍(Burst Dimming)신호를 발생한다. 이렇게 내부의 구형파 신호에 따라 결정되는 버스트 디밍신호가 발생되면, 인버터(160) 내에서 교류 전압과 전류의 발생을 제어하는 구동 IC(미도시)는 버스트 디밍 신호에 따라 백라이트 유니트(150)에 공급되는 교류 전압과 전류의 발생을 제어한다. 이때, 상기 교류 전압과 전류의 발생 제어는 상기 구동 전류와 전압의 크기를 조절하는 펄스폭변조신호에 의해 구현된다. 그리고, 인버터(240)는 펄스폭변조신호의 듀티비에 비례되어 커지거나 작아지는 구동 전압과 전류를 발생하여 백라이트 유니트(150)로 공급한다.
- [0044] 상기 펄스폭변조신호는 도 3에 도시된 바와 같이 일정 주기(T)를 갖고 기준 전압값(Vref)보다 큰 전압이 유지되는 온 시간(Ton) 및 기준 전압 값(Vref)이 유지되는 오프 시간(Toff)이 주기적으로 반복되는 것으로서, 백라이트 유니트(150)에 공급되는 백라이트 구동신호를 제어한다. 여기서 펄스폭변조신호의 온 시간(Ton)은 미리 설정된 백라이트의 휘도 조절 범위에 따라서 일정 주기(T) 내에서 변동될 수 있다.
- [0045] 만약 펄스폭변조신호의 온 시간(Ton)이 일정 주기(T)의 100% 범위로 설정되는 경우, 즉 펄스폭변조신호의 듀티비가 100%인 경우에는 백라이트의 휘도가 최대가 된다. 만약 펄스폭변조신호의 온 시간(Ton)이 일정 주기(T)의 50% 범위로 설정되는 경우, 즉 펄스폭변조신호의 듀티비가 50%로 감소되는 경우에는 백라이트의 휘도는 일정한 비율에 따라 감소된다. 이와 같이 인버터(160)가 펄스폭변조신호의 듀티비를 가변시킴으로써, 가변된 듀티비에 비례하여 백라이트 구동신호, 즉 백라이트를 구동하기 위한 구동 전압과 전류도 증감된다. 이렇게 구동 전류와 전압이 증감되면, 백라이트 유니트(150)의 휘도도 구동 전압과 전류에 비례하여 증감된다.
- [0046] 공통전압 발생부(170)는 고전위 전원전압(VDD)을 공급받아 공통전압(Vcom)을 발생하여 액정표시패널(110)의 각 픽셀에 구비된 액정셀(C1c)들의 공통전극에 공급한다.
- [0047] 게이트 구동전압 발생부(180)는 고전위 전원전압(VDD)을 인가받아 게이트 하이전압(VGH)과 게이트 로우 전압(VGL)을 발생시켜 게이트 구동부(130)에 공급한다. 여기서, 게이트 구동전압 발생부(180)는 액정표시패널(110)의 각 픽셀에 구비된 TFT의 문턱 전압 이상이 되는 게이트 하이 전압(VGH) 및 TFT의 문턱 전압 미만이 되는 게이트 로우 전압(VGL)을 생성한다. 이렇게 생성된 게이트 하이 전압(VGH)과 게이트 로우전압(VGL)은 각각 게이트 구동부(130)에 의해 발생하는 스캔 펄스의 하이레벨 전압과 로우레벨 전압을 결정하는데 이용된다.
- [0048] 이에 따라, 상기 액정표시패널(110)은 상기 게이트 구동부 및 데이터 구동부로부터 공급되는 게이트 구동신호 및 영상신호를 통해 구비되어 있는 박막트랜지스터(T)를 턴-온/오프하고, 액정셀의 광 투과율을 변화시켜 영상을 표시한다.
- [0049] 타이밍 컨트롤러(190)는 텔레비전 수상기나 컴퓨터용 모니터 등의 시스템에 구비된 영상처리용

스케일러(미도시)로부터 공급되는 디지털 비디오 데이터(RGB)를 데이터 구동부(120)에 공급하고, 또한 클럭 신호(CLK)에 따라 수평/수직 동기신호(H,V)를 이용하여 데이터 구동 제어신호(DDC)와 게이트 구동 제어신호(GDC)를 생성한다. 그리고 나서 타이밍 컨트롤러(190)는 데이터 구동 제어신호(DDC)는 데이터 구동부(120)에 공급하고, 게이트 구동 제어신호(GDC)는 게이트 구동부(130)에 공급한다.

[0050] 여기서, 데이터 구동 제어신호(DDC)에는 소스스위프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등이 포함된다. 게이트 구동 제어신호(GDC)에는 게이트스타트펄스(GSP) 및 게이트출력인에이블(GOE) 등이 포함된다.

[0051] 상기 수평 동기신호(Hsync)는 한 화면의 한 라인을 표시하는데 걸리는 시간을 나타내고, 상기 수직 동기신호(Vsync)는 한 프레임의 화면을 표시하는데 걸리는 시간을 나타낸다. 또한, 상기 데이터 인에이블 신호(DE)는 실제 화소에 데이터를 공급하는 기간을 나타낸다.

[0052] 여기에서, 상기와 같은 디스플레이장치는 수많은 TFT를 정상적으로 동작시키기 위해, 상기 데이터 구동 제어신호와 게이트 구동 제어신호와 같은 여러 타이밍을 서로 매칭시켜 줘야 한다. 이때, 상기 타이밍에는 상기 기재한 바와 같이 다양한 타이밍이 존재하는데, 이 중에서도 가장 중요한 타이밍이자 상기 액정 표시패널을 구동시키기 위한 기준이 되는 타이밍은 1H(수평 1라인)의 주기 타이밍이다. 상기 1H의 주기 타이밍은 수평 한 라인의 표시를 위한 주기를 나타낸다.

[0053] 또한, 일반적으로 입력 데이터 신호의 프레임 주파수는 여러 종류가 존재하며, 상기 여러 종류의 프레임 주파수에 따라 동일한 1H의 주기 타이밍을 유지시켜 줘야 한다. 이를 위해 종래에는 동일 1H의 주기 타이밍을 유지하기 위하여 별도의 저장 공간에 입력 프레임 주파수에 따른 소프트웨어 코드를 분류하여 저장하였다.

[0054] 하지만, 본 발명의 실시 예에서는 상기 데이터 신호의 해상도 관련 정보를 이용하여, 상기 데이터 신호의 프레임 주파수에 대응되는 1H의 주기 타이밍이 연산될 수 있도록 한다.

[0055] 이를 위해, 본 발명의 실시 예에서의 타이밍 컨트롤러(190)는 연산부(192)를 포함한다.

[0056] 상기 연산부(192)는 입력 데이터 신호의 해상도 변경시, 다시 말해서 프레임 주파수 변경시, 동일한 1H의 주기 타이밍을 유지시키기 위해, 상기 외부 시스템으로부터 제공되는 데이터 신호의 해상도 정보에 의거하여 상기 1H의 주기 타이밍을 산출한다.

[0057] 여기에서, 상기 해상도 정보에는 프레임 주파수 신호와, Vtotal 정보가 포함된다. 상기 프레임 주파수 신호는 일반적으로 불리는 50Hz, 60Hz의 프레임 주파수를 의미하며, Vtotal은 수직구간의 총 라인 수이다. 예를 들어, 1920*1080의 해상도를 가지는 데이터 신호의 Vtotal은 1080이다. 이때, 실제 액티브 영역은 1080이지만, 1080에 별도의 블랭킹 구간을 두어, 대개 상기 Vtotal은 1125나 1350 등으로 되어 있다.

[0058] 상기 연산부(192)는 상기 데이터 신호의 프레임 주파수에 대응되는 1H의 주기 타이밍을 연산하기 위해서, 상기 입력된 프레임 주파수와 Vtotal 정보를 곱셈한다. 이를 위해, 상기 외부 시스템으로부터 제공되는 해상도 정보는 상기 데이터 신호의 프레임 주파수에 대응되게 서로 다른 Vtotal 정보가 가지게 된다.

[0059] 즉, 상기 외부 시스템에서는 상기 입력 데이터 신호의 프레임 주파수에 대응하여 상기 데이터 신호의 Vtotal을 조정하여 제공하고, 상기 연산부(192)는 상기 제공되는 Vtotal 정보와 프레임 주파수 정보를 연산하여 상기 입력 데이터 신호를 표시하기 위한 1H의 주기 타이밍을 산출한다.

[0060] 각 프레임 주파수에 대응되는 Vtotal과 그에 따라 산출되는 1H의 주기 타이밍은 다음과 같다.

표 1

프레임 주파수	Vtotal	1H의 타이밍 주기
50Hz	1350	67.5kHz
60Hz	1125	67.5kHz
100Hz	1350	135kHz
120Hz	1125	135kHz

[0062] 이에 따라, 본 발명의 실시 예에서는 50Hz, 60Hz와 같은 해상도 변환시, 상기 제공되는 프레임 주파수와 Vtotal 정보를 이용하여, 고정된 1H의 주기 타이밍을 유지시킬 수 있다.

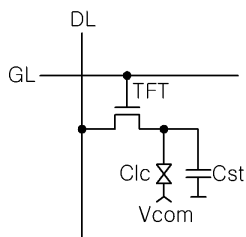
- [0063] 도 4는 본 발명의 실시 예에 따른 디스플레이장치의 동작 방법을 단계별로 설명하기 위한 흐름도이다.
- [0064] 도 4를 참조하면, 디스플레이장치의 동작 방법은 먼저 외부시스템을 통해 인터페이스를 경유하여, 타이밍 컨트롤러(190)에 데이터 신호와 제어신호가 입력된다(101단계).
- [0065] 상기 타이밍 컨트롤러(190)에 포함된 연산부(192)는 상기 제어신호에 포함된 데이터 신호의 프레임 주파수와 V_{total} 을 분석한다(102단계).
- [0066] 상기 연산부(192)는 상기 분석에 따라 확인한 프레임 주파수와 V_{total} 을 곱셈하고, 상기 곱셈한 값을 출력한다(103단계).
- [0067] 상기 타이밍 컨트롤러(190)는 상기 곱셈에 의해 산출된 결과 값을 상기 데이터 신호의 1H의 주기 타이밍으로 설정하고, 상기 설정된 주기 타이밍을 토대로 상기 데이터 신호가 출력되도록 한다(104단계).
- [0068] 이와 같이 본 발명에 따른 디스플레이장치 및 그의 동작 방법에 의하면, 입력 영상신호의 프레임 주파수별로 동일한 타이밍을 유지하기 위해, 별도의 저장 공간에 입력 프레임 주파수에 따른 소프트웨어 코드를 분리해야 하는 문제를 해결할 수 있을 뿐만 아니라, 나아가서는 소프트웨어 에러로 인해 발생하는 문제를 사전에 방지할 수 있다.
- [0069] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

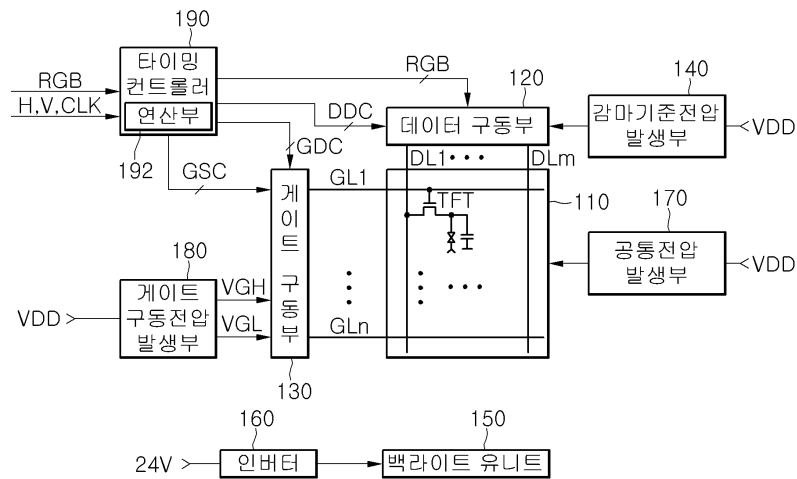
- | | |
|--------------------|--------------------|
| [0070] 110: 액정표시패널 | 120: 데이터 구동부 |
| 130: 게이트 구동부 | 140: 감마기준전압 발생부 |
| 150: 백라이트 유니트 | 160: 인버터 |
| 170: 공통전압 발생부 | 180: 게이트 구동 전압 발생부 |
| 190: 타이밍 컨트롤러 | 192: 연산부 |

도면

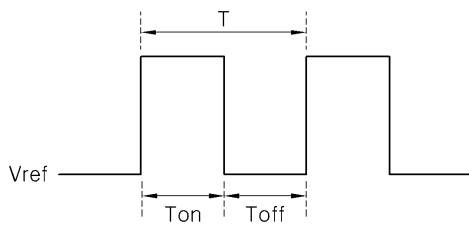
도면1



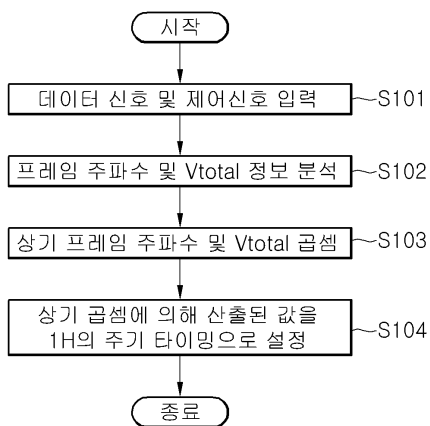
도면2



도면3



도면4



专利名称(译)	显示装置及其操作方法		
公开(公告)号	KR1020110080733A	公开(公告)日	2011-07-13
申请号	KR1020100001099	申请日	2010-01-07
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	SEO KWAN HEE		
发明人	SEO, KWAN HEE		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3696 G09G3/2092 G09G3/3413 G09G2310/08		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的显示装置包括：液晶面板，包括多条栅极线和多条数据线；用于从外部系统接收数据信号和控制信号的接口；一种定时控制器，用于根据控制信号产生和输出用于驱动液晶面板的定时信号；栅极驱动器，用于根据通过时序控制器输出的时序信号产生栅极输出信号，并将栅极输出信号提供给栅极线；以及用于基于通过定时控制器输出的定时信号将数据信号提供给数据线的的数据驱动器，其中定时控制器分析控制信号以对应于数据信号的帧频率以及用于计算参考周期信号的计算单元。

