



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0068173
(43) 공개일자 2011년06월22일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0125021

(22) 출원일자 2009년12월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

강정호

경북 구미시 옥계동 (32/7) 17-1B e-편한세상
110-1702

김현철

경북 칠곡군 석적읍 중리 LG필립스LCD기숙사 B동
225호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 8 항

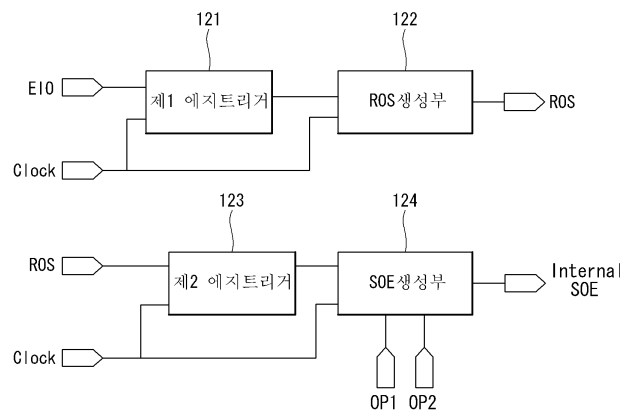
(54) 액정표시장치

(57) 요약

본 발명은 타이밍 컨트롤러의 구성을 간소화할 수 있는 액정표시장치에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들이 형성된 액정표시패널; 상기 데이터라인들을 구동하기 위한 데이터 구동회로; 및 상기 데이터 구동회로의 동작 타이밍을 제어하기 위한 패킷 데이터 타이밍 제어신호들을 생성하는 타이밍 컨트롤러를 구비하고; 상기 데이터 구동회로의 출력을 지시하는 소스 출력 인에이블신호는 상기 데이터 구동회로 내부에서 생성된다.

대표도 - 도6



특허청구의 범위

청구항 1

다수의 데이터라인들이 형성된 액정표시패널;

상기 데이터라인들을 구동하기 위한 데이터 구동회로; 및

상기 데이터 구동회로의 동작 타이밍을 제어하기 위한 패킷 데이터 타이밍 제어신호들을 생성하는 타이밍 콘트롤러를 구비하고;

상기 데이터 구동회로의 출력을 지시하는 소스 출력 인에이블신호는 상기 데이터 구동회로 내부에서 생성되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 구동회로는,

상기 패킷 데이터 타이밍 제어신호들에 속하는 EIO 신호의 폴링 시점을 검출하는 제1 에지 트리거;

상기 EIO 신호의 폴링 시점에 동기하여 ROS를 일정 기간 동안 하이논리레벨로 발생한 직후 로우논리레벨로 반전시키는 ROS 생성부;

상기 ROS의 폴링 시점을 검출하는 제2 에지 트리거; 및

상기 ROS의 폴링 시점에 동기하여 상기 소스 출력 인에이블신호를 일정 기간 동안 하이논리레벨로 발생하는 SOE 생성부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 ROS 생성부는 입력되는 클럭신호를 카운트하여 14개의 클럭이 발생하는 동안 상기 ROS를 하이논리레벨로 유지하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 SOE 생성부는 입력되는 클럭신호를 카운트하여 최소 200ns 동안 상기 소스 출력 인에이블신호를 하이논리레벨로 유지하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 패킷 데이터 타이밍 제어신호들에는 상기 소스 출력 인에이블신호의 하이논리레벨 기간을 결정하기 위한 제1 및 제2 옵션 정보가 포함되며;

상기 소스 출력 인에이블신호의 하이논리레벨 기간은 상기 제1 및 제2 옵션 정보의 논리값에 따라 가변되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 소스 출력 인에이블신호의 라이징 시점은 고정되고, 상기 소스 출력 인에이블신호의 폴링 시점은 상기 옵션 정보들의 논리값에 따라 가변되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 데이터 구동회로는 다수의 데이터 드라이브 집적회로들을 포함하고;

상기 데이터 드라이브 집적회로들 각각은 소스 COF 또는 소스 TCP 중 어느 하나에 실장되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 데이터 구동회로는 다수의 데이터 드라이브 집적회로들을 포함하고;

상기 데이터 드라이브 집적회로들 각각은 상기 액정표시패널의 비 표시영역에 형성되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 타이밍 컨트롤러의 구성을 간소화하고, 소스 PCB(Printed Circuit Board) 상에서 신호 배선 패터닝을 용이하게 할 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기, 옥내외 광고 표시장치 등으로 이용되고 있다. 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT")를 이용하여 영상을 표시한다. 액정표시장치의 대부분을 차지하고 있는 투과형 액정표시장치는 액정층에 인가되는 전계를 제어하여 백라이트 유닛으로부터 입사되는 빛을 변조함으로써 영상을 표시한다.

[0003] 액정표시장치는 영상이 표시되는 액정표시패널과, 액정표시패널을 구동시키기 위한 데이터 구동회로 및 게이트 구동회로를 구비한다. 데이터 구동회로는 다수의 데이터 드라이브 집적회로들을 포함하며, 그 동작에 필요한 데이터 타이밍 제어신호들을 타이밍 컨트롤러로부터 공급받는다. 타이밍 컨트롤러는 소스 PCB 상에 실장된다. 소스 PCB에 형성된 신호 배선들은 타이밍 컨트롤러와 데이터 드라이브 집적회로들을 전기적으로 연결한다.

[0004] 최근, 데이터 타이밍 제어신호들은 전송 방식의 간소화를 위해 1 수평라인 단위의 데이터 패킷(Packet) 형태로 전송된다. 다만, 데이터 타이밍 제어신호들 중 소스 출력 인에이블신호(Source Output Enable signal : SOE)만은 별도의 신호배선을 통해 타이밍 컨트롤러로부터 데이터 구동회로에 전송된다. 소스 출력 인에이블신호(SOE)가 별도로 전송되기 때문에, 이를 위해 타이밍 컨트롤러 내에 소스 출력 인에이블신호(SOE)를 인가하기 위한 핀(Pin)이 마련되어야 하며, 또한 소스 PCB에 소스 출력 인에이블신호(SOE)를 전송하기 위한 신호 배선이 추가적으로 형성되어야 한다. 타이밍 컨트롤러에서 출력 핀 수가 많아질수록 타이밍 컨트롤러의 제조 단가는 비싸진다. 또한, 소스 PCB에서 신호 배선 수가 많아질수록 소스 PCB의 배선 패터닝 공정이 복잡해진다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서, 본 발명의 목적은 타이밍 컨트롤러의 구성을 간소화하고, 소스 PCB 상에서 신호 배선 패터닝을 용이하게 할 수 있는 액정표시장치를 제공하는 데 있다.

과제 해결수단

[0006] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들이 형성된 액정표시패널; 상기 데이터라인들을 구동하기 위한 데이터 구동회로; 및 상기 데이터 구동회로의 동작 타이밍을 제어

하기 위한 패킷 데이터 타이밍 제어신호들을 생성하는 타이밍 콘트롤러를 구비하고; 상기 데이터 구동회로의 출력을 지시하는 소스 출력 인에이블신호는 상기 데이터 구동회로 내부에서 생성된다.

- [0007] 상기 데이터 구동회로는, 상기 패킷 데이터 타이밍 제어신호들에 속하는 EIO 신호의 폴링 시점을 검출하는 제1 에지 트리거; 상기 EIO 신호의 폴링 시점에 동기하여 ROS를 일정 기간 동안 하이논리레벨로 발생한 직후 로우는 리레벨로 반전시키는 ROS 생성부; 상기 ROS의 폴링 시점을 검출하는 제2 에지 트리거; 및 상기 ROS의 폴링 시점에 동기하여 상기 소스 출력 인에이블신호를 일정 기간 동안 하이논리레벨로 발생하는 SOE 생성부를 구비한다.
- [0008] 상기 ROS 생성부는 입력되는 클럭신호를 카운트하여 14개의 클럭이 발생하는 동안 상기 ROS를 하이논리레벨로 유지한다.
- [0009] 상기 SOE 생성부는 입력되는 클럭신호를 카운트하여 최소 200ns 동안 상기 소스 출력 인에이블신호를 하이논리레벨로 유지한다.
- [0010] 상기 패킷 데이터 타이밍 제어신호들에는 상기 소스 출력 인에이블신호의 하이논리레벨 기간을 결정하기 위한 제1 및 제2 옵션 정보가 포함되며; 상기 소스 출력 인에이블신호의 하이논리레벨 기간은 상기 제1 및 제2 옵션 정보의 논리값에 따라 가변된다.
- [0011] 상기 소스 출력 인에이블신호의 라이징 시점은 고정되고, 상기 소스 출력 인에이블신호의 폴링 시점은 상기 옵션 정보들의 논리값에 따라 가변된다.
- [0012] 상기 데이터 구동회로는 다수의 데이터 드라이브 집적회로들을 포함하고; 상기 데이터 드라이브 집적회로들 각각은 소스 COF 또는 소스 TCP 중 어느 하나에 실장된다.
- [0013] 상기 데이터 구동회로는 다수의 데이터 드라이브 집적회로들을 포함하고; 상기 데이터 드라이브 집적회로들 각각은 상기 액정표시패널의 비 표시영역에 형성된다.

효 과

- [0014] 본 발명에 따른 액정표시장치는 데이터 구동회로에서 소스 출력 인에이블신호를 생성함으로써, 소스 출력 인에이블신호를 인가하기 위한 타이밍 콘트롤러의 출력 핀을 삭제할 수 있어 타이밍 콘트롤러의 제조 단가를 낮출 수 있다. 또한, 소스 PCB 상에서 소스 출력 인에이블신호를 전송하기 위한 신호 배선을 삭제할 수 있어 소스 PCB의 배선 패터닝 공정을 단순화할 수 있다. 또한, COG 방식에서는 소스 출력 인에이블신호 인가용 신호 배선을 삭제할 수 있어, 데이터 드라이브 집적회로가 실장되는 하부 유리기관의 공간 활용도를 크게 높일 수 있다.

발명의 실시를 위한 구체적인 내용

- [0015] 이하, 도 1 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대해 설명하기로 한다.
- [0016] 도 1 내지 도 3은 본 발명의 실시예에 따른 액정표시장치를 보여준다.
- [0017] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 및 백라이트 유닛(14)을 구비한다.
- [0018] 액정표시패널(10)은 두 장의 유리기관(10A, 10B)과 이들 사이에 형성된 액정층을 포함한다. 액정표시패널(10)의 하부 유리기관(10A)에는 다수의 데이터라인들(DL)과 다수의 게이트라인들(GL)이 교차된다. 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조에 의해 액정표시패널(10)에는 액정셀(C1c)들이 매트릭스 형태로 배치된다. 액정셀(C1c)들 각각은 TFT, TFT에 접속된 화소전극(1), 및 스토리지 커패시터(Cst) 등을 포함한다. 액정표시패널(10)의 상부 유리기관(10B) 상에는 블랙매트릭스, 컬러필터 및 공통전극(2) 등이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관(10B) 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관(10A) 상에 형성된다. 액정표시패널(10)은 유리기관들(10A, 10B)이 중첩되는 표시영역과 이 표시영역 바깥의 비 표시영역을 포함한다. 하부 유리기관(10A)의 비 표시영역에는 데이터라인들(DL)로부터 신장되어진 데이터 패드들이 형성된다. 액정표시패널(10)의 상부 유리기관(10B)과 하부 유리

기관(10A) 각각에는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.

[0019] 타이밍 컨트롤러(11)는 외부 비디오 소스가 실장된 시스템 보드로부터 입력되는 디지털 비디오 데이터(RGB)를 액정표시패널(10)의 해상도에 맞게 정렬하여 데이터 구동회로(12)에 공급한다. 타이밍 컨트롤러(11)는 시스템 보드로부터의 타이밍신호들(Vsync, Hsync, DE, DCLK)에 기초하여 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들(DDC, GDC)을 발생한다.

[0020] 게이트 타이밍 제어신호(GDC)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 구동회로(13) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 구동회로(13)의 출력을 제어하는 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다.

[0021] 또한, 데이터 타이밍 제어신호(DDC)는 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 지시하는 소스 샘플링 클럭(Source Sampling Clock : SSC), 데이터 구동회로(12)에서 발생되며 소스 출력 인에이블신호(SOE)의 펄스폭을 결정하기 위한 옵션 정보, 액정표시패널(10)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시하는 극성제어신호(POL) 등을 포함한다. 데이터 타이밍 제어신호(DDC)는 차지제어 제어신호, 감마 인에이블신호, 캐리신호 등을 더 포함할 수 있다. 이러한 데이터 타이밍 제어신호(DDC)는 전송 방식의 간소화를 위해 1 수평라인 단위의 데이터 패킷(Packet) 형태로 전송된다. 데이터 구동회로의 출력을 지시하는 소스 출력 인에이블신호(SOE)는 타이밍 컨트롤러(11)에서 생성되지 않고 데이터 구동회로(12)에서 생성되기 때문에, 본 발명에 따르면 타이밍 컨트롤러 내에 소스 출력 인에이블신호(SOE)를 인가하기 위한 별도의 핀(Pin)이 마련될 필요가 없다.

[0022] 한편, 타이밍 컨트롤러(11)는 60Hz의 프레임 주파수로 입력되는 입력 영상 신호의 프레임들 사이에 보간 프레임을 삽입하고 데이터 타이밍 제어신호(DDC)와 게이트 타이밍 제어신호(GDC)를 체배하여 $60 \times N$ (N은 2 이상의 양의 정수)Hz의 프레임 주파수로 데이터 구동회로(12)와 게이트 구동회로(13)의 동작을 제어할 수 있다.

[0023] 데이터 구동회로(12)는 타이밍 컨트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치하고, 이 래치된 데이터(RGB)를 정극성/부극성 감마보상전압을 이용하여 정극성/부극성 아날로그 데이터전압으로 변환한 후 데이터 라인들(DL)에 공급한다. 이를 위해, 데이터 구동회로(12)는 다수의 데이터 드라이브 집적회로(DIC)들을 포함한다. 데이터 드라이브 집적회로(DIC)는 클럭신호를 샘플링하기 위한 쉬프트레지스터, 디지털 비디오 데이터(RGB)를 일시저장하기 위한 레지스터, 쉬프트레지스터로부터의 클럭신호에 응답하여 데이터를 1 라인분씩 저장하고 저장된 1 라인분의 데이터를 동시에 출력하기 위한 래치, 래치로부터의 디지털 데이터값에 대응하여 감마 기준전압의 참조하에 정극성/부극성의 데이터전압을 발생하기 위한 디지털/아날로그 변환기, 정극성/부극성 데이터전압이 공급되는 데이터라인(DL)을 선택하기 위한 멀티플렉서, 및 멀티플렉서와 데이터라인(DL) 사이에 접속된 출력버퍼 등을 구비한다.

[0024] 데이터 드라이브 집적회로(DIC)는 도 2와 같이 소스 COF(Chip on film)에 실장된다. 소스 COF는 소스 TCP(Tape carrier package)로 대신될 수 있다. 소스 COF(또는 소스 TCP)는 타이밍 컨트롤러(11)가 실장된 소스 PCB(20)와 액정표시패널(10)을 전기적으로 연결시킨다. 소스 COF(또는 소스 TCP)의 입력단자들은 소스 PCB(20)의 출력단자들에 전기적으로 접속되고, 소스 COF(또는 소스 TCP)의 출력단자들은 ACF(Anisotropic conductive film)를 통해 액정표시패널(10)의 하부 유리기관에 형성된 데이터 패드들에 전기적으로 접속된다. 소스 COF(또는 소스 TCP)는 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)와 패킷 데이터 타이밍 제어신호(DP(DDC))를 데이터 드라이브 집적회로(DIC)에 인가한다. 이러한 소스 COF(또는 소스 TCP) 방식에서는, 소스 출력 인에이블신호(SOE) 인가용 신호 배선이 제거됨에 따라, 소스 PCB(20) 상에서 신호 배선 패터닝이 그만큼 용이해진다.

[0025] 한편, 데이터 드라이브 집적회로(DIC)는 도 3과 같이 하부 유리기관(10A)의 비 표시영역 상에 COG(Chip On Glass) 방식으로 직접 형성될 수 있다. 이 경우 타이밍 컨트롤러(11)가 실장된 소스 PCB(20)와 액정표시패널(10)은 FPC(Flexible Printed Circuit)를 통해 전기적으로 연결된다. 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)와 패킷 데이터 타이밍 제어신호(DP(DDC))는, FPC 및 하부 유리기관(10A)의 비 표시영역에 형성된 신호배선들을 경유하여 데이터 드라이브 집적회로(DIC)에 인가된다. 이러한 COG 방식에서는, 소스 출력 인에이블신호(SOE) 인가용 신호 배선이 제거됨에 따라, 소스 PCB(20) 상에서 신호 배선 패터닝이 그만큼 용이해질 뿐만 아니라, 데이터 드라이브 집적회로(DIC)가 실장되는 하부 유리기관(10A)의 공간 활용도가 크

게 높아진다.

- [0026] 데이터 드라이브 집적회로(DIC)는 타이밍 콘트롤러(11)로부터 전송받지 않고 그 내부에서 소스 출력 인에이블신호(SOE)를 생성한다. 데이터 드라이브 집적회로(DIC)는 도 4와 같이 유효 데이터(Valid Data)의 끝을 지시하는 EIO(Enable Input Output) 신호를 이용하여 EIO 신호의 폴링 시점에서 ROS(Receive Off Signal)를 하이논리레벨로 생성한다. EIO 신호는 패킷 데이터 타이밍 제어신호(DP(DDC))에 포함되어 타이밍 콘트롤러(11)로부터 전송되는 신호로서, 데이터 드라이브 집적회로(DIC)에서 데이터를 자신의 출력채널 수만큼 샘플링한 후에 그 다음 데이터의 샘플링 타이밍을 지시하는 캐리신호이다. 그리고, 일정 기간 예컨대, 14개의 클럭이 발생하는 동안 ROS를 하이논리레벨로 유지한 후 ROS를 로우논리레벨로 반전시키며, 도 5와 같이 ROS의 폴링 시점에 동기하여 일정 기간 예컨대, 최소 200ns 동안 소스 출력 인에이블신호(SOE)를 하이논리레벨로 발생한다. 소스 출력 인에이블신호(SOE)가 하이논리레벨을 유지하는 기간 동안에는 데이터 드라이브 집적회로(DIC)에서 데이터전압이 출력되지 않게 되며, 이 기간 동안 차지 웨어 동작이 수행되게 된다. 소스 출력 인에이블신호(SOE)의 하이논리레벨 유지 기간은 패킷 데이터 타이밍 제어신호(DP(DDC))에 포함된 옵션 정보의 논리값에 따라 최소 200ns 이상의 시간 범위 내에서 가변될 수 있다.
- [0027] 게이트 구동회로(13)는 다수의 게이트 드라이브 집적회로들을 포함한다. 게이트 드라이브 집적회로는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(Clc)의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 출력 버퍼 등을 구비한다. 게이트 구동회로(13)는 타이밍 콘트롤러(11)의 제어 하에 스캔펄스(또는 게이트펄스)를 순차적으로 출력하여 게이트라인들(GL)에 공급함으로써, 데이터전압이 인가될 수평 라인을 선택한다.
- [0028] 백라이트 유닛(14)은 다수의 광원들을 포함하여 액정표시패널(10)에 빛을 조사한다. 백라이트 유닛(14)은 직하형(Direct type)과 에지형(Edge type) 중 어느 하나로 구현될 수 있다. 직하형 백라이트 유닛(14)은 액정표시패널(10)의 아래에 다수의 광학시트들과 확산판이 적층되고 확산판 아래에 다수의 광원들이 배치되는 구조를 갖는다. 에지형 백라이트 유닛(14)은 액정표시패널(10)의 아래에 다수의 광학시트들과 도광판이 적층되고 도광판의 측면에 다수의 광원들이 배치되는 구조를 갖는다. 광원들은 냉음극 형광램프(Cold Cathode Fluorescent Lamp : CCFL) 또는 외부전극 형광램프(External Electrode Fluorescent Lamp : EEFL)와 같은 선광원들로 구현될 수 있고, 발광다이오드(Light Emitting Diode, LED)와 같은 점광원들로 구현될 수 있다.
- [0029] 도 6은 소스 출력 인에이블신호(SOE)를 생성하기 위한 데이터 드라이브 집적회로(DIC)의 구성을 보여준다. 도 7은 소스 출력 인에이블신호(SOE)의 발생 타이밍을 보여준다.
- [0030] 도 6 및 도 7을 참조하면, 데이터 드라이브 집적회로(DIC)는 제1 에지 트리거(121), ROS 생성부(122), 제2 에지 트리거(123), 및 SOE 생성부(124)를 구비한다.
- [0031] 제1 에지 트리거(121)는 타이밍 콘트롤러(11)로부터 전송되는 EIO 신호가 하이논리레벨에서 로우논리레벨로 반전되는 EIO 신호의 폴링 시점을 검출하여 ROS 생성부(122)로 출력한다.
- [0032] ROS 생성부(122)는 입력되는 EIO 신호의 폴링 시점에 동기하여 ROS를 하이논리레벨로 생성한다. 그리고, 입력되는 클럭신호를 카운트하여 일정 기간 예컨대, 14개의 클럭이 발생하는 동안 ROS를 하이논리레벨로 유지한 직 후 로우논리레벨로 반전시킨다.
- [0033] 제2 에지 트리거(123)는 ROS 생성부(122)로부터 입력되는 ROS의 폴링 시점을 검출하여 SOE 생성부(124)로 출력한다.
- [0034] SOE 생성부(124)는 ROS의 폴링 시점에 동기하여 소스 출력 인에이블신호(SOE)를 하이논리레벨로 생성한다. 그리고, 입력되는 클럭신호를 카운트하여 일정 기간 예컨대, 최소 200ns 동안 소스 출력 인에이블신호(SOE)를 하이논리레벨로 유지한다. 소스 출력 인에이블신호(SOE)의 하이논리레벨 기간은 패킷 데이터 타이밍 제어신호(DP(DDC))에 포함된 옵션 정보의 논리값에 따라 최소 200ns 이상의 시간 범위 내에서 가변될 수 있다. 예컨대, 도 8과 같이 제1 및 제2 옵션 정보(OP1, OP2)가 모두 "0"으로 입력되는 경우에 대응하여, 소스 출력 인에이블신호(SOE)는 200ns 동안 하이논리레벨로 유지될 수 있다. 제1 및 제2 옵션 정보(OP1, OP2)가 각각 "0" 및 "1"로 입력되는 경우에 대응하여, 소스 출력 인에이블신호(SOE)는 400ns 동안 하이논리레벨로 유지될 수 있다. 제1 및 제2 옵션 정보(OP1, OP2)가 각각 "1" 및 "0"으로 입력되는 경우에 대응하여, 소스 출력 인에이블신호(SOE)는 600ns 동안 하이논리레벨로 유지될 수 있다. 제1 및 제2 옵션 정보(OP1, OP2)가 모두 "1"로 입력되는 경우에 대응하여, 소스 출력 인에이블신호(SOE)는 800ns 동안 하이논리레벨로 유지될 수 있다. 이 경우, SOE 생성부(124)는 소스 출력 인에이블신호(SOE)의 라이징 시점은 고정된 채 폴링 시점을 옵션 정보 값에 따라 가변시킬

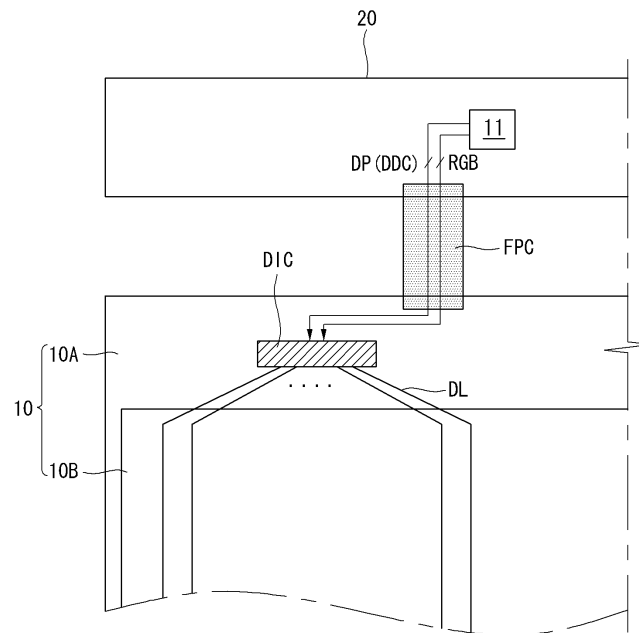
수 있다.

- [0035] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 데이터 구동회로에서 소스 출력 인에이블신호를 생성함으로써, 소스 출력 인에이블신호를 인가하기 위한 타이밍 컨트롤러의 출력 핀을 삭제할 수 있어 타이밍 컨트롤러의 제조 단가를 낮출 수 있다. 또한, 소스 PCB 상에서 소스 출력 인에이블신호를 전송하기 위한 신호 배선을 삭제할 수 있어 소스 PCB의 배선 패터닝 공정을 단순화할 수 있다. 또한, COG 방식에서는 소스 출력 인에이블신호 인가용 신호 배선을 삭제할 수 있어, 데이터 드라이브 집적회로가 실장되는 하부 유리기관의 공간 활용도를 크게 높일 수 있다.
- [0036] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

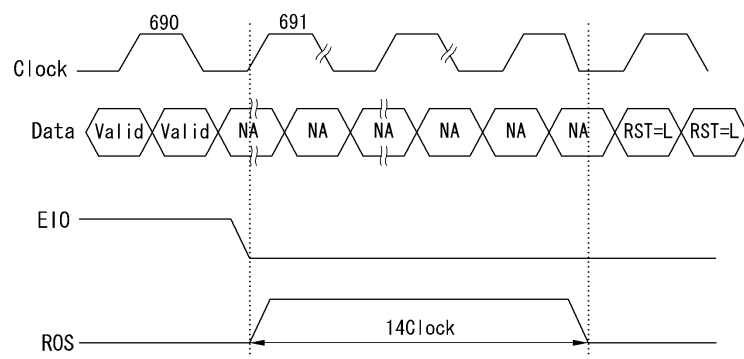
도면의 간단한 설명

- [0037] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여주는 도면.
- [0038] 도 2는 데이터 드라이브 집적회로가 형성되는 일 예를 보여주는 도면.
- [0039] 도 3은 데이터 드라이브 집적회로가 형성되는 다른 예를 보여주는 도면.
- [0040] 도 4는 ROS 신호의 생성 타이밍을 보여주는 도면.
- [0041] 도 5는 SOE 신호의 생성 타이밍을 보여주는 도면.
- [0042] 도 6은 SOE 신호를 생성하기 위한 데이터 드라이브 집적회로의 구성을 보여주는 도면.
- [0043] 도 7은 SOE 신호의 생성 타이밍과 함께 SOE 신호의 가변 지점을 보여주는 도면.
- [0044] 도 8은 옵션 정보들의 일 예를 보여주는 도면.
- [0045] < 도면의 주요 부분에 대한 부호의 설명 >
- | | |
|----------------------|-----------------|
| [0046] 10 : 액정표시패널 | 11 : 타이밍 컨트롤러 |
| [0047] 12 : 데이터 구동회로 | 13 : 게이트 구동회로 |
| [0048] 14 : 백라이트 유닛 | 121 : 제1 에지 트리거 |
| [0049] 122 : ROS 생성부 | 123 : 제2 에지 트리거 |
| [0050] 124 : SOE 생성부 | |

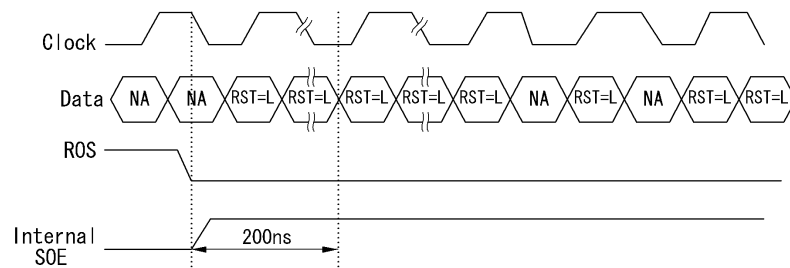
도면3



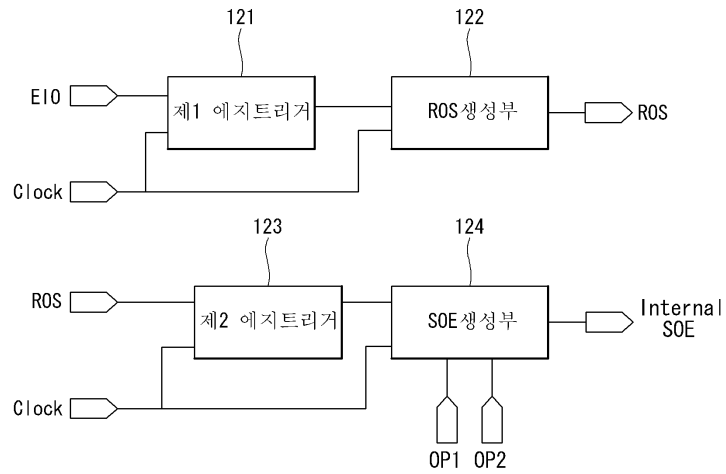
도면4



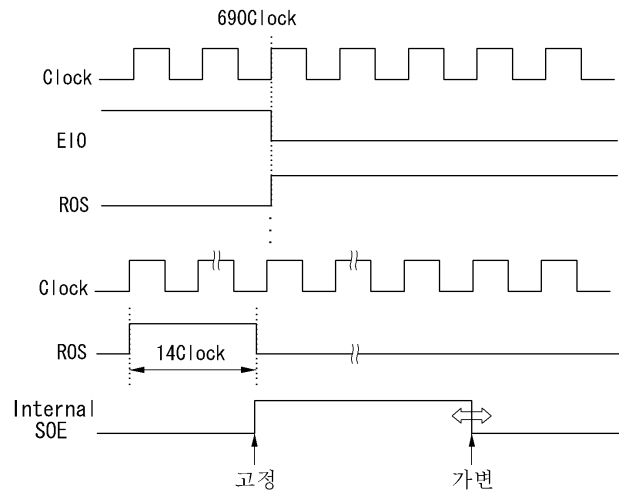
도면5



도면6



도면7



도면8

OP1	0	0	1	1
OP2	0	1	0	1
S0E폭	200nS	400nS	600nS	800nS

专利名称(译)	液晶显示器		
公开(公告)号	KR1020110068173A	公开(公告)日	2011-06-22
申请号	KR1020090125021	申请日	2009-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG JEONG HO 강정호 KIM HYUN CHUL 김현철		
发明人	강정호 김현철		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G02F1/136286		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器，通过去除用于传输源输出使能信号的信号线，可以在源PCB上轻松实现信号线图案化。组成：第一个边沿触发器（121）检测EIO信号的轮询时间。EIO信号包含在分组数据定时控制信号中。ROS生成单元（122）在特定时段期间生成高逻辑电平的ROS。ROS生成单元将高逻辑电平的ROS反转转为低逻辑电平。第二边沿触发器（123）检测ROS的轮询时间。SOE生成单元（124）生成高逻辑电平的源输出使能信号。COPYRIGHT KIPO 2011

