



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0122320  
(43) 공개일자 2017년11월06일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1345 (2006.01) G02F 1/1343 (2006.01)  
G02F 1/1362 (2006.01)  
(52) CPC특허분류  
G02F 1/13452 (2013.01)  
G02F 1/134309 (2013.01)  
(21) 출원번호 10-2016-0050662  
(22) 출원일자 2016년04월26일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
이동훈  
경기도 고양시 일산동구 중산로 206, 703동 301호  
(중산동, 중산마을7단지아파트)  
이승호  
경상남도 김해시 변화1로 104, 507동 1302호(삼문  
동, 젤리마을3단지대동괴렌체앙코르아파트)  
진태영  
부산광역시 연제구 토곡로9번가길 12, B-302호 (연산동, 대원빌라)  
(74) 대리인  
윤여광, 조우제, 허창준, 이재형, 노환욱, 염주석

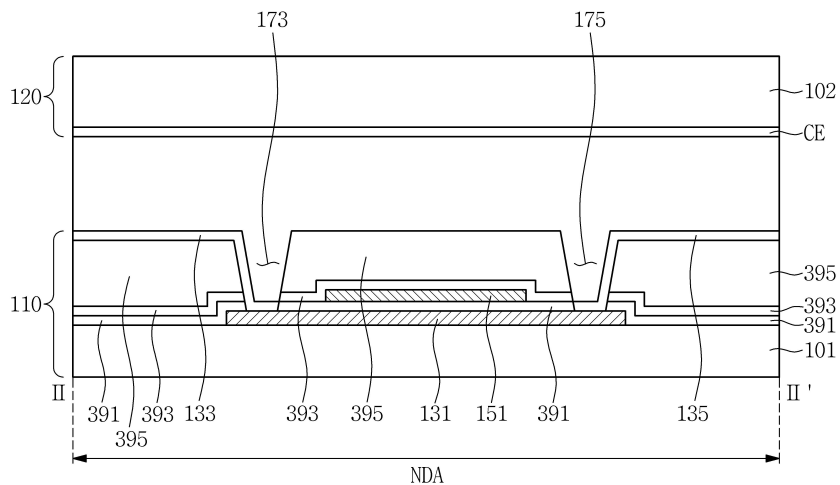
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 배선 사이의 단락을 방지할 수 있는 표시 장치에 관한 것으로, 표시 영역과 표시 영역을 둘러싸는 비표시 영역으로 이루어진 상부 기판 및 하부 기판, 상부 기판 및 하부 기판 사이에 배치된 액정층, 하부 기판상 비표시 영역에서 섬형으로 배치된 브리지 전극, 브리지 전극과 연결된 연결 배선, 브리지 전극과 서로 다른 층에서 교차하는 교차 배선을 포함한다.

대표도 - 도6



(52) CPC특허분류  
*G02F 1/136286* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시 영역과 표시 영역을 둘러싸는 비표시 영역으로 이루어진 상부 기관 및 하부 기관;  
상기 상부 기관 및 상기 하부 기관 사이에 배치된 액정층;  
상기 하부 기관상 상기 비표시 영역에서 섬형으로 배치된 브리지 전극;  
상기 브리지 전극과 연결된 연결 배선;  
상기 브리지 전극과 서로 다른 층에서 교차하는 교차 배선;을 포함하는 표시 장치.

#### 청구항 2

제 1 항에 있어서, 상기 교차 배선과 상기 연결 배선 사이에 개재하는 제 1 절연막을 더 포함하는 표시 장치.

#### 청구항 3

제 2 항에 있어서, 상기 제 1 절연막은 상기 연결 배선과 상기 브리지 전극을 연결하기 위한 적어도 하나의 컨택홀을 갖는 표시 장치.

#### 청구항 4

제 3 항에 있어서, 상기 컨택홀은 상기 교차 배선과 평행하게 배열된 표시 장치.

#### 청구항 5

제 2 항에 있어서, 상기 제 1 절연막과 상기 연결 배선 사이에 배치된 제2 절연막을 더 포함하는 표시 장치.

#### 청구항 6

제 5 항에 있어서, 상기 제 2 절연막은 상기 교차 배선 상에 위치하는 표시 장치.

#### 청구항 7

제 1 항에 있어서, 상기 연결 배선은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)인 표시 장치.

#### 청구항 8

제 1 항에 있어서, 상기 브리지 전극은 금속으로 이루어진 표시 장치.

#### 청구항 9

제 1 항에 있어서, 상기 교차 배선은 금속으로 이루어진 표시 장치.

#### 청구항 10

제 1 항에 있어서, 상기 교차 배선은 평면상에서 상기 연결 배선과 상기 연결 배선 사이에 위치하는 표시 장치.

#### 청구항 11

제 1 항에 있어서, 게이트 전극, 반도체층, 소스 전극 및 드레인 전극으로 이루어진 박막 트랜지스터를 더 포함하는 표시 장치.

#### 청구항 12

제 11 항에 있어서, 상기 브리지 전극은 상기 게이트 전극과 동일한 층에 위치하는 표시 장치.

**청구항 13**

제 11 항에 있어서, 상기 교차 배선은 상기 소스 전극 및 상기 드레인 전극과 동일한 층에 위치하는 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시 장치에 관한 것으로, 특히, 표시 장치의 배선 사이의 단락(short)을 방지할 수 있는 표시 장치에 관한 것이다.

**배경 기술**

[0002] 표시 장치는 발광 방식에 따라 액정 표시 장치(liquid crystal display, LCD), 유기 발광 표시 장치(organic light emitting diode display, OLED display), 플라즈마 표시 장치(plasma display panel, PDP) 및 전기 영동 표시 장치(electrophoretic display) 등으로 분류된다.

[0003] 이러한 표시 장치는 영상을 표시하는 표시 영역과 영상을 표시하지 않는 비표시 영역을 포함한다. 표시 영역에는 박막 트랜지스터 등의 스위칭 소자가 위치하고, 비표시 영역에는 스위칭 소자에 신호를 인가하기 위한 다수의 배선들이 위치한다.

[0004] 다수의 배선들은 제한된 영역에 중첩하여 위치하기 때문에, 단선 또는 단락(short)이 발생하기 쉽다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 배선의 단락(short)을 방지할 수 있는 표시 장치를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0006] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 표시 장치는, 표시 영역과 표시 영역을 둘러싸는 비표시 영역으로 이루어진 상부 기판 및 하부 기판;상부 기판 및 하부 기판 사이에 배치된 액정층;하부 기판상 비표시 영역에서 점형으로 배치된 브리지 전극;브리지 전극과 연결된 연결 배선;브리지 전극과 서로 다른 층에서 교차하는 교차 배선;을 포함한다.

[0007] 교차 배선과 연결 배선 사이에 개재하는 제 1 절연막을 더 포함할 수 있다.

[0008] 제 1 절연막은 연결 배선과 브리지 전극을 연결하기 위한 적어도 하나의 컨택홀을 가질 수 있다.

[0009] 컨택홀은 교차 배선과 평행하게 배열될 수 있다.

[0010] 제 1 절연막과 연결 배선 사이에 배치된 제2 절연막을 더 포함할 수 있다.

[0011] 제 2 절연막은 교차 배선 상에 위치할 수 있다.

[0012] 연결 배선은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)일 수 있다.

[0013] 브리지 전극은 금속으로 이루어질 수 있다.

[0014] 교차 배선은 금속으로 이루어질 수 있다.

[0015] 교차 배선은 평면상에서 연결 배선과 연결 배선 사이에 위치할 수 있다.

[0016] 게이트 전극, 반도체층, 소스 전극 및 드레인 전극으로 이루어진 박막 트랜지스터를 더 포함할 수 있다.

[0017] 브리지 전극은 게이트 전극과 동일한 층에 위치할 수 있다.

[0018] 교차 배선은 소스 전극 및 드레인 전극과 동일한 층에 위치할 수 있다.

**발명의 효과**

- [0019] 본 발명에 따른 표시 장치는 다음과 같은 효과를 제공한다.
- [0020] 하부 패널의 최하층에 배치된 브리지 배선을 통해 제 1 및 제 2 연결 배선을 연결하여, 공정 교차 배선과 제 1 및 제 2 연결 배선 사이에 위치하는 보호층의 공정능력 및 산포에 관계없이 단락(short)을 방지할 수 있다.
- [0021] 또한, 제 1 및 제 2 연결 배선을 교차 배선과 평면상에서 이격하여 배치함으로써, 보호층이 생략되어도 제 1 및 제 2 연결 배선은 교차 배선과 절연을 유지할 수 있다.
- [0022] 이에 따라, 본 발명에 따른 표시 장치는 평면상에서 교차하는 배선을 하부 패널의 최하층에 위치한 브리지 전극을 통해 연결하여 배선 설계의 자유도 및 밀집도를 향상시킬 수 있다.

**도면의 간단한 설명**

- [0023] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 하부 패널 및 이에 접속된 주변 회로를 나타낸 도면이다.
- 도 2는 도 1의 표시 패널에 포함된 화소들을 도식적으로 나타낸 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 하나의 화소를 나타낸 평면도이다.
- 도 4는 도 3의 I-I' 선을 따라 자른 단면도이다.
- 도 5는 도 1의 "A부"에 대한 상세 구성도이다.
- 도 6은 도 5의 II-II' 선을 따라 자른 단면도이다.
- 도 7은 도 3의 I-I' 선을 따라 자른 다른 일 실시예의 단면도이다.
- 도 8은 도 5의 II-II' 선을 따라 자른 다른 일 실시예의 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0026] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0027] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 그에 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

- [0028] 본 명세서에서 제 1, 제 2, 제 3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제 1 구성 요소가 제 2 또는 제 3 구성 요소 등으로 명명될 수 있으며, 유사하게 제 2 또는 제 3 구성 요소도 교호적으로 명명될 수 있다.
- [0029] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0030] 본 발명의 실시예들에 따른 표시 장치는 액정 표시 장치인 것을 전제로 설명하지만, 이에 한정되는 것은 아니다.
- [0031] 이하, 도 1 내지 도 8을 참조로 본 발명에 따른 표시 장치를 상세히 설명하면 다음과 같다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 하부 패널 및 이에 접속된 주변 회로를 나타낸 도면이고, 도 2는 도 1의 표시 패널에 포함된 화소들을 도식적으로 나타낸 도면이다. 도 3은 본 발명의 일 실시예에 따른 하나의 화소를 나타낸 평면도이고, 도 4는 도 3의 I-I' 선을 따라 자른 단면도이다.
- [0033] 도 1을 참조하면, 본 발명의 표시 장치는 표시 패널(100), 게이트 드라이버(211) 및 데이터 드라이버(231)를 포함한다.
- [0034] 표시 패널(100)은 하부 패널(110), 상부 패널(120) 및 액정층(103)을 포함한다. 표시 패널(100)은 표시 영역(display area, DA)과 비표시 영역(non-display area, NDA)으로 구분된다.
- [0035] 표시 패널(100)의 표시 영역(DA)은 하부 패널(110)의 표시 영역(DA) 및 상부 패널(120)의 표시 영역(DA)에 대응된다. 표시 패널(100)의 비표시 영역(NDA)은 하부 패널(110)의 비표시 영역(NDA) 및 상부 패널(120)의 비표시 영역(NDA)에 대응된다.
- [0036] 하부 패널(110)은, 도 1에 도시된 바와 같이, 하부 기관(101), 복수의 게이트 라인들(GL1 내지 GLi), 복수의 데이터 라인들(DL1 내지 DLj) 및 공통 라인(CL)을 포함한다. 게이트 라인들(GL1 내지 GLi), 데이터 라인들(DL1 내지 DLj) 및 공통 라인(CL)은 하부 패널(110)에 위치한다.
- [0037] 데이터 라인들(DL1 내지 DLj)은 게이트 라인들(GL1 내지 GLi)과 교차한다. 게이트 라인들(GL1 내지 GLi)은 비표시 영역(NDA)으로 연장되어 게이트 드라이버(211)에 접속되고, 데이터 라인들(DL1 내지 DLj)은 비표시 영역(NDA)으로 연장되어 데이터 드라이버(231)에 접속된다.
- [0038] 게이트 드라이버(211)는 복수의 게이트 구동 집적회로(213)들을 포함한다. 게이트 구동 집적회로(213)들은 게이트 신호들을 생성하여 제 1 내지 제 i 게이트 라인들(GL1 내지 GLi)에 순차적으로 공급한다.
- [0039] 각 게이트 구동 집적회로(213)는 게이트 캐리어(215)에 실장(mount)된다. 게이트 캐리어(215)들은 하부 패널(110)에 전기적으로 연결된다. 예를 들어, 게이트 캐리어(215)들 각각은 회로 기관(250)과 하부 패널(110)의 비표시 영역(NDA) 사이에 전기적으로 연결될 수 있다.
- [0040] 데이터 드라이버(231)는 복수의 데이터 구동 집적회로(233)들을 포함한다. 데이터 구동 집적회로(233)들은 타이밍 컨트롤러로부터 디지털 영상 데이터 신호들 및 데이터 제어신호를 공급받는다. 데이터 구동 집적회로(233)들은 데이터 제어신호에 따라 디지털 영상 데이터 신호들을 샘플링한 후에, 매 수평기간마다 한 수평 라인에 해당하는 샘플링 영상 데이터 신호들을 래치하고 래치된 영상 데이터 신호들을 데이터 라인들(DL1 내지 DLj)에 공급한다. 즉, 데이터 구동 집적회로(233)들은 타이밍 컨트롤러로부터의 디지털 영상 데이터 신호들을 전원 공급부(도시되지 않음)로부터 입력되는 감마전압을 이용하여 아날로그 영상 신호들로 변환하여 데이터 라인들(DL1 내지 DLj)로 공급한다.
- [0041] 각 데이터 구동 집적회로(233)는 데이터 캐리어(235)에 실장된다. 데이터 캐리어(235)들은 회로 기관(250)과 하부 패널(110) 사이에 접속된다. 예를 들어, 데이터 캐리어(235)들 각각은 회로 기관(250)과 하부 패널(110)의 비표시 영역(NDA) 사이에 전기적으로 연결될 수 있다.
- [0042] 회로 기관(250)에 전술된 타이밍 컨트롤러 및 전원 공급부가 위치할 수 있는 바, 데이터 캐리어(235)는 타이밍 컨트롤러 및 전원 공급부로부터의 각종 신호들을 데이터 구동 집적회로(233)로 전송하는 입력 배선들과 그 데이

터 구동 집적회로(233)로부터 출력된 영상 데이터 신호들을 해당 데이터 라인들로 전송하는 출력 배선들을 포함한다. 한편, 적어도 하나의 캐리어(215,235)는 타이밍 컨트롤러 및 전원 공급부로부터의 각종 신호들을 게이트 드라이버(211)로 전송하기 위한 보조 배선들을 더 포함할 수 있는 바, 이 보조 배선들은 하부 패널(110)에 위치한 패널 배선들에 연결된다. 이 패널 배선들은 보조 배선들과 게이트 드라이버(211)를 서로 연결한다. 패널 배선들은 라인-온-글라스(line-on-glass) 방식으로 하부 패널(110)의 비표시 영역(NDA)에 형성될 수 있다.

- [0043] 공통 라인(CL)은 게이트 드라이버(211) 및 데이터 드라이버(231)와 표시 영역(DA) 사이에 위치한다. 공통 라인(166)은 표시 영역을 둘러싸며 폐곡선을 이룰 수 있다. 또한, 공통 라인(CL)은 도 1에 도시된 바와 같이, 데이터 라인(DL)과 교차될 수 있다.
- [0044] 공통 라인(CL)은 전술된 전원 공급부로부터 공통 전압을 공급받는다. 이를 위해, 공통 라인(CL)은 게이트 캐리어(215)에 위치한 라인 및 데이터 캐리어(235)에 위치한 라인을 통해 전원 공급부에 연결될 수 있다.
- [0045] 도 2를 참조하면, 표시 패널(100)은 복수의 화소들(R, G, B)을 포함한다. 화소들(R, G, B)은, 도 2에 도시된 바와 같이, 표시 패널(100)의 표시 영역(DA)에 위치한다.
- [0046] 화소들(R, G, B)은 행렬 형태로 배열된다. 화소들(R, G, B)은 적색 영상을 표시하는 적색 화소(R), 녹색 영상을 표시하는 녹색 화소(G) 및 청색 영상을 표시하는 청색 화소(B)로 구분된다. 이때, 수평 방향으로 인접한 적색 화소(R), 녹색 화소(G) 및 청색 화소(B)는 하나의 단위 영상을 표시하기 위한 단위 화소가 될 수 있다.
- [0047] 제 n 수평라인(n은 1 내지 i 중 어느 하나)을 따라 배열된 j개의 화소들(이하, 제 n 수평라인 화소들)은 제 1 내지 제 j 데이터 라인들(DL1 내지 DLj) 각각에 개별적으로 접속된다. 아울러, 이 제 n 수평라인 화소들은 제 n 게이트 라인에 공통으로 접속된다. 이에 따라, 제 n 수평라인 화소들은 제 n 게이트 신호를 공통으로 공급받는다. 즉, 동일 수평라인 상에 배열된 j개의 화소들은 모두 동일한 게이트 신호를 공급받지만, 서로 다른 수평라인 상에 위치한 화소들은 서로 다른 게이트 신호를 공급받는다. 예를 들어, 제 1 수평라인(HL1)에 위치한 적색 화소(R) 및 녹색 화소(G)는 모두 제 1 게이트 신호를 공급받는 반면, 제 2 수평라인(HL2)에 위치한 적색 화소(R) 및 녹색 화소(G)는 이들과는 다른 타이밍을 갖는 제 2 게이트 신호를 공급받는다.
- [0048] 각 화소(R, G, B)는, 도 2에 도시된 바와 같이, 박막 트랜지스터(TFT), 액정용량 커패시터(C1c) 및 보조용량 커패시터(Cst)를 포함한다.
- [0049] 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터의 게이트 신호에 따라 턴-온된다. 턴-온된 박막 트랜지스터(TFT)는 데이터 라인(DLj)으로부터 제공된 아날로그 영상 데이터 신호를 액정용량 커패시터(C1c) 및 보조용량 커패시터(Cst)로 공급한다.
- [0050] 액정용량 커패시터(C1c)는 서로 대향하여 위치한 화소 전극(도 4의 PE)과 공통 전극(도 4의 CE)을 포함한다.
- [0051] 보조용량 커패시터(Cst)는 서로 대향하여 위치한 화소 전극(PE)과 대향 전극을 포함한다. 여기서, 대향 전극은 전단 게이트 라인(GLi-1) 또는 공통 라인(CL)일 수 있다.
- [0052] 도 3 및 도 4를 참조하면, 표시 패널(100)은, 하부 기관(101), 박막 트랜지스터(TFT), 게이트 절연막(191), 보호층(193), 층간 절연막(195), 화소 전극(PE), 상부 기관(102), 컬러 필터(CF), 공통 전극(CE) 및 액정층(103)을 포함한다. 여기서, 박막 트랜지스터(TFT)는 게이트 전극(GE), 반도체층(313), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다.
- [0053] 하부 기관(101) 및 상부 기관(102)은 플라스틱 기관과 같이 광 투과 특성 및 플렉시블 특성을 갖는 절연 기관일 수 있다. 다만, 이에 한정되는 것은 아니며, 하부 기관(101)은 유리 기관과 같은 하드 기관으로 만들어질 수도 있다.
- [0054] 게이트 라인(GL) 및 게이트 전극(GE)은 하부 기관(101) 상에 위치한다. 게이트 라인(GL)은, 다른 층 또는 외부 구동회로와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다. 게이트 라인(GL) 및 게이트 전극(GE) 중 적어도 하나는 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 또는 은(Ag)이나 은 합금과 같은 은 계열의 금속, 또는 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 또는 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속으로 만들어질 수 있다. 이와 달리, 게이트 라인(GL) 및 게이트 전극(GE) 중 적어도 하나는, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 중 어느 하나로 만들어질 수 있다. 이와 달리, 게이트 라인(GL) 및 게이트 전극(GE) 중 적어도 하나는 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.

- [0055] 게이트 절연막(191)은 게이트 라인(GL) 및 게이트 전극(GE) 상에 위치한다. 이때, 게이트 절연막(191)은 그 게이트 라인(GL) 및 게이트 전극(GE)을 포함한 하부 기판(101)의 전면(全面)에 위치할 수 있다.
- [0056] 게이트 절연막(191)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 만들어질 수 있다. 게이트 절연막(191)은 물리적 성질이 다른 적어도 두 개의 절연층들을 포함하는 다중막 구조를 가질 수 있다.
- [0057] 반도체층(SM)은 게이트 절연막(191) 상에 위치한다. 이때, 반도체층(SM)은 게이트 전극(GE)과 중첩한다. 반도체층(SM)은 비정질 규소 또는 다결정 규소 등으로 만들어질 수 있다.
- [0058] 한편, 도시되지 않았지만, 저항성 접촉층은 반도체층(SM) 상에 위치할 수 있다. 저항성 접촉층은 인(phosphorus)과 같은 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉층은 쌍을 이루어 반도체층(SM) 상에 위치할 수 있다.
- [0059] 소스 전극(SE)은 반도체층(SM)의 일단 상에 위치한다. 소스 전극(SE)은 데이터 라인(DL)으로부터 연장된다. 예를 들어, 도 3에 도시된 바와 같이, 이 소스 전극(SE)은 데이터 라인(DL)에서 게이트 전극(GE)을 향해 돌출된 형태를 갖는다. 소스 전극(SE)은 반도체층(SM) 및 게이트 전극(GE)과 중첩된다. 소스 전극(SE)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막과 저저항 도전막을 포함하는 다중막 구조를 가질 수 있다.
- [0060] 드레인 전극(DE)은 반도체층(SM)의 타단 상에 위치한다. 드레인 전극(DE)은 게이트 전극(GE) 및 반도체층(SM)과 중첩된다. 드레인 전극(DE)은 화소 전극(PE)에 연결된다. 드레인 전극(DE) 역시 전술된 소스 전극(SE)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 드레인 전극(DE)과 소스 전극(SE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0061] 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)은 반도체층(SM)과 함께 박막 트랜지스터(TFT)를 이룬다. 이때 이 박막 트랜지스터(TFT)의 채널(channel)은 소스 전극(SE)과 드레인 전극(DE) 사이의 반도체층(SM) 부분에 위치한다.
- [0062] 데이터 라인(DL)은 게이트 절연막(191) 상에 위치한다. 데이터 라인(DL) 역시 전술된 소스 전극(SE)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 데이터 라인(DL)과 소스 전극(SE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0063] 보호막(193)은 데이터 라인(DL), 소스 전극(SE), 드레인 전극(DE) 및 게이트 절연막(191) 상에 위치한다. 이때, 보호막(193)은 그 데이터 라인(DL), 소스 전극(SE), 드레인 전극(DE) 및 게이트 절연막(191)을 포함한 하부 기판(101)의 전면(全面)에 위치할 수 있다. 보호막(193)은 드레인 전극(DE)을 노출시키는 드레인 컨택홀(171)을 갖는다. 보호막(193)은 질화 규소(SiNx) 또는 산화 규소(SiOx)와 같은 무기 절연물로 만들어질 수 있는 바, 그 무기 절연물질로서 감광성(photosensitivity)을 가지며 유전 상수(dielectric constant)가 약 4.0인 것이 사용될 수 있다.
- [0064] 층간 절연막(195)은 보호막(193) 상에 위치한다. 층간 절연막(195)은 실리콘 산화물, 실리콘 질화물, 감광성(photosensitivity) 유기물 또는 실리콘계 저유전율 절연 물질을 포함하는 단일막 또는 다중막 구조를 가질 수 있다.
- [0065] 화소 전극(PE)은 드레인 컨택홀(171)을 통해 드레인 전극(DE)에 접속된다. 화소 전극(PE)은 층간 절연막(195) 상에 위치한다. 화소 전극(PE)은 ITO(Indium tin oxide) 또는 IZO(Indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다.
- [0066] 컬러 필터(CF)는 상부 패널(120)에 위치할 수 있다. 즉, 컬러 필터(CF)는 상부 기판(102) 상에 배치될 수 있다. 도시되지 않았지만, 컬러 필터(CF)의 가장자리는 이에 인접한 다른 컬러 필터(CF)의 가장자리와 중첩할 수 있다. 컬러 필터(CF)는 감광성 유기 물질로 이루어질 수 있다. 다만, 이에 한정되는 것은 아니며, 컬러 필터(CF)는 하부 패널(110)에 위치할 수도 있다.
- [0067] 공통 전극(CE)은 상부 패널(120)에 위치할 수 있다. 즉, 공통 전극(CE)은 컬러 필터(CF)를 포함하는 상부 기판(102) 상에 위치할 수 있다. 상부 패널(120)의 공통 전극(CE)은 쇼트부(미도시)를 통해 하부 패널(110)의 공통 라인(CL)에 연결된다. 공통 전극(CE)은 쇼트부(미도시)를 통해 공통 라인(CL)으로부터 공통 전압을 전달받는다.
- [0068] 한편, 도시되지 않았지만, 화소는 제 1 편광판 및 제 2 편광판을 더 포함하는 바, 제 1 편광판 및 제 2 편광판

은 복수의 화소들에 의해 공유된다. 하부 기관(101)과 상부 기관(102)의 마주보는 면들을 각각 해당 기관의 상부면으로 정의하고, 상부면들의 반대편에 위치한 면들을 각각 해당 기관의 하부면으로 정의할 때, 전술된 제 1 편광관은 하부 기관(101)의 하부면 상에 위치하며, 제 2 편광관은 상부 기관(102)의 하부면 상에 위치한다.

- [0069] 제 1 편광관의 투과축과 제 2 편광관의 투과축은 직교하는 바, 이들 중 하나의 투과축은 게이트 라인(GL)에 평행하게 배열된다. 한편, 액정 표시 장치는 제 1 편광관 및 제 2 편광관 중 어느 하나만을 포함할 수도 있다.
- [0070] 액정층(103)은 하부 패널(110) 및 상부 패널(120)에 의해 정의된 공간에 위치한다. 액정층(103)은 음의 유전 이방성을 가지며 수직 배향된 액정 분자들을 포함할 수 있다. 이와 달리, 액정층(103)은 광중합 물질을 포함할 수 있는 바, 이때 광중합 물질은 반응성 모노머(reactive monomer) 또는 반응성 메조젠(reactive mesogen)일 수 있다.
- [0071] 도 5는 도 1의 "A부"에 대한 상세 구성도이고, 도 6은 도 5의 II-II' 선을 따라 자른 단면도이다.
- [0072] 도 5 및 도 6을 참조하면, 본 발명에 따른 하부 패널(110)은 브리지 전극(131), 제 1 절연막(391), 교차 배선(151), 제 2 절연막(393), 제 3 절연막(395), 제 1 내지 제 2 연결 배선(133,135) 및 제 1 내지 제 2 배선 컨택홀(173,175)을 포함한다.
- [0073] 브리지 전극(131)은 하부 패널(110)의 비표시 영역(NDA)에 위치한다. 브리지 전극(131)은 평면상에서 섬형의 형태를 가진다. 도 5에 따른 브리지 전극(131)은 사각형 형태를 갖는 것으로 도시되어 있으나, 이에 한정되는 것은 아니며, 원형 또는 다각형의 형태를 가질 수 있다.
- [0074] 브리지 전극(131)은 전술한 게이트 라인(GL) 및 게이트 전극(GE)을 포함하는 게이트 배선과 동일한 층에 배치되며, 게이트 배선(GL, GE)과 이격되고, 후술할 제 1 및 제 2 연결 배선(133,135)과 적어도 일부 중첩되어 배치된다.
- [0075] 브리지 전극(131)은 게이트 배선(GL, GE)과 동일한 층에 배치될 수 있다. 또한, 브리지 전극(131)은 게이트 배선(GL, GE)과 동일한 물질을 포함하며, 동일한 공정으로 동시에 형성될 수 있다.
- [0076] 제 1 절연막(391)은 브리지 전극(131) 및 하부 기관(101) 상에 위치한다.
- [0077] 제 1 절연막(391)은 전술한 게이트 절연막(191)과 동일한 층에 배치될 수 있다. 또한, 제 1 절연막(391)은 게이트 절연막(191)과 동일한 물질을 포함하며, 동일한 공정으로 동시에 형성될 수 있다.
- [0078] 교차 배선(151)은 제 1 절연막(391) 상에 위치한다. 교차 배선(151)은 평면상에서 브리지 전극(131)과 교차한다. 이때, 전술한 제 1 절연막(391)이 브리지 전극(131)과 교차 배선(151) 사이에 배치되기 때문에, 브리지 전극(131)과 교차 배선(151) 사이에서 발생할 수 있는 단락(short)을 방지할 수 있다.
- [0079] 교차 배선(151)은 전술한 소스 전극(SE), 드레인 전극(DE) 및 데이터 라인(DL)을 포함하는 데이터 배선과 동일한 층에 배치될 수 있다. 또한, 교차 배선(151)은 데이터 배선(SE, DE, DL)과 동일한 물질을 포함하며, 동일한 공정으로 동시에 형성될 수 있다.
- [0080] 제 2 절연막(393)은 제 1 절연막(391) 및 교차 배선(151) 상에 위치한다.
- [0081] 제 2 절연막(393)은 전술한 보호막(193)과 동일한 층에 배치될 수 있다. 또한, 제 2 절연막(393)은 보호막(193)과 동일한 물질을 포함하며, 동일한 공정으로 동시에 형성될 수 있다.
- [0082] 제 3 절연막(395)은 제 2 절연막(393) 상에 위치한다.
- [0083] 제 3 절연막(395)은 전술한 층간 절연막(195)과 동일한 층에 배치될 수 있다. 또한, 제 3 절연막(395)은 층간 절연막(195)과 동일한 물질을 포함하며, 동일한 공정으로 동시에 형성될 수 있다.
- [0084] 본 발명의 일 실시예에 따르면, 제 1 절연막(391), 제 2 절연막(393) 및 제 3 절연막(395)은 브리지 전극(131)의 양단을 각각 노출하는 제 1 및 제 2 배선 컨택홀(173,175)을 각각 적어도 하나씩 가질 수 있다. 구체적으로, 도 5 및 도 6에 도시된 바와 같이, 3개의 제 1 배선 컨택홀(173)이 브리지 전극(131)의 일단을 노출하며, 3개의 제 2 배선 컨택홀(175)은 브리지 전극(131)의 타단을 노출한다. 이에 따라, 제 1 배선 컨택홀(173)을 통해 브리지 전극(131)과 후술할 제 1 연결 배선(133)이 연결되고, 제 2 배선 컨택홀(175)을 통해 브리지 전극(131)과 후술할 제 2 연결 배선(135)이 연결된다. 다만, 제 1 및 제 2 배선 컨택홀(173,175)의 개수는 이에 한정되지 아니하고, 예를 들어, 2개 또는 4개의 제 1 및 제 2 배선 컨택홀(173,175)을 가질 수 있다.
- [0085] 제 1 및 제 2 배선 컨택홀(173,175)은 각각 교차 배선(151)과 평면상에서 평행하게 배치된다. 구체적으로, 도 5

에 도시된 바와 같이, 3개의 제 1 배선 컨택홀(173)이 교차 배선(151)과 평행하게 배열되고, 3개의 제 2 배선 컨택홀(175)이 제 1 배선 컨택홀(173)과 마주보며 교차 배선(151)과 평행하게 배열된다.

- [0086] 제 1 연결 배선(133)은 제 3 절연막(395) 및 제 1 배선 컨택홀(173) 상에 위치하고, 제 2 연결 배선(135)은 제 3 절연막(395) 및 제 2 배선 컨택홀(175) 상에 위치한다. 제 1 및 제 2 연결 배선(133,135)은 도 5에 도시된 바와 같이, 평면상에서 서로 이격되어 배치되고, 교차 배선(151)과도 각각 이격되어 배치된다.
- [0087] 제 1 연결 배선(133)은 제 1 배선 컨택홀(173)을 통해 브리지 전극(131)의 일단과 접촉되며, 제 2 연결 배선(135)은 제 2 배선 컨택홀(175)을 통해 브리지 전극(131)의 타단과 접촉된다. 즉, 제 1 연결 배선(133)은 제 1 배선 컨택홀(173)을 통해 브리지 전극(131)과 연결되고, 제 2 연결 배선(135)은 제 2 배선 컨택홀(175)을 통해 브리지 전극(131)과 연결된다. 이에 따라, 제 1 연결 배선(133)은 브리지 전극(131)을 통해 제 2 연결 배선(135)과 연결되어 신호를 전달할 수 있다. 예를 들어, 제 1 연결 배선(133)에 신호가 입력되면, 이 신호는 제 1 배선 컨택홀(173)을 통해 브리지 전극(131)으로 전달된다. 브리지 전극(131)으로 전달된 신호는 제 2 배선 컨택홀(175)을 통해 제 2 연결 배선(135)으로 전달된다.
- [0088] 제 1 및 제 2 연결 배선(133,135)은 전술한 화소 전극(PE)과 동일한 층에 배치될 수 있다. 또한, 제 1 및 제 2 연결 배선(133,135)은 화소 전극(PE)과 동일한 물질을 포함하며, 동일한 공정으로 동시에 형성될 수 있다.
- [0089] 본 발명의 일 실시예에 따르면, 브리지 전극(131)은 게이트 배선(GL, GE)과 동일한 층에 위치하여 하부 패널(110)의 최하층에 배치된다. 제 1 및 제 2 연결 배선(133,135)은 화소 전극(PE)과 동일한 층에 위치하여, 하부 패널(110)의 최상층에 배치된다. 교차 배선(151)은 데이터 배선(SE, DE, DL)과 동일한 층에 위치하여, 브리지 전극(131)과 제 1 및 제 2 연결 배선(133,135) 사이에 배치된다. 즉, 브리지 전극(131), 교차 배선(151), 제 1 및 제 2 연결 배선(133,135)는 서로 다른 층에 위치한다. 특히, 브리지 전극(131)과 교차 배선(151) 사이에는 제 1 절연막(391)이 위치하여 브리지 전극(131)과 교차 배선(151)이 평면상에서 브리지 전극(131)과 교차되어도 브리지 전극(131)과 교차 배선(151)은 서로 전기적으로 연결되지 않는다. 또한, 교차 배선(151)과 제 1 및 제 2 연결 배선(133,135)은 평면상에서 서로 이격되어 배치되어 절연된다. 이에 따라, 교차 배선(151)은 브리지 전극(131), 제 1 및 제 2 연결 배선(133,135)과 전기적으로 연결되지 않아, 단락(short)을 방지할 수 있다.
- [0090] 본 발명의 일 실시예에 따른 표시 장치는 평면상에서 교차하는 배선을 하부 패널의 최하층에 위치한 브리지 전극을 통해 연결하여 배선 설계의 자유도 및 밀집도를 향상시킬 수 있다.
- [0091] 도 7은 도 3의 I-I' 선을 따라 자른 다른 일 실시예의 단면도이고, 도 8은 도 5의 II-II' 선을 따라 자른 다른 일 실시예의 단면도이다.
- [0092] 본 발명의 다른 일 실시예에 따른 표시장치에 관련된 설명 가운데 본 발명의 일 실시예에 따른 표시 장치와 관련된 설명과 중복되는 내용은 생략한다.
- [0093] 본 발명의 다른 일 실시예에 따르면, 본 발명의 일 실시예와 비교하여 보호막(193) 및 제 2 절연막(393)이 생략될 수 있다. 도 3 및 도 8에 도시된 바와 같이, 제 1 및 제 2 연결 배선(133,135)과 교차 배선(151)은 평면상에서 서로 이격되어 배치되기 때문에 보호막(193) 및 제 2 절연막(393)이 생략되어도 제 1 및 제 2 연결 배선(133,135)과 교차 배선(151)은 절연될 수 있다.
- [0094] 본 발명의 일 실시예에 따르면, 브리지 전극(131)은 게이트 배선(GL, GE)과 동일한 층에 위치하여 하부 패널(110)의 최하층에 배치되고, 교차 배선(151)은 데이터 배선(SE, DE, DL)과 동일한 층에 위치하고, 제 1 및 제 2 연결 배선(133,135)은 화소 전극(PE)과 동일한 층에 위치하여, 하부 패널(110)의 최상층에 배치된다. 즉, 브리지 전극(131), 교차 배선(151), 제 1 및 제 2 연결 배선(133,135)는 서로 다른 층에 위치한다. 이에 따라, 브리지 전극(131)과 교차 배선(151)이 평면상에서 교차되어도 전기적으로 연결되지 않아, 표시 장치의 단락(short)을 방지할 수 있다.
- [0095] 본 발명의 일 실시예에 따른 표시 장치는 평면상에서 교차하는 배선을 하부 패널의 최하층에 위치한 브리지 전극을 통해 연결하여 비표시 영역의 배선 설계 자유도 및 밀집도를 향상시킬 수 있다.
- [0096] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서

통상의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

[0097]

100: 표시 패널

110: 하부 패널

120: 상부 패널

103: 액정층

131: 브리지 전극

133: 제 1 연결 배선

135: 제 2 연결 배선

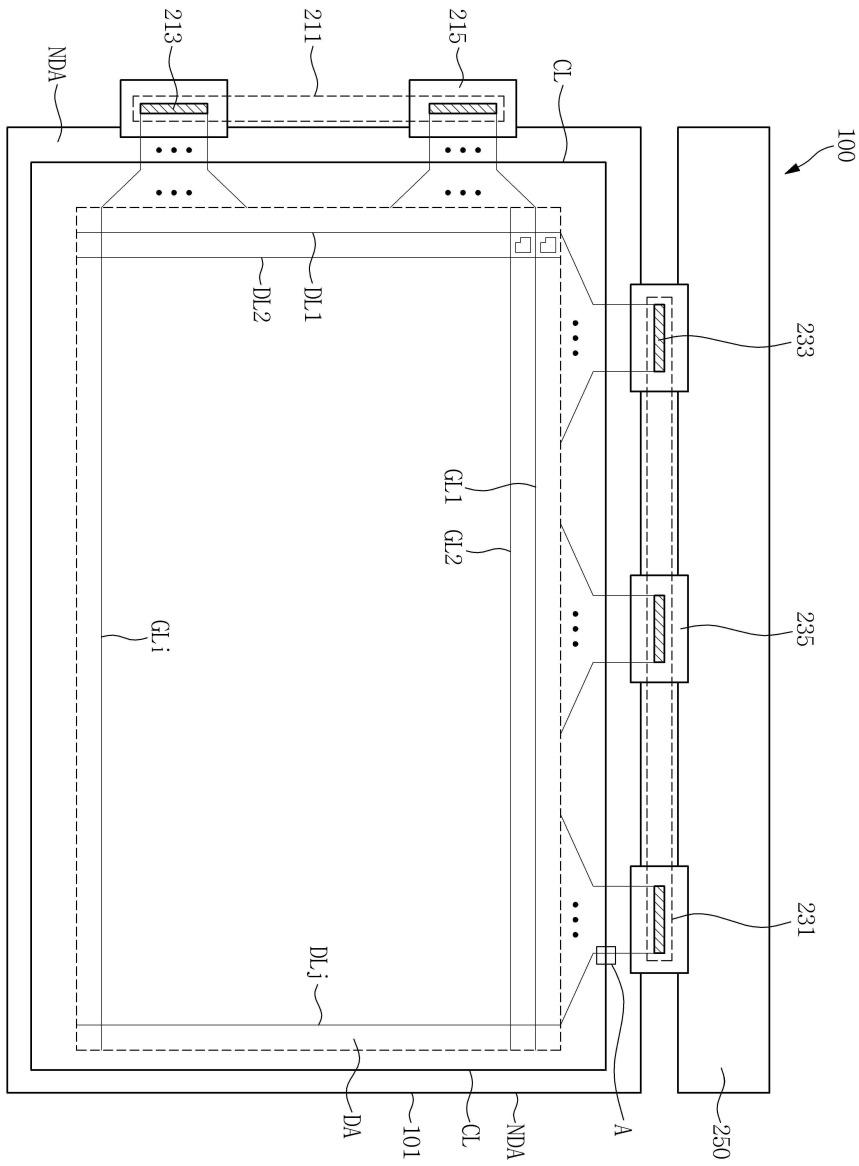
151: 교차 배선

173: 제 1 배선 컨택홀

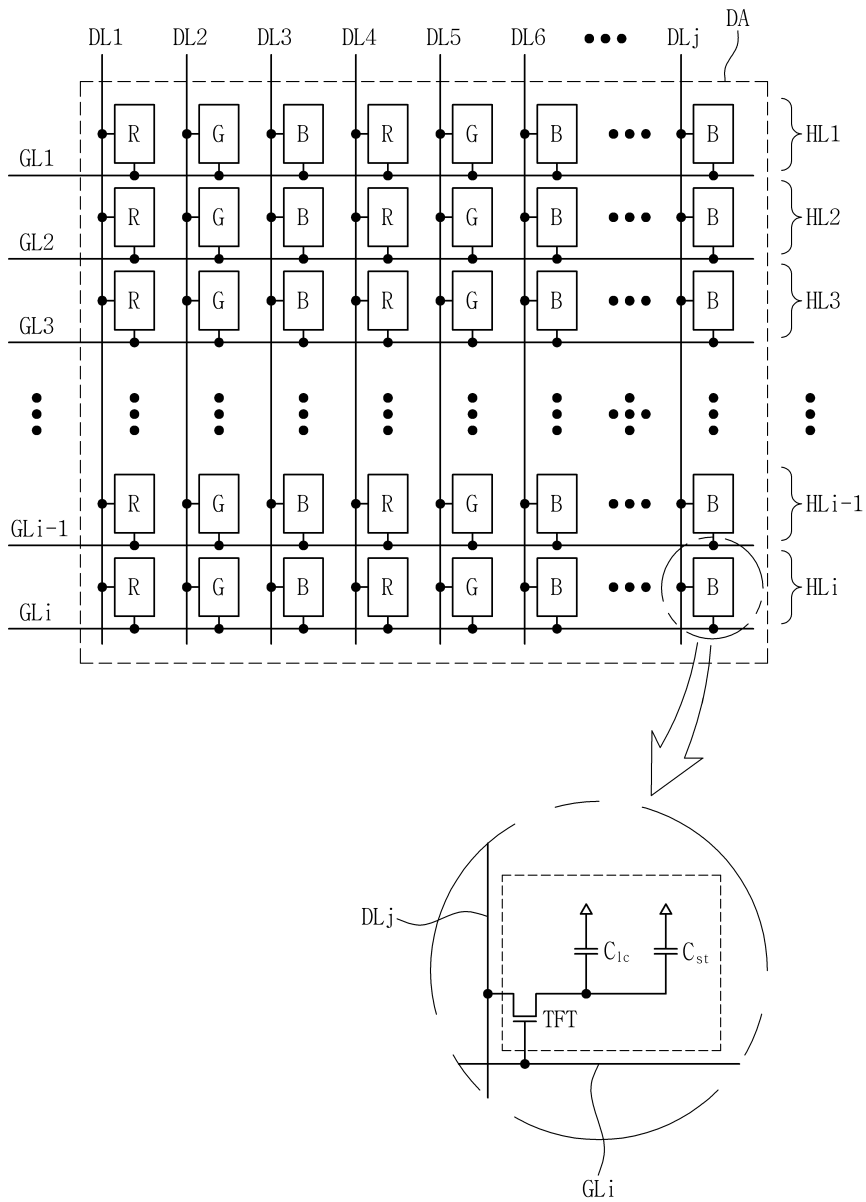
175: 제 2 배선 컨택홀

도면

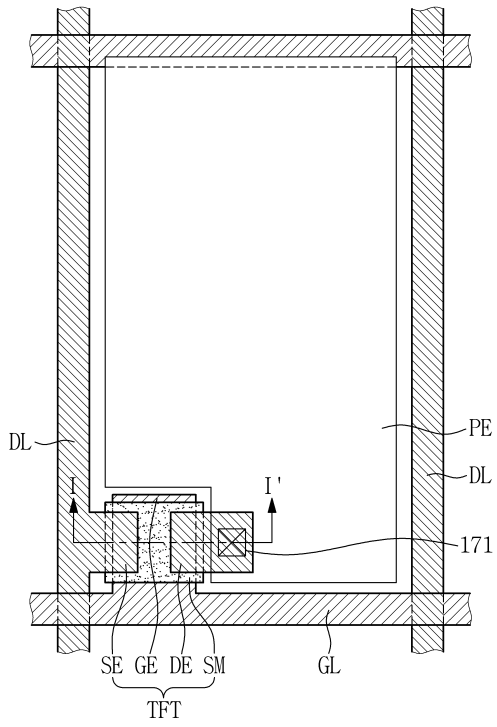
도면1



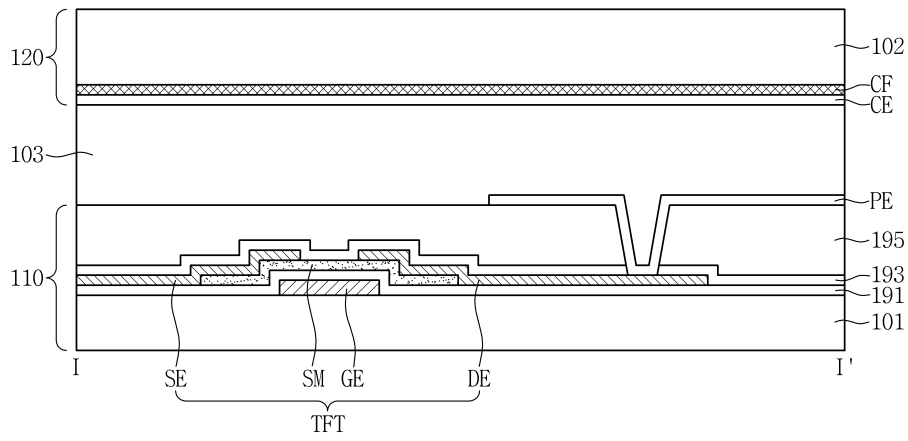
도면2



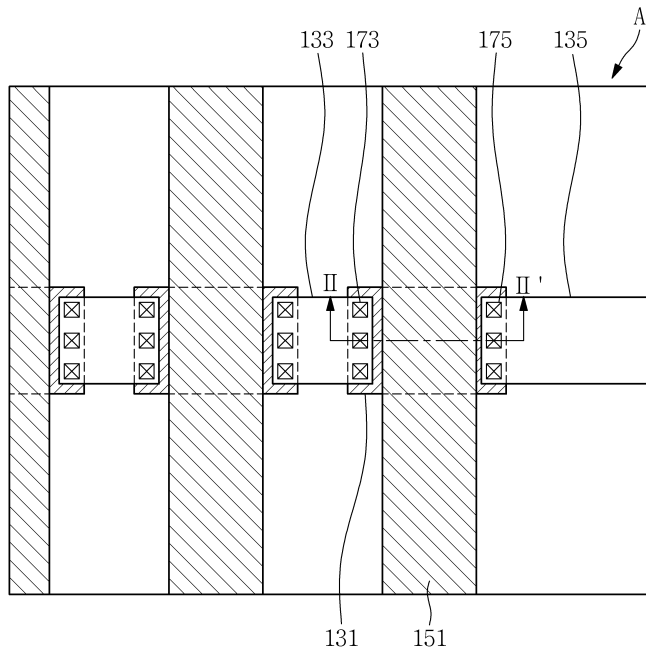
도면3



도면4



도면5



도면6

