

(52) CPC특허분류
G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

표시패널;

상기 표시패널의 데이터라인들에 인가될 데이터전압을 생성하는 데이터 구동회로;

복수의 디먹스 제어신호들을 생성하되, 상기 데이터전압의 극성에 따라 상기 디먹스 제어신호들의 전압 레벨을 서로 다르게 하는 제어신호 생성부; 및

상기 데이터 구동회로의 일 출력 채널마다 접속되고 상기 디먹스 제어신호들에 따라 스위칭되는 복수의 디먹스 스위치들을 포함하여, 상기 데이터전압을 시분할하여 복수의 데이터라인들에 분배하는 디먹스 스위치 어레이를 포함한 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 디먹스 제어신호들의 전압 레벨은 프레임 단위로 바뀌는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 디먹스 제어신호들은 동일 프레임 내에서 서로 다른 전압 레벨로 생성되는 제1 디먹스 제어신호들과 제2 디먹스 제어신호들을 포함하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 디먹스 제어신호들의 전압 스윙폭은 상기 제2 디먹스 제어신호들의 전압 스윙폭과 동일한 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 디먹스 스위치 어레이는,

상기 데이터 구동회로의 기수 출력 채널에 접속되어 제1 디먹스 제어신호들에 따라 스위칭되는 복수의 제1 디먹스 스위치들과, 상기 데이터 구동회로의 우수 출력 채널에 접속되어 제2 디먹스 제어신호들에 따라 스위칭되는 복수의 제2 디먹스 스위치들을 포함한 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 데이터 구동회로의 기수 출력 채널에서는, 기수 프레임 동안 정극성 데이터전압이 출력되고, 우수 프레임 동안 상기 부극성 데이터전압이 출력되며,

상기 데이터 구동회로의 우수 출력 채널에서는, 상기 기수 프레임 동안 상기 부극성 데이터전압이 출력되고, 상기 우수 프레임 동안 상기 정극성 데이터전압이 출력되며,

상기 제1 디먹스 제어신호들은, 상기 기수 프레임 동안 상기 정극성 데이터전압에 대응하여 제1 하이 레벨과 제1 로우 레벨 사이에서 스윙하고 상기 우수 프레임 동안 상기 부극성 데이터전압에 대응하여 제2 하이 레벨과 제2 로우 레벨 사이에서 스윙하고,

상기 제2 디믹스 제어신호들은, 상기 기수 프레임 동안 상기 부극성 데이터전압에 대응하여 상기 제2 하이 레벨과 상기 제2 로우 레벨 사이에서 스윙하고 상기 우수 프레임 동안 상기 정극성 데이터전압에 대응하여 상기 제1 하이 레벨과 상기 제1 로우 레벨 사이에서 스윙하며,

상기 제1 하이 레벨>상기 제2 하이 레벨>상기 제1 로우 레벨>상기 제2 로우 레벨을 만족하는 액정표시장치.

청구항 7

제 5 항에 있어서,

제1 극성의 데이터전압을 출력하는 상기 제1 디믹스 스위치들 중 일부 스위치의 출력단과, 제2 극성의 데이터전압을 출력하는 상기 제2 디믹스 스위치들 중 일부 스위치의 출력단은, 서로 교차하여 상기 데이터라인들에 접속되는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 디믹스 스위치들은 NMOS 형 및 PMOS 형 중 어느 하나로 구현되는 액정표시장치.

청구항 9

데이터 구동회로를 통해 표시패널의 데이터라인들에 인가될 데이터전압을 생성하는 단계;

복수의 디믹스 제어신호들을 생성하되, 상기 데이터전압의 극성에 따라 상기 디믹스 제어신호들의 전압 레벨을 서로 다르게 하는 단계; 및

상기 디믹스 제어신호들에 따라 스위칭되며 상기 데이터 구동회로의 일 출력 채널마다 접속된 복수의 디믹스 스위치들을 통해, 상기 데이터전압을 시분할하여 복수의 데이터라인들에 분배하는 단계를 포함한 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 디믹스 제어신호들의 전압 레벨은 프레임 단위로 바뀌는 액정표시장치의 구동방법.

청구항 11

제 9 항에 있어서,

상기 디믹스 제어신호들은 동일 프레임 내에서 서로 다른 전압 레벨로 생성되는 제1 디믹스 제어신호들과 제2 디믹스 제어신호들을 포함하는 액정표시장치의 구동방법.

청구항 12

제 11 항에 있어서,

상기 제1 디믹스 제어신호들의 전압 스윙폭은 상기 제2 디믹스 제어신호들의 전압 스윙폭과 동일한 액정표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 데이터 구동회로의 출력 채널수를 줄일 수 있는 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film

Transistor : 이하 "TFT"라 함)를 이용하여 동영상 표시하고 있다.

[0003] 액정표시장치는 디지털 비디오 데이터를 아날로그 데이터전압으로 변환하여 표시패널의 데이터라인들에 공급하기 위한 데이터 구동회로를 포함한다. 통상, 데이터 구동회로의 출력 채널들은 표시패널에 형성된 데이터라인들에 1:1로 접속된다. 그런데, 데이터 구동회로는 다른 부품들에 비해 고가이므로, 데이터 구동회로의 사이즈 및 제조 비용을 줄이기 위한 다멀티플렉서(demultiflexer, 이하, deMUX라 함) 기술이 제안된 바 있다. deMUX 기술은 데이터 구동회로의 일 출력 채널을 복수의 데이터라인들에 시분할 방식으로 접속시키는 기술이다.

[0004] 일 예로 1:3 deMUX 기술은 게이트펄스에 의해 정의되는 1 수평기간을 도 1과 같은 디믹스 제어신호들(DM1, DM2, DM3)을 이용하여 3개로 시분할 한다. 1:3 deMUX 기술은 제1 디믹스 제어신호(DM1)가 온 되는 기간 동안 데이터 구동회로(D-IC)의 일 출력 채널(CH1)로부터 제1 데이터전압(DR1)을 디믹스 스위치(DS)를 통해 제1 데이터라인(D1)에 공급한 후, 제2 디믹스 제어신호(DM2)가 온 되는 기간 동안 데이터 구동회로(D-IC)의 상기 일 출력 채널(CH1)로부터 제2 데이터전압(DG1)을 디믹스 스위치(DS)를 통해 제2 데이터라인(D2)에 공급한 다음, 제3 디믹스 제어신호(DM3)가 온 되는 기간 동안 데이터 구동회로(D-IC)의 상기 일 출력 채널(CH1)로부터 제3 데이터전압(DB1)을 디믹스 스위치(DS)를 통해 제3 데이터라인(D3)에 공급한다. 이렇게 1:3 deMUX 기술은 1개의 출력 채널을 통해 3개의 데이터라인들을 시분할 구동하기 때문에, 데이터라인의 개수 대비 출력 채널의 개수를 1/3로 줄일 수 있어 데이터 구동회로의 사이즈와 제조 비용을 줄이는 데 효과적이다.

[0005] 디믹스 스위치(DS)는 도 1과 같이 NMOS 형으로 구현될 수 있고, 또한 PMOS 형으로 구현될 수도 있다. NMOS 형(또는, PMOS 형)으로 디믹스 스위치(DS)를 구현하는 경우, 제조 공정이 간소해지는 잇점이 있으나 디믹스 제어신호들(DM1, DM2, DM3)의 전압 스윙폭이 크고 소비전력이 증가하는 단점도 있다. 일 예로 데이터전압의 전압 범위가 -5V~5V인 경우, NMOS 형 디믹스 제어신호들(DM1, DM2, DM3)의 전압 스윙폭은 대략 19V(-7.5V~11.5V)로서 비교적 크다.

[0006] 디믹스 제어신호들의 전압 스윙폭을 줄이기 위해, 도 2와 같이 디믹스 스위치(DS)를 CMOS 형으로 구현하는 방안이 제안된 바 있다. CMOS 형의 디믹스 스위치(DS)는 데이터 구동회로(D-IC)의 일 출력 채널과 표시패널의 일 데이터라인 사이에 병렬 접속된 NMOS 형 스위치와 PMOS 형 스위치로 이루어진다. NMOS 형 스위치는 NMOS 형 디믹스 제어신호들(NDM1, NDM2, NDM3) 중 어느 하나에 따라 동작되고, PMOS 형 스위치는 PMOS 형 디믹스 제어신호들(PDM1, PDM2, PDM3) 중 어느 하나에 따라 동작된다. NMOS 형 스위치는 데이터전압이 부극성인 경우에 NMOS 형 디믹스 제어신호들(NDM1, NDM2, NDM3)에 따라 선택적으로 턴 온 된다. 이와 반대로 PMOS 형 스위치는 데이터전압이 정극성인 경우에 PMOS 형 디믹스 제어신호들(PDM1, PDM2, PDM3)에 따라 선택적으로 턴 온 된다.

[0007] 이렇게 CMOS 형으로 디믹스 스위치(DS)를 구현하는 경우, 디믹스 제어신호들(NDM1, NDM2, NDM3, PDM1, PDM2, PDM3)의 전압 스윙폭이 상대적으로 작고 소비전력이 줄어드는 장점이 있다. 일 예로 데이터전압의 전압 범위가 -5V~5V인 경우, 디믹스 제어신호들(NDM1, NDM2, NDM3, PDM1, PDM2, PDM3)의 전압 스윙폭은 대략 11.4V(-5.7V~5.7V)로서 NMOS 형(또는, PMOS 형)으로 디믹스 스위치(DS)를 구현하는 경우에 비해 줄어든다.

[0008] 하지만, CMOS 형으로 디믹스 스위치(DS)를 구현하는 경우에는 NMOS 형성 공정과 PMOS 형성 공정을 모두 포함해야 하므로 제조 공정이 복잡해지고 수율이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

[0009] 따라서, 본 발명의 목적은 제조 공정을 간소화함과 동시에 디믹스 제어신호들의 전압 스윙폭을 줄일 수 있도록 한 액정표시장치와 그 구동방법을 제공하는 데 있다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 표시패널과, 상기 표시패널의 데이터라인들에 인가될 데이터전압을 생성하는 데이터 구동회로와, 복수의 디믹스 제어신호들을 생성하되, 상기 데이터전압의 극성에 따라 상기 디믹스 제어신호들의 전압 레벨을 서로 다르게 하는 제어신호 생성부와, 상기 데이터 구동회로의 일 출력 채널마다 접속되고 상기 디믹스 제어신호들에 따라 스위칭되는 복수의 디믹스 스위치들을 포함하여, 상기 데이터전압을 시분할하여 복수의 데이터라인들에 분배하는 디믹스 스위치 어레이를 포함한다.

[0011] 상기 디믹스 제어신호들의 전압 레벨은 프레임 단위로 바뀐다.

- [0012] 상기 디믹스 제어신호들은 동일 프레임 내에서 서로 다른 전압 레벨로 생성되는 제1 디믹스 제어신호들과 제2 디믹스 제어신호들을 포함한다.
- [0013] 상기 제1 디믹스 제어신호들의 전압 스윙폭은 상기 제2 디믹스 제어신호들의 전압 스윙폭과 동일하다.
- [0014] 상기 디믹스 스위치 어레이는, 상기 데이터 구동회로의 기수 출력 채널에 접속되어 제1 디믹스 제어신호들에 따라 스위칭되는 복수의 제1 디믹스 스위치들과, 상기 데이터 구동회로의 우수 출력 채널에 접속되어 제2 디믹스 제어신호들에 따라 스위칭되는 복수의 제2 디믹스 스위치들을 포함한다.
- [0015] 상기 데이터 구동회로의 기수 출력 채널에서는, 기수 프레임 동안 정극성 데이터전압이 출력되고, 우수 프레임 동안 상기 부극성 데이터전압이 출력되며, 상기 데이터 구동회로의 우수 출력 채널에서는, 상기 기수 프레임 동안 상기 부극성 데이터전압이 출력되고, 상기 우수 프레임 동안 상기 정극성 데이터전압이 출력되며, 상기 제1 디믹스 제어신호들은, 상기 기수 프레임 동안 상기 정극성 데이터전압에 대응하여 제1 하이 레벨과 제1 로우 레벨 사이에서 스윙하고 상기 우수 프레임 동안 상기 부극성 데이터전압에 대응하여 제2 하이 레벨과 제2 로우 레벨 사이에서 스윙하고, 상기 제2 디믹스 제어신호들은, 상기 기수 프레임 동안 상기 부극성 데이터전압에 대응하여 상기 제2 하이 레벨과 상기 제2 로우 레벨 사이에서 스윙하고 상기 우수 프레임 동안 상기 정극성 데이터전압에 대응하여 상기 제1 하이 레벨과 상기 제1 로우 레벨 사이에서 스윙하며, 상기 제1 하이 레벨>상기 제2 하이 레벨>상기 제1 로우 레벨>상기 제2 로우 레벨을 만족한다.
- [0016] 제1 극성의 데이터전압을 출력하는 상기 제1 디믹스 스위치들 중 일부 스위치의 출력단과 제2 극성의 데이터전압을 출력하는 상기 제2 디믹스 스위치들 중 일부 스위치의 출력단은 서로 교차하여 상기 데이터라인들에 접속된다.
- [0017] 상기 디믹스 스위치들은 NMOS 형 및 PMOS 형 중 어느 하나로 구현된다.
- [0018] 또한, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 데이터 구동회로를 통해 표시패널의 데이터라인들에 인가될 데이터전압을 생성하는 단계와, 복수의 디믹스 제어신호들을 생성하되, 상기 데이터전압의 극성에 따라 상기 디믹스 제어신호들의 전압 레벨을 서로 다르게 하는 단계와, 상기 디믹스 제어신호들에 따라 스위칭되며 상기 데이터 구동회로의 일 출력 채널마다 접속된 복수의 디믹스 스위치들을 통해, 상기 데이터전압을 시분할하여 복수의 데이터라인들에 분배하는 단계를 포함한다.

발명의 효과

- [0019] 본 발명은 NMOS 형(또는 PMOS 형)으로 디믹스 스위치들을 구성하여 제조 공정을 간소화하면서도, 디믹스 스위치들을 제어하기 위한 디믹스 제어신호들의 전압 레벨을 데이터전압의 극성에 따라 적응적으로 변경함으로써, 디믹스 제어신호들의 전압 스윙폭을 CMOS 형 수준으로 낮추어 소비 전력을 효과적으로 절감할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 NMOS 형의 디믹스 스위치를 포함한 종래 1:3 deMUX 기술을 보여주는 도면.
- 도 2는 CMOS 형의 디믹스 스위치를 포함한 종래 1:3 deMUX 기술을 보여주는 도면.
- 도 3은 본 발명의 실시예에 따른 액정표시장치를 보여주는 블록도.
- 도 4는 본 발명의 일 실시예에 따른 NMOS 형의 디믹스 스위치 어레이(15)의 접속 구조를 보여주는 도면.
- 도 5는 도 4의 디믹스 스위치 어레이(15)를 구동시키는 NMOS 형의 디믹스 제어신호들의 전압 레벨이 데이터전압의 극성에 따라 달라지는 일 예를 보여주는 도면.
- 도 6은 본 발명에 따른 NMOS 형의 디믹스 제어신호들의 진폭이 종래 NMOS 형의 디믹스 제어신호들의 진폭에 비해 줄어드는 것을 보여주는 도면.
- 도 7은 본 발명의 일 실시예에 따른 PMOS 형의 디믹스 스위치 어레이(15)의 접속 구조를 보여주는 도면.
- 도 8은 도 7의 디믹스 스위치 어레이(15)를 구동시키는 PMOS 형의 디믹스 제어신호들의 전압 레벨이 데이터전압의 극성에 따라 달라지는 일 예를 보여주는 도면.
- 도 9는 본 발명에 따른 PMOS 형의 디믹스 제어신호들의 진폭이 종래 PMOS 형의 디믹스 제어신호들의 진폭에 비해 줄어드는 것을 보여주는 도면.

도 10은 종래 NMOS 형의 디믹스 제어신호들, 종래 CMOS 형의 디믹스 제어신호들, 및 본 발명의 NMOS 형의 디믹스 제어신호들을 비교하여 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0022] 도 3은 본 발명의 실시예에 따른 액정표시장치를 보여준다.
- [0023] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 표시패널(10), 데이터 구동회로(12), 게이트 구동회로(13), 타이밍 콘트롤러(11), 디믹스 스위치 어레이(15), 및 제어신호 생성부(16) 등을 구비한다.
- [0024] 표시패널(10)은 두 장의 유리기판들과 그들 사이에 형성된 액정분자들을 구비한다. 이 표시패널(10)에는 데이터라인들(18)과 게이트라인들(19)의 교차 구조에 의해 매트릭스 형태로 배치된 다수의 액정셀들(C1c)이 구비된다.
- [0025] 표시패널(10)의 하부 유리기판에는 다수의 데이터라인들(18), 다수의 게이트라인들(19), TFT(Thin Film Transistor)들, 상기 TFT들에 각각 접속된 액정셀(C1c)의 화소전극(1), 화소전극(1)에 대항되는 공통전극(2), 및 스토리지 커패시터(Cst) 등을 포함한 화소 어레이(14)가 형성된다. 화소 어레이(14)에는 화상 표시를 위한 다수의 픽셀들이 구비된다. 픽셀들 각각은 적색 구현을 위한 R 액정셀과, 녹색 구현을 위한 G 액정셀과, 청색 구현을 위한 B 액정셀을 포함한다.
- [0026] 표시패널(10)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다.
- [0027] 표시패널(10)의 상부 유리기판과 하부 유리기판 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0028] 데이터 구동회로(12)는 데이터라인(18)의 개수보다 작은 개수를 갖는 출력 채널들을 구비하며, 출력 채널들은 소스 버스라인들(17)을 통해 디믹스 스위치 어레이(15)에 접속된다. 데이터 구동회로(12)는 타이밍 콘트롤러(11)의 제어하에 입력 디지털 비디오 데이터(R,G,B)를 아날로그 데이터전압으로 변환한다. 그리고, 데이터 구동회로(12)는 이 데이터전압을 출력 채널들을 통해 소스 버스라인들(17)에 공급한다.
- [0029] 데이터 구동회로(12)는 액정의 열화를 방지하기 위해 컬럼 인버전 방식에 따라 데이터전압의 극성을 제어할 수 있다. 컬럼 인버전 방식은 동일 출력 채널에서 출력되는 데이터전압의 극성을 프레임 단위로 반전시키고, 동일 프레임에서 데이터전압의 극성을 출력 채널 단위로 반전시키는 극성 반전 기술이다.
- [0030] 디믹스 스위치 어레이(15)는 데이터 구동회로(12)의 일 출력 채널마다 접속되고 디믹스 제어신호들(DM)에 따라 스위칭되는 복수의 디믹스 스위치들을 포함하여, 데이터전압을 시분할하여 복수의 데이터라인들(18)에 분배한다. 디믹스 스위치 어레이(15)는 데이터 구동회로(12)의 기수 출력 채널에 접속되어 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)에 따라 스위칭되는 복수의 제1 디믹스 스위치들(도 4 및 도 7의 DS1)과, 데이터 구동회로(12)의 우수 출력 채널에 접속되어 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)에 따라 스위칭되는 복수의 제2 디믹스 스위치들(도 4 및 도 7의 DS2)을 포함한다. 디믹스 스위치 어레이(15)는 1:3 deMUX 기술에 따라 데이터 구동회로(12)의 각 출력 채널에 접속된 3개의 디믹스 스위치들을 포함할 수 있다(도 4 및 도 7 참조). 이러한 디믹스 스위치들은 NMOS 형 및 PMOS 형 중 어느 하나로 구현된다. 따라서, 디믹스 스위치 어레이(15)의 제조 공정이 간소해진다.
- [0031] 한편, 제1 극성의 데이터전압을 출력하는 제1 디믹스 스위치들(도 4 및 도 7의 DS1) 중 일부 스위치들의 출력단과 제2 극성의 데이터전압을 출력하는 제2 디믹스 스위치들(도 4 및 도 7의 DS2) 중 일부 스위치들의 출력단은 서로 교차하여 데이터라인들(D2, D5, D8, D11)에 접속됨으로써, 데이터라인들의 전위가 1 데이터라인 단위로 반전되도록 할 수 있다. 이때, 교차되는 데이터라인들 간의 전기적 쇼트를 방지하기 위해, 상기 교차 지점에는 절연막과 점프 라인이 더 구비될 수 있다.
- [0032] 제어신호 생성부(16)는 타이밍 콘트롤러(11)의 제어하에 복수의 디믹스 제어신호들(DM)을 생성하되, 디믹스 제

어 신호들(DM)의 전압 스윙폭을 줄이기 위해 데이터전압의 극성에 따라 디믹스 제어신호들(DM)의 전압 레벨(하이 피크전압, 로우 피크 전압)을 서로 다르게 한다. 동일 출력 채널을 통해 출력되는 데이터전압의 극성이 프레임 단위로 반전되기 때문에, 그 출력 채널에 연결된 디믹스 스위치들에 인가되는 디믹스 제어신호들(DM)의 전압 레벨은 프레임 단위로 바뀐다. 정극성 데이터전압이 출력되는 제 n (n 은 정수) 프레임에서 디믹스 제어신호들(DM)의 하이 피크전압은 부극성 데이터전압이 출력되는 제 $n+1$ 프레임에서 디믹스 제어신호들(DM)의 하이 피크전압에 비해 높다(도 5 및 도 8 참조). 그리고, 정극성 데이터전압이 출력되는 제 n 프레임에서 디믹스 제어신호들(DM)의 로우 피크전압은 부극성 데이터전압이 출력되는 제 $n+1$ 프레임에서 디믹스 제어신호들(DM)의 로우 피크전압에 비해 높다(도 5 및 도 8 참조).

[0033] 디믹스 제어신호들(DM)은 동일 프레임 내에서 서로 다른 전압 레벨로 생성되는 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)과 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)을 포함한다. 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)과 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)은 하이 피크전압과 로우 피크 전압은 서로 다르지만 전압 스윙폭은 서로 동일하다.

[0034] 게이트 구동회로(13)는 타이밍 콘트롤러(11)의 제어하에 스캔펄스를 발생하고, 이 스캔펄스를 게이트라인들(19)에 라인 순차 방식으로 공급하여 데이터전압이 공급되는 화소 어레이(14)의 수평 픽셀라인을 선택한다. 게이트 구동회로(13)는 스캔펄스를 생성하는 게이트 쉬프트 레지스터와, 스캔펄스의 전압을 액정셀의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터 등을 포함한다. 게이트 구동회로(13)의 게이트 쉬프트 레지스터는 표시패널(10)의 비 표시영역에 직접 형성될 수 있다. 비 표시영역은 표시패널(10)에서 화소 어레이(14)의 바깥에 위치한다.

[0035] 타이밍 콘트롤러(11)는 시스템(미도시)으로부터 공급되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블신호(DE) 및 클럭신호(DCLK) 등을 참조하여 데이터 구동회로(12), 게이트 구동회로(13) 및 제어신호 생성부(16)의 동작 타이밍을 제어한다.

[0036] 데이터 구동회로(12)를 제어하기 위한 데이터 제어신호(DDC)에는 소스 스타트 펄스(Source Start Pulse : SSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 극성 제어신호(Polarity : POL) 등이 포함된다. 게이트 구동회로(13)를 제어하기 위한 게이트 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등이 포함된다.

[0037] 타이밍 콘트롤러(11)는 시스템으로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 화소 어레이(14)에 맞게 정렬하여 데이터 구동회로(12)에 공급한다. 타이밍 콘트롤러(11)는 제어신호 생성부(16)를 제어하여, 디믹스 제어신호들(DM)을 원하는 타이밍에 맞게 생성한다.

[0038] 도 4는 본 발명의 일 실시예에 따른 NMOS 형의 디믹스 스위치 어레이(15)의 접속 구조를 보여준다. 도 5는 도 4의 디믹스 스위치 어레이(15)를 구동시키는 NMOS 형의 디믹스 제어신호들의 전압 레벨이 데이터전압의 극성에 따라 달라지는 일 예를 보여준다. 그리고, 도 6은 본 발명에 따른 NMOS 형의 디믹스 제어신호들의 진폭이 종래 NMOS 형의 디믹스 제어신호들의 진폭에 비해 줄어드는 것을 보여준다.

[0039] 도 4를 참조하면, 본 발명의 일 실시예에 따른 NMOS 형의 디믹스 스위치 어레이(15)는 데이터 구동회로(12)의 기수 출력 채널(CH1, CH3)에 접속되어 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)에 따라 스위칭되는 복수의 제1 디믹스 스위치들(DS1)과, 데이터 구동회로(12)의 우수 출력 채널(CH2, CH4)에 접속되어 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)에 따라 스위칭되는 복수의 제2 디믹스 스위치들(DS2)을 포함한다.

[0040] 데이터 구동회로(12)의 기수 출력 채널(CH1, CH3)과 우수 출력 채널(CH2, CH4)에서는 서로 반대 극성의 데이터전압이 출력된다. 구체적으로, 데이터 구동회로(12)의 기수 출력 채널(CH1, CH3)에서는, 기수 프레임 동안 정극성(+) 데이터전압이 출력되고, 우수 프레임 동안 부극성(-) 데이터전압이 출력된다. 이와 반대로, 데이터 구동회로(12)의 우수 출력 채널(CH2, CH4)에서는, 기수 프레임 동안 부극성(-) 데이터전압이 출력되고, 우수 프레임 동안 정극성(+) 데이터전압이 출력된다.

[0041] 이 경우, 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)은, 도 5와 같이 기수 프레임 동안 정극성(+) 데이터전압에 대응하여 제1 하이 레벨(HL1)과 제1 로우 레벨(LL1) 사이에서 스윙하고 우수 프레임 동안 부극성(-) 데이터전압에 대응하여 제2 하이 레벨(HL2)과 제2 로우 레벨(LL2) 사이에서 스윙한다. 그리고, 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)은, 기수 프레임 동안 부극성(-) 데이터전압에 대응하여 제2 하이 레벨(HL2)과 제2 로우 레벨(LL2) 사이에서 스윙하고 우수 프레임 동안 정극성(+) 데이터전압에 대응하여 제1 하이 레벨(HL1)과 제1 로우

레벨(LL1) 사이에서 스윙한다. 여기서, 제1 하이 레벨(HL1)은 11.5V이고, 제2 하이 레벨(HL2)은 5.75V이고, 제1 로우 레벨(LL1)은 0V(GND)이고, 제2 로우 레벨(LL2)은 -5.75V일 수 있다. 따라서, 제1 하이 레벨(HL1) > 제2 하이 레벨(HL2) > 제1 로우 레벨(LL1) > 제2 로우 레벨(LL2)을 만족한다.

[0042] 다시 말해, 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)은 기수 프레임 동안 정극성(+) 데이터전압(W(+), B(+))에 대응하여 0V(제1 로우 피크전압)~11.5V(제1 하이 피크전압) 사이에서 스윙되고, 우수 프레임 동안 부극성(-) 데이터전압(W(-), B(-))에 대응하여 -5.75V(제2 로우 피크전압)~5.75V(제2 하이 피크전압) 사이에서 스윙된다. 이와 반대로, 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)은 기수 프레임 동안 부극성(-) 데이터전압(W(-), B(-))에 대응하여 -5.75V~5.75V 사이에서 스윙되고, 우수 프레임 동안 정극성(+) 데이터전압(W(+), B(+))에 대응하여 0V~11.5V 사이에서 스윙된다.

[0043] 한편, 이 예에서, 데이터전압의 전압 범위는 -5V~5V이고, 공통전압은 0V(GND)이다. 데이터전압의 극성은 데이터전압이 공통전압보다 큰 범위에서 정극성(+)이 되고, 데이터전압이 공통전압보다 작은 작은 범위에서 부극성(-)이 된다. 그리고, 데이터전압에 따른 표시 계조는 데이터전압과 공통전압 간의 전위차가 클수록 화이트 계조(W)에 가깝게 되고, 이와 반대로 데이터전압과 공통전압 간의 전위차가 작을수록 블랙 계조(B)에 가깝게 된다. 또한, 블랙 계조(B)와 화이트 계조(W) 사이에는 다수의 그레이 계조들이 위치한다. 도 5에는 블랙 계조(B)와 화이트 계조(W)가 예시되어 있다.

[0044] 도 6의 실선 펄스 파형과 같이 종래 NMOS 형 디믹스 제어신호들은 데이터전압의 극성에 상관없이 하이 피크전압이 게이트 하이 전압(VGH)으로 고정되었고, 로우 피크전압이 게이트 로우 전압(VGL)으로 고정되었다. 이에 따라 디믹스 제어신호들의 전압 스윙폭(AM2)이 컸었다.

[0045] 이에 반해, 도 6의 점선 펄스 파형과 같이 본 발명의 NMOS 형 디믹스 제어신호들(DM1a, DM1b, DM1c, DM2a, DM2b, DM2c)은, 정극성(+) 데이터전압(Vdata)이 출력되는 프레임에서 제1 하이 레벨(HL1)과 제1 로우 레벨(LL1) 사이에서 스윙되도록 제1 하이 피크전압이 게이트 하이 전압(VGH)으로 선택되고 제1 로우 피크전압이 기저 전압(GND)으로 선택된다. 그리고, 도 6의 점선 펄스 파형과 같이 본 발명의 NMOS 형 디믹스 제어신호들(DM1a, DM1b, DM1c, DM2a, DM2b, DM2c)은, 부극성(-) 데이터전압(Vdata)이 출력되는 프레임에서 제2 하이 레벨(HL2)과 제2 로우 레벨(LL2) 사이에서 스윙되도록 제2 하이 피크전압이 게이트 하이 전압(VGH)보다 낮고 정극성(+) 데이터전압(V1, 화이트 계조)보다 높은 특정 전압 레벨로 선택되고, 제2 로우 피크전압이 부극성(-) 데이터전압(V2, 화이트 계조)보다 낮고 게이트 로우 전압(VGL)보다 높은 특정 전압 레벨로 선택된다. 이렇게 본 발명은 데이터전압(Vdata)의 극성에 따라 디믹스 제어신호들(DM1a, DM1b, DM1c, DM2a, DM2b, DM2c)의 전압 레벨을 서로 다르게 함으로써 종래 NMOS 형 디믹스 제어신호들의 그것(AM2)에 비해 디믹스 제어신호들의 전압 스윙폭(AM1)을 크게 줄일 수 있다.

[0046] 도 7은 본 발명의 일 실시예에 따른 PMOS 형의 디믹스 스위치 어레이(15)의 접속 구조를 보여준다. 도 8은 도 7의 디믹스 스위치 어레이(15)를 구동시키는 PMOS 형의 디믹스 제어신호들의 전압 레벨이 데이터전압의 극성에 따라 달라지는 일 예를 보여준다. 그리고, 도 9는 본 발명에 따른 PMOS 형의 디믹스 제어신호들의 진폭이 종래 PMOS 형의 디믹스 제어신호들의 진폭에 비해 줄어드는 것을 보여준다.

[0047] 도 7을 참조하면, 본 발명의 일 실시예에 따른 PMOS 형의 디믹스 스위치 어레이(15)는 데이터 구동회로(12)의 기수 출력 채널(CH1, CH3)에 접속되어 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)에 따라 스위칭되는 복수의 제1 디믹스 스위치들(DS1)과, 데이터 구동회로(12)의 우수 출력 채널(CH2, CH4)에 접속되어 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)에 따라 스위칭되는 복수의 제2 디믹스 스위치들(DS2)을 포함한다.

[0048] 데이터 구동회로(12)의 기수 출력 채널(CH1, CH3)과 우수 출력 채널(CH2, CH4)에서는 서로 반대 극성의 데이터전압이 출력된다. 구체적으로, 데이터 구동회로(12)의 기수 출력 채널(CH1, CH3)에서는, 기수 프레임 동안 정극성(+) 데이터전압이 출력되고, 우수 프레임 동안 부극성(-) 데이터전압이 출력된다. 이와 반대로, 데이터 구동회로(12)의 우수 출력 채널(CH2, CH4)에서는, 기수 프레임 동안 부극성(-) 데이터전압이 출력되고, 우수 프레임 동안 정극성(+) 데이터전압이 출력된다.

[0049] 이 경우, 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)은, 도 8과 같이 기수 프레임 동안 정극성(+) 데이터전압에 대응하여 제1 하이 레벨(HL1)과 제1 로우 레벨(LL1) 사이에서 스윙하고 우수 프레임 동안 부극성(-) 데이터전압에 대응하여 제2 하이 레벨(HL2)과 제2 로우 레벨(LL2) 사이에서 스윙한다. 그리고, 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)은, 기수 프레임 동안 부극성(-) 데이터전압에 대응하여 제2 하이 레벨(HL2)과 제2 로우 레벨(LL2) 사이에서 스윙하고 우수 프레임 동안 정극성(+) 데이터전압에 대응하여 제1 하이 레벨(HL1)과 제1 로우

레벨(LL1) 사이에서 스윙한다. 여기서, 제1 하이 레벨(HL1)은 5.75V이고, 제2 하이 레벨(HL2)은 0V(GND)이고, 제1 로우 레벨(LL1)은 -5.75V이고, 제2 로우 레벨(LL2)은 -11.5V일 수 있다. 따라서, 제1 하이 레벨(HL1) > 제2 하이 레벨(HL2) > 제1 로우 레벨(LL1) > 제2 로우 레벨(LL2)을 만족한다.

[0050] 다시 말해, 제1 디믹스 제어신호들(DM1a, DM1b, DM1c)은 기수 프레임 동안 정극성(+) 데이터전압(W(+), B(+))에 대응하여 -5.75V(제1 로우 피크전압)~5.75V(제1 하이 피크전압) 사이에서 스윙되고, 우수 프레임 동안 부극성(-) 데이터전압(W(-), B(-))에 대응하여 -11.5V(제2 로우 피크전압)~0V(제2 하이 피크전압) 사이에서 스윙된다. 이와 반대로, 제2 디믹스 제어신호들(DM2a, DM2b, DM2c)은 기수 프레임 동안 부극성(-) 데이터전압(W(-), B(-))에 대응하여 -11.5V~0V 사이에서 스윙되고, 우수 프레임 동안 정극성(+) 데이터전압(W(+), B(+))에 대응하여 -5.75V~5.75V 사이에서 스윙된다.

[0051] 한편, 이 예에서, 데이터전압의 전압 범위는 -5V~5V이고, 공통전압은 0V(GND)이다. 데이터전압의 극성은 데이터전압이 공통전압보다 큰 범위에서 정극성(+)이 되고, 데이터전압이 공통전압보다 작은 작은 범위에서 부극성(-)이 된다. 그리고, 데이터전압에 따른 표시 계조는 데이터전압과 공통전압 간의 전위차가 클수록 화이트 계조(W)에 가깝게 되고, 이와 반대로 데이터전압과 공통전압 간의 전위차가 작을수록 블랙 계조(B)에 가깝게 된다. 또한, 블랙 계조(B)와 화이트 계조(W) 사이에는 다수의 그레이 계조들이 위치한다. 도 8에는 블랙 계조(B)와 화이트 계조(W)가 예시되어 있다.

[0052] 도 9의 실선 펄스 파형과 같이 종래 PMOS 형 디믹스 제어신호들은 데이터전압의 극성에 상관없이 하이 피크전압이 게이트 하이 전압(VGH)으로 고정되었고, 로우 피크전압이 게이트 로우 전압(VGL)으로 고정되었다. 이에 따라 디믹스 제어신호들의 전압 스윙폭(AM2)이 컸었다.

[0053] 이에 반해, 도 9의 점선 펄스 파형과 같이 본 발명의 PMOS 형 디믹스 제어신호들(DM1a, DM1b, DM1c, DM2a, DM2b, DM2c)은, 정극성(+) 데이터전압(Vdata)이 출력되는 프레임에서 제1 하이 레벨(HL1)과 제1 로우 레벨(LL1) 사이에서 스윙되도록 제1 하이 피크전압이 게이트 하이 전압(VGH)보다 낮고 정극성(+) 데이터전압(V1, 화이트 계조)보다 높은 특정 전압 레벨로 선택되고 제1 로우 피크전압이 부극성(-) 데이터전압(V2, 화이트 계조)보다 낮고 게이트 로우 전압(VGL)보다 높은 특정 전압 레벨로 선택된다. 그리고, 도 9의 점선 펄스 파형과 같이 본 발명의 PMOS 형 디믹스 제어신호들(DM1a, DM1b, DM1c, DM2a, DM2b, DM2c)은, 부극성(-) 데이터전압(Vdata)이 출력되는 프레임에서 제2 하이 피크전압이 기저 전압(GND)으로 선택되고 제2 로우 피크전압이 게이트 로우 전압(VGL)으로 선택된다. 이렇게 본 발명은 데이터전압(Vdata)의 극성에 따라 디믹스 제어신호들(DM1a, DM1b, DM1c, DM2a, DM2b, DM2c)의 전압 레벨을 서로 다르게 함으로써 종래 PMOS 형 디믹스 제어신호들의 그것(AM2)에 비해 디믹스 제어신호들의 전압 스윙폭(AM1)을 크게 줄일 수 있다.

[0054] 도 10은 종래 NMOS 형의 디믹스 제어신호들, 종래 CMOS 형의 디믹스 제어신호들, 본 발명의 NMOS 형의 디믹스 제어신호들을 비교하여 보여준다.

[0055] 디믹스 스위치는 그의 게이트-소스 간 전압(Vgs)이 그의 문턱전압보다 높은 경우에 턴 온 된다. 디믹스 스위치의 게이트전극에는 디믹스 제어신호가 인가되고 디믹스 스위치의 소스전극에는 데이터전압이 인가되므로, 디믹스 제어신호의 전압 스윙폭은 온 상태에서 디믹스 스위치의 게이트-소스 간 전압(Vgs)이 그의 문턱전압보다 충분히 높게 되도록 설정되어야 한다.

[0056] 종래 NMOS 형의 디믹스 제어신호들은 도 10과 같이 게이트 하이 전압(VGH)~게이트 로우 전압(VGL) 간의 제1 스윙폭을 갖도록 설계되었다. 종래 CMOS 형의 디믹스 제어신호들은 도 10과 같이 제1 전압(AVDDH, VGH보다 낮음)~제2 전압(AVDDN, VGL보다 높음) 간의 제2 스윙폭(제1 스윙폭보다 작음)을 갖도록 설계되었다.

[0057] 본 발명의 NMOS 형의 디믹스 제어신호들은 도 10과 같이 정극성 데이터전압이 출력되는 프레임에서 게이트 하이 전압(VGH)~기저 전압(GND) 간의 제2 스윙폭을 가지며, 부극성 데이터전압이 출력되는 프레임에서 제1 전압(AVDDH)~제2 전압(AVDDN) 간의 제2 스윙폭을 갖도록 설계된다.

[0058] 이렇게 본 발명은 NMOS 형(또는 PMOS 형)으로 디믹스 스위치들을 구성하여 제조 공정을 간소화하면서도, 디믹스 스위치들을 제어하기 위한 디믹스 제어신호들의 전압 레벨을 데이터전압의 극성에 따라 적응적으로 변경함으로써, 디믹스 제어신호들의 전압 스윙폭을 CMOS 형 수준으로 낮추어 소비 전력을 효과적으로 절감할 수 있다.

[0059] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

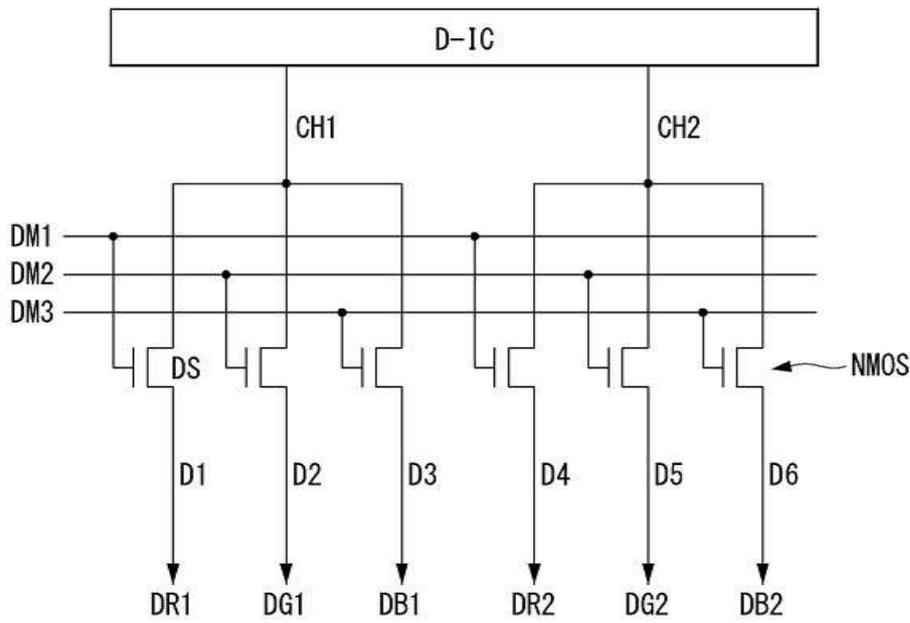
부호의 설명

[0060]

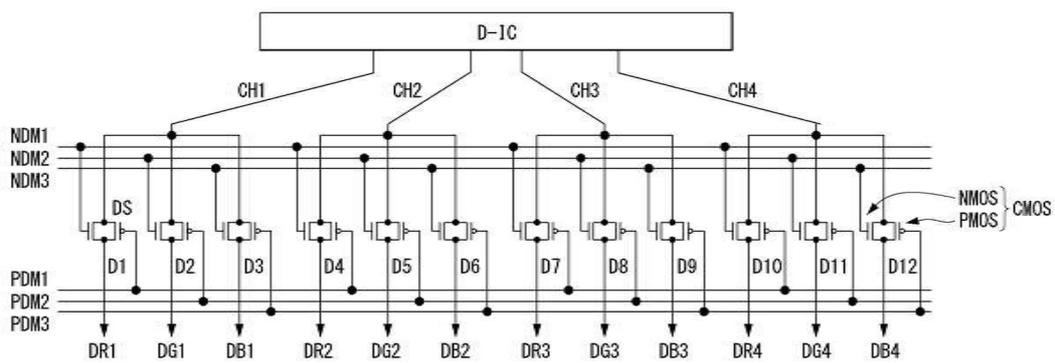
- 10 : 표시패널 11 : 타이밍 콘트롤러
- 12 : 데이터 구동회로 13 : 게이트 구동회로
- 14 : 화소 어레이 15 : 디택스 스위치 어레이
- 16 : 제어신호 생성부

도면

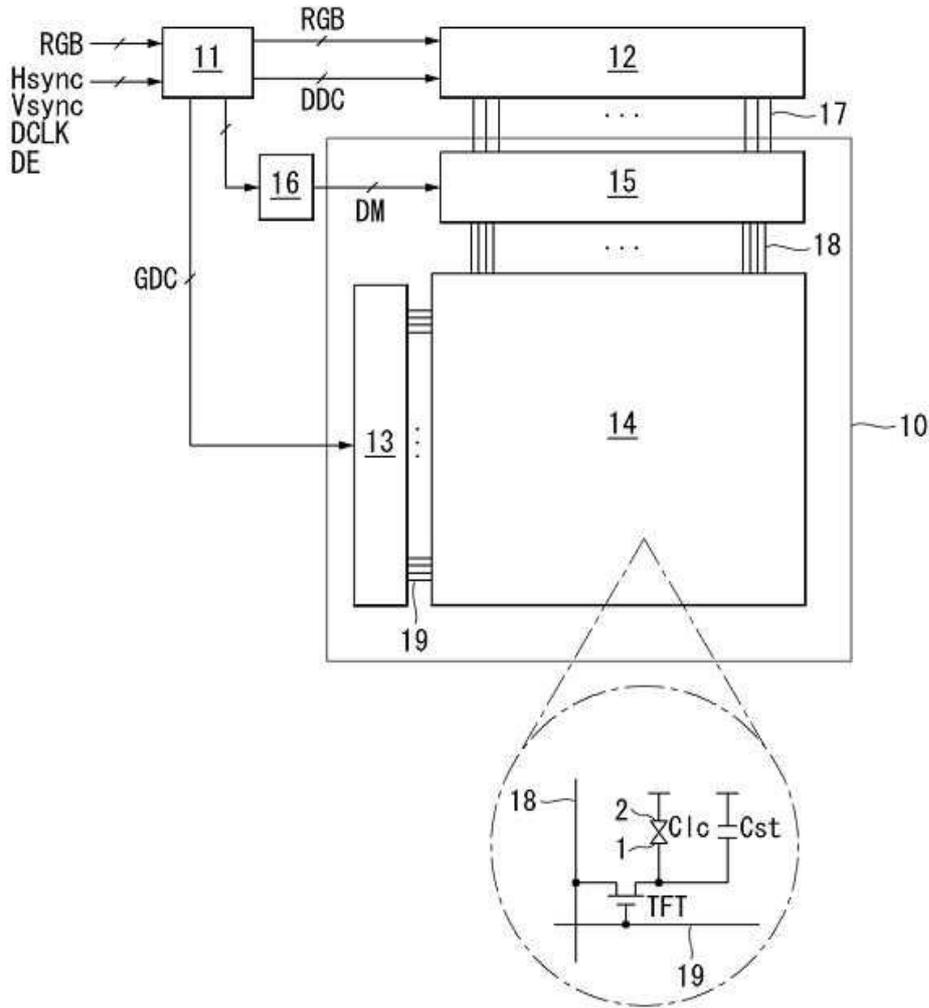
도면1



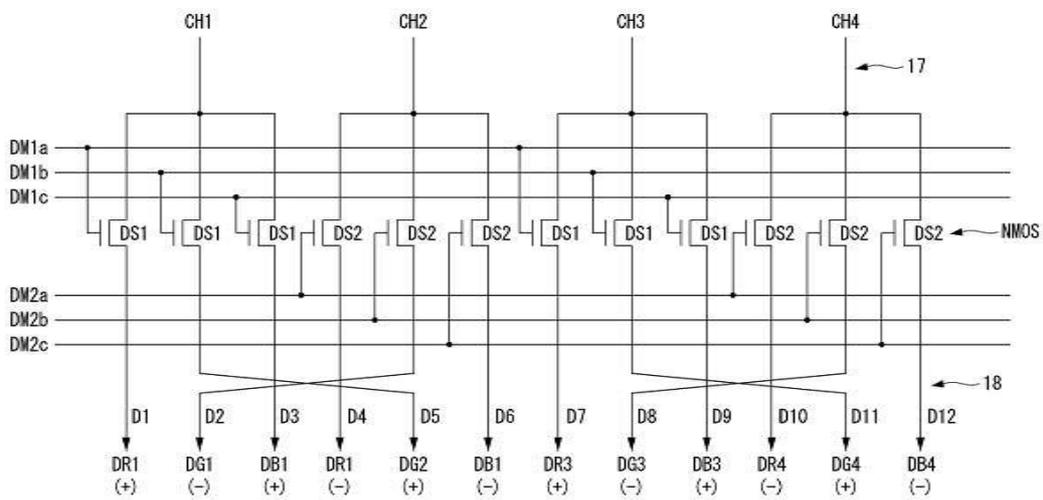
도면2



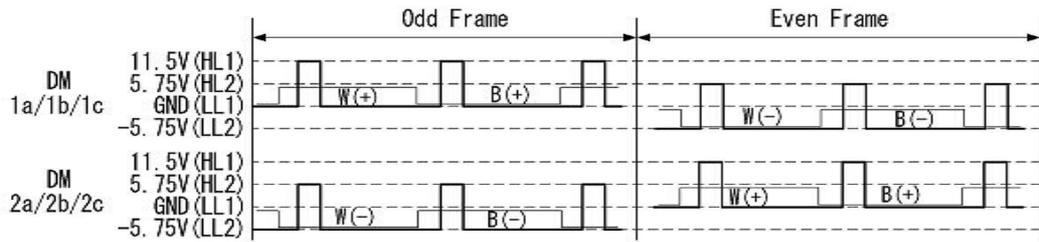
도면3



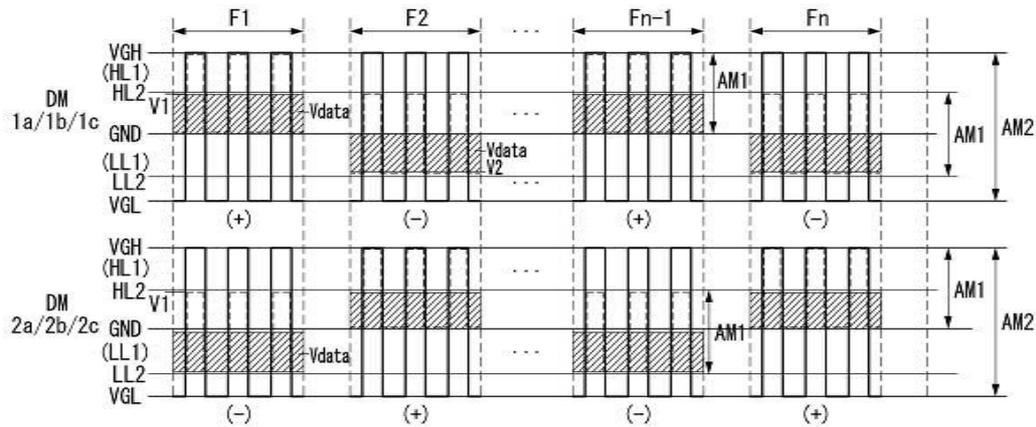
도면4



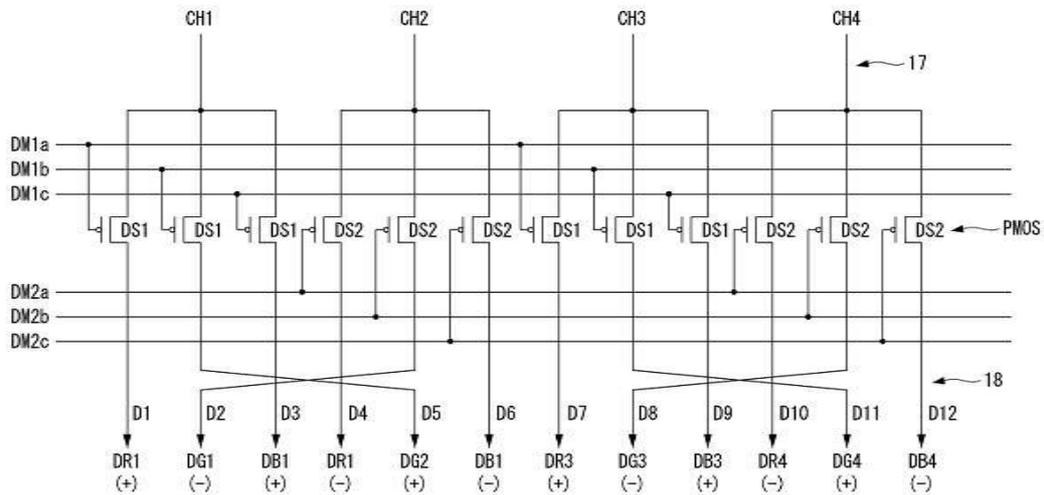
도면5



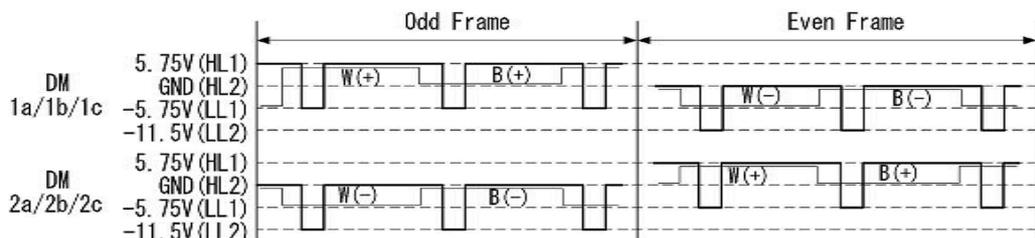
도면6



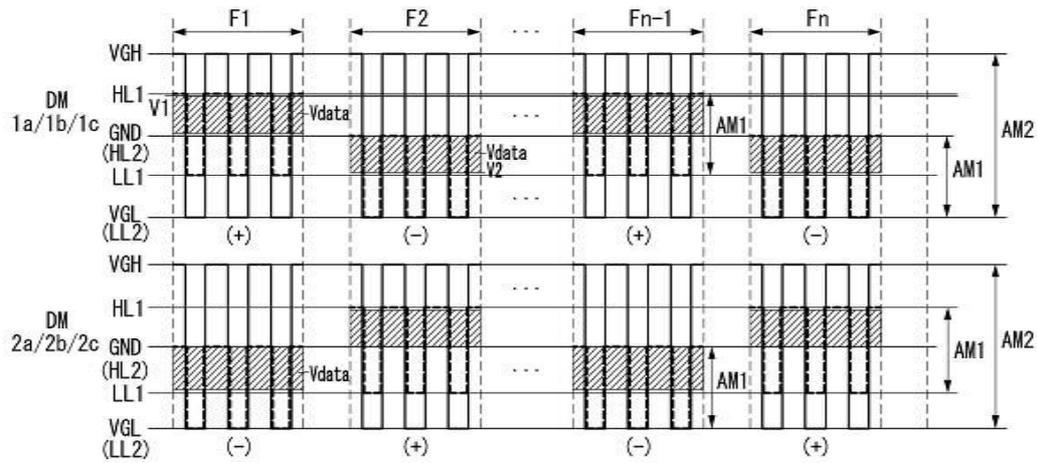
도면7



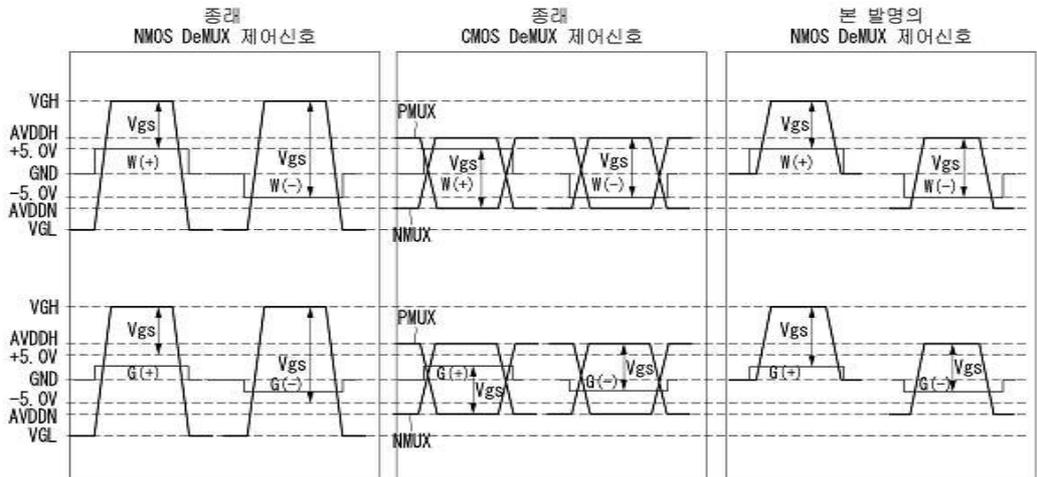
도면8



도면9



도면10



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020170060299A	公开(公告)日	2017-06-01
申请号	KR1020150164549	申请日	2015-11-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KONG CHUNG SIK 공충식		
发明人	공충식		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2310/0297 G09G2330/021		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示器包括显示面板，数据驱动电路产生施加到显示面板的数据线的数据电压，控制信号产生部分产生多个多路分解器控制信号并使多路分解器控制的电压电平信号根据数据电压的极性和多路分配器开关阵列而不同。解复用器开关阵列对包括多个解复用器开关的数据电压进行时间共享，所述多个解复用器开关连接在数据驱动电路的任务输出通道，并根据解复用器控制信号进行切换并分布在多个数据线中。

