



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0084885  
(43) 공개일자 2016년07월15일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01)

(52) CPC특허분류  
G09G 3/36 (2013.01)

(21) 출원번호 10-2015-0001048

(22) 출원일자 2015년01월06일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

양주호

대전광역시 중구 보문산로 31 104동 109호 (산성동, 한밭가든아파트)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 9 항

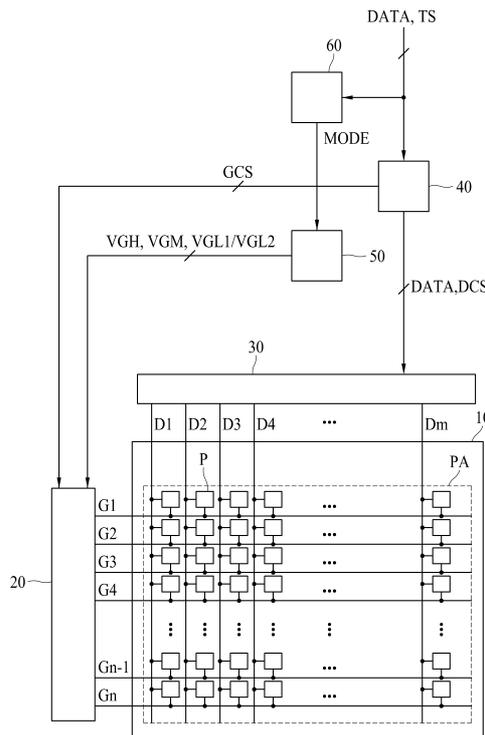
(54) 발명의 명칭 액정표시장치와 그의 구동방법

**(57) 요약**

본 발명의 실시예는 킥백전압으로 인하여 정극성의 전위 차와 부극성의 전위 차 간의 차이가 발생함으로써 잔상이 시인되는 문제를 해결할 수 있는 액정표시장치와 그의 구동방법에 관한 것이다. 본 발명의 실시예에 따른 액정표시장치는 데이터라인들 및 게이트라인들에 접속되는 화소들을 포함하는 표시패널, 상기 게이트라인들에 게이

(뒷면에 계속)

대표도 - 도1



트신호들을 공급하는 게이트 구동부, 디지털 비디오 데이터가 표시하는 화상 패턴이 미리 정해진 특정한 패턴이 아닌 경우 제1 로직 레벨 전압의 모드신호를 출력하며, 상기 화상 패턴이 상기 특정한 패턴인 경우 제2 로직 레벨 전압의 모드신호를 출력하는 패턴 인식부, 및 상기 제1 로직 레벨 전압의 모드신호가 입력되는 경우 게이트 온 전압과 제1 게이트 오프 전압을 상기 게이트 구동부에 공급하고, 상기 제2 로직 레벨 전압의 모드신호가 입력되는 경우 상기 게이트 온 전압과 제2 게이트 오프 전압을 상기 게이트 구동부에 공급하는 전압 공급부를 구비한다.

---

## 명세서

### 청구범위

#### 청구항 1

데이터라인들 및 게이트라인들에 접속되는 화소들을 포함하는 표시패널;

상기 게이트라인들에 게이트신호들을 공급하는 게이트 구동부;

디지털 비디오 데이터가 표시하는 화상 패턴이 미리 정해진 특정한 패턴이 아닌 경우 제1 로직 레벨 전압의 모드신호를 출력하며, 상기 화상 패턴이 상기 특정한 패턴인 경우 제2 로직 레벨 전압의 모드신호를 출력하는 패턴 인식부; 및

상기 제1 로직 레벨 전압의 모드신호가 입력되는 경우 게이트 온 전압과 제1 게이트 오프 전압을 상기 게이트 구동부에 공급하고, 상기 제2 로직 레벨 전압의 모드신호가 입력되는 경우 상기 게이트 온 전압과 제2 게이트 오프 전압을 상기 게이트 구동부에 공급하는 전압 공급부를 구비하는 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제2 게이트 오프 전압은 상기 제1 게이트 오프 전압보다 높은 레벨의 전압인 액정표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 전압 공급부는,

상기 제1 로직 레벨 전압의 모드신호가 입력되는 경우 제1 피드백 전압을 출력하고, 상기 제2 로직 레벨 전압의 모드신호가 입력되는 경우 제2 피드백 전압을 출력하는 전압 제어부; 및

구동전압에 상기 제1 피드백 전압을 차지 펄핑하여 제1 게이트 오프 전압을 출력하거나, 상기 구동전압에 상기 제2 피드백 전압을 차지 펄핑하여 제2 게이트 오프 전압을 출력하는 게이트 오프 전압 출력부를 포함하는 액정표시장치.

#### 청구항 4

제 2 항에 있어서,

상기 게이트 구동부는 상기 게이트 온 전압과 상기 제1 게이트 오프 전압을 입력받는 경우 상기 게이트 온 전압과 상기 제1 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 상기 게이트라인들에 출력하는 액정표시장치.

#### 청구항 5

제 2 항에 있어서,

상기 게이트 구동부는 상기 게이트 온 전압과 상기 제2 게이트 오프 전압을 입력받는 경우 상기 게이트 온 전압과 상기 제2 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 상기 게이트라인들에 출력하는 액정표시장치.

#### 청구항 6

디지털 비디오 데이터가 표시하는 화상 패턴이 미리 정해진 특정한 패턴인지 판단하는 단계;

상기 화상 패턴이 상기 특정한 패턴이 아닌 경우 게이트 온 전압과 제1 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 게이트라인들에 출력하는 단계; 및

상기 화상 패턴이 상기 특정한 패턴인 경우 상기 게이트 온 전압과 제2 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 상기 게이트라인들에 출력하는 단계를 포함하는 액정표시장치의 구동방법.

**청구항 7**

제 6 항에 있어서,

상기 제2 게이트 오프 전압은 상기 제1 게이트 오프 전압보다 높은 레벨의 전압인 액정표시장치의 구동방법.

**청구항 8**

제 7 항에 있어서,

상기 화상 패턴이 상기 특정한 패턴이 아닌 경우 게이트 온 전압과 제1 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 게이트라인들에 출력하는 단계는,

상기 화상 패턴이 상기 특정한 패턴이 아닌 경우 상기 제1 로직 레벨 전압의 모드신호를 출력하는 단계;

상기 제1 로직 레벨 전압의 모드신호에 따라 상기 게이트 온 전압과 상기 제1 게이트 오프 전압을 출력하는 단계; 및

상기 게이트 온 전압과 상기 제1 게이트 오프 전압에 따라 상기 게이트 온 전압과 상기 제1 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 상기 게이트라인들에 출력하는 단계를 포함하는 액정표시장치의 구동방법.

**청구항 9**

제 7 항에 있어서,

상기 화상 패턴이 상기 특정한 패턴인 경우 상기 게이트 온 전압과 제2 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 상기 게이트라인들에 출력하는 단계는,

상기 화상 패턴이 상기 특정한 패턴인 경우 상기 제2 로직 레벨 전압의 모드신호를 출력하는 단계;

상기 제2 로직 레벨 전압의 모드신호에 따라 상기 게이트 온 전압과 상기 제2 게이트 오프 전압을 출력하는 단계; 및

상기 게이트 온 전압과 상기 제2 게이트 오프 전압에 따라 상기 게이트 온 전압과 상기 제2 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 상기 게이트라인들에 출력하는 단계를 포함하는 액정표시장치의 구동방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예는 액정표시장치와 그의 구동방법에 관한 것이다.

**배경 기술**

[0002] 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기, 옥내외 광고 표시장치 등으로 광범위하게 이용되고 있다.

[0003] 액정표시장치는 데이터라인들, 게이트라인들, 공통전압라인들, 및 화소들을 포함하는 표시패널, 게이트라인들에 게이트신호들을 공급하는 게이트 구동회로, 및 데이터라인들에 데이터전압들을 공급하는 데이터 구동회로, 공통전압라인들에 공통전압을 공급하는 공통전압 공급회로를 구비한다. 게이트신호들은 게이트하이전압과 게이트로우전압 사이에서 스윙한다.

[0004] 화소들 각각은 화소전극, 공통전극, 게이트라인에 게이트하이전압의 게이트신호에 의해 턴-온되어 데이터라인의 데이터전압을 화소전극에 공급하는 트랜지스터, 및 화소전극의 전압을 소정의 기간 동안 유지하는 스토리지 커패시터를 포함한다. 화소들 각각은 화소전극에 공급되는 데이터전압과 공통전극에 공급되는 공통전압 간의 전계에 의해 액정셀의 액정을 구동함으로써 백라이트 유닛으로부터 입사되는 빛을 변조한다. 즉, 액정표시장치의 화소들은 화상을 표시할 수 있다.

[0005] 한편, 게이트신호가 게이트하이전압에서 게이트로우전압으로 낮아지는 경우, 트랜지스터의 게이트전극과 드레인

전극 간의 기생용량(Cgd)에 의해 화소전극의 전압이 킥백전압(ΔVp)만큼 낮아지는 문제가 발생한다. 킥백전압(kickback voltage, ΔVp)은 수학적 식 1과 같이 정의될 수 있다.

**수학적 식 1**

$$\Delta V_p = \frac{C_{gd}}{C_{gd} + C_{st} + C_{lc}} \times \Delta V_g$$

[0006]

[0007]

수학적 식 1에서, "ΔVp"는 킥백전압, "Cgd"는 트랜지스터의 게이트전극과 드레인전극 간의 기생용량, "Cst"는 스토리지 커패시터의 용량, "C1c"는 액정셀의 용량, "ΔVg"는 게이트신호의 전압 변화량, 즉 게이트하이전압(VGH)과 게이트로우전압(VGL) 간의 차이(VGH-VGL)를 지시한다.

[0008]

한편, 화소전극에 공급된 정극성의 데이터전압과 공통전압 간의 전위 차는 정극성의 전위 차로 정의되고, 화소전극에 공급된 부극성의 데이터전압과 공통전압 간의 전위 차는 부극성의 전위 차로 정의될 수 있다. 킥백전압(ΔVp)으로 인하여 정극성의 전위 차와 부극성의 전위 차 사이에는 차이가 발생할 수 있다. 특히, 화이트 계조(white gray level)와 블랙 계조(black gray level)가 모두 존재하는 특정한 패턴의 화상을 표시하는 경우, 정극성의 전위 차와 부극성의 전위 차 사이에 발생된 차이로 인하여, 잔상이 시인되는 문제가 발생할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0009]

본 발명의 실시예는 킥백전압으로 인하여 정극성의 전위 차와 부극성의 전위 차 간의 차이가 발생함으로써 잔상이 시인되는 문제를 해결할 수 있는 액정표시장치와 그의 구동방법을 제공한다.

**과제의 해결 수단**

[0010]

본 발명의 실시예에 따른 액정표시장치는 데이터라인들 및 게이트라인들에 접속되는 화소들을 포함하는 표시패널, 상기 게이트라인들에 게이트신호들을 공급하는 게이트 구동부, 디지털 비디오 데이터가 표시하는 화상 패턴이 미리 정해진 특정한 패턴이 아닌 경우 제1 로직 레벨 전압의 모드신호를 출력하며, 상기 화상 패턴이 상기 특정한 패턴인 경우 제2 로직 레벨 전압의 모드신호를 출력하는 패턴 인식부, 및 상기 제1 로직 레벨 전압의 모드신호가 입력되는 경우 게이트 온 전압과 제1 게이트 오프 전압을 상기 게이트 구동부에 공급하고, 상기 제2 로직 레벨 전압의 모드신호가 입력되는 경우 상기 게이트 온 전압과 제2 게이트 오프 전압을 상기 게이트 구동부에 공급하는 전압 공급부를 구비한다.

[0011]

본 발명의 실시예에 따른 액정표시장치의 구동방법은 디지털 비디오 데이터가 표시하는 화상 패턴이 미리 정해진 특정한 패턴인지 판단하는 단계, 상기 화상 패턴이 상기 특정한 패턴이 아닌 경우 게이트 온 전압과 제1 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 게이트라인들에 출력하는 단계, 및 상기 화상 패턴이 상기 특정한 패턴인 경우 상기 게이트 온 전압과 제2 게이트 오프 전압 사이에서 스윙하는 게이트신호들을 상기 게이트라인들에 출력하는 단계를 포함한다.

**발명의 효과**

[0012]

본 발명의 실시예는 화상 패턴이 미리 정해진 특정한 패턴이 아닌 경우 제1 게이트로우전압과 게이트하이전압 사이를 스윙하는 게이트신호들을 게이트라인들에 출력하는 반면에, 미리 정해진 특정한 패턴인 경우 제1 게이트로우전압보다 높은 레벨인 제2 게이트로우전압과 게이트하이전압 사이를 스윙하는 게이트신호들을 게이트라인들에 출력할 수 있다. 그 결과, 본 발명의 실시예는 화상 패턴이 미리 정해진 특정한 패턴인 경우 미리 정해진 특정한 패턴이 아닌 경우보다 게이트신호의 전압 변화량을 줄일 수 있으므로, 킥백전압의 크기를 줄일 수 있다. 이로 인해, 본 발명의 실시예는 정극성의 전위 차와 부극성의 전위 차 사이의 차이를 줄일 수 있으므로, 잔상이

시인되는 문제를 방지할 수 있다.

**도면의 간단한 설명**

- [0013] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여주는 블록도.  
 도 2는 도 1의 화소를 보여주는 회로도.  
 도 3은 특정한 패턴의 화상을 보여주는 일 예시도면.  
 도 4는 도 1의 전압 공급부의 전압 제어부와 게이트로우전압 공급부를 상세히 보여주는 블록도.  
 도 5는 제1 로직 레벨 전압의 모드신호가 전압 공급부에 입력된 경우 제k 게이트라인에 공급되는 제k 게이트신호, 공통전압, 제k 게이트라인에 접속된 어느 한 화소의 화소전극에 공급되는 데이터전압을 보여주는 파형도.  
 도 6은 제2 로직 레벨 전압의 모드신호가 전압 공급부에 입력된 경우 제k 게이트라인에 공급되는 제k 게이트신호, 공통전압, 제k 게이트라인에 접속된 어느 한 화소의 화소전극에 공급되는 데이터전압을 보여주는 파형도.  
 도 7은 본 발명의 실시예에 따른 액정표시장치의 구동방법을 보여주는 흐름도.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0015] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여주는 블록도이다. 도 1을 참조하면, 표시패널(10), 게이트 구동부(20), 데이터 구동부(30), 타이밍 제어부(40), 전압 공급부(50), 및 패턴 인식부(60)를 구비한다.
- [0016] 표시패널(10)은 상부기판, 하부기판, 및 그들 사이에 개재된 액정층을 포함한다. 표시패널(10)의 하부기판에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수)과 게이트라인들(G1~Gn, n은 2 이상의 양의 정수)의 교차 구조에 의해 형성된 영역에 매트릭스 형태로 배열되는 화소(P)들을 포함하는 화소 어레이(PA)가 마련된다.
- [0017] 화소(P)들 각각은 도 2와 같이 트랜지스터(T), 화소전극(11), 공통전극(12), 액정셀(13), 및 스토리지 커패시터(Cst)를 포함할 수 있다. 트랜지스터(T)는 제k(k는 1≤k≤n을 만족하는 양의 정수) 게이트라인(Gk)의 게이트신호에 의해 턴-온되어 제j(j는 1≤j≤m을 만족하는 양의 정수) 데이터라인(Dj)의 데이터전압을 화소전극(11)에 공급한다. 공통전극(12)은 공통전압라인(VcomL)으로부터 공통전압을 공급받는다. 이로 인해, 화소(P)들 각각은 화소전극(11)에 공급된 데이터전압과 공통전극(12)에 공급된 공통전압의 전위차에 의해 발생하는 전기에 의해 액정셀(13)의 액정을 구동하여 백라이트 유닛으로부터 입사되는 빛의 투과량을 조절할 수 있다. 그 결과, 화소(P)들은 화상을 표시할 수 있다. 또한, 스토리지 커패시터(Cst)는 화소전극(11)과 공통전극(12) 사이에 마련되어 화소전극(11)과 공통전극(12) 간의 전압차를 일정하게 유지한다.
- [0018] 표시패널(10)의 상부기판상에는 블랙 매트릭스(black matrix)와 컬러필터들(color filters)이 형성될 수 있다. 다만, 액정표시장치가 COT(color filters on tft array) 방식으로 형성되는 경우, 블랙 매트릭스와 컬러필터들은 하부기판상에 형성될 수도 있다.
- [0019] 공통 전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부기판상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부기판상에 형성될 수 있다. 본 발명의 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 표시패널(10)의 상부기판과 하부기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0020] 표시패널(10)의 아래에는 표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치된다. 백라이트 유닛은 직하형(direct type) 또는 에지형(edge type)으로 구현될 수 있다.

- [0021] 게이트 구동부(20)는 게이트라인들(G1~Gn)에 접속되어 미리 정해진 순서대로 게이트신호들을 게이트라인들(G1~Gn)에 출력한다. 미리 정해진 순서는 순차적인 순서일 수 있다.
- [0022] 구체적으로, 게이트 구동부(20)는 타이밍 제어부(40)로부터 게이트 제어신호(GCS)를 입력받는다. 또한, 게이트 구동부(20)는 전압 공급부(50)로부터 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제1 또는 제2 게이트로우전압(VGL1/VGL2)을 입력받는다. 게이트 구동부(20)는 전압 공급부(50)로부터 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제1 게이트로우전압(VGL1)을 입력받는 경우, 게이트 제어신호(GCS)에 따라 도 5와 같이 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제1 게이트로우전압(VGL1) 사이에서 스윙하는 게이트신호들을 생성하여 게이트라인들(G1~Gn)에 출력한다. 또한, 게이트 구동부(20)는 전압 공급부(50)로부터 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제2 게이트로우전압(VGL2)을 입력받는 경우, 도 6과 같이 게이트 제어신호(GCS)에 따라 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제2 게이트로우전압(VGL2) 사이에서 스윙하는 게이트신호들을 생성하여 게이트라인들(G1~Gn)에 출력한다.
- [0023] 제1 게이트로우전압(VGL1)은 제2 게이트로우전압(VGL2)보다 낮은 레벨의 전압일 수 있다. 게이트하이전압(VGH)은 화소(P)들의 트랜지스터들을 턴-온시킬 수 있는 전압이고, 제1 및 제2 게이트로우전압들(VGL1, VGL2)은 화소(P)들의 트랜지스터들을 턴-오프시킬 수 있는 전압이며, 게이트변조전압(VGM)은 게이트하이전압(VGH)과 제2 게이트로우전압(VGL2) 사이의 레벨을 갖는 전압이다. 예를 들어, 게이트하이전압(VGH)은 28V, 제1 게이트로우전압(VGL1)은 -7V, 제2 게이트로우전압(VGL2)은 -5V, 게이트변조전압(VGM)은 28V보다 낮고 -5V보다 높은 전압일 수 있다. 한편, 본 발명의 실시예에 따른 액정표시장치가 게이트신호를 변조하지 않는 경우 게이트변조전압(VGM)은 생략될 수 있다.
- [0024] 데이터 구동부(30)는 데이터라인들(D1~Dm)에 접속되어 데이터전압들을 데이터라인들(D1~Dm)에 출력한다. 구체적으로, 데이터 구동부(30)는 타이밍 제어부(40)로부터 디지털 비디오 데이터(DATA)와 데이터 제어신호(DCS)를 입력받고, 데이터 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 아날로그 데이터전압들로 변환한다. 데이터 구동부(30)는 아날로그 데이터전압들을 데이터라인들(D1~Dm)에 공급한다.
- [0025] 타이밍 제어부(40)는 외부로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들(TS)을 입력받는다. 타이밍 신호들(TS)은 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 및 도트 클럭(dot clock)을 포함할 수 있다. 타이밍 제어부(40)는 타이밍 신호들(TS)에 기초하여 게이트 구동부(20)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)와 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)를 발생한다.
- [0026] 전압 공급부(50)는 패턴 인식부(60)로부터 모드신호(MODE)를 입력받는다. 전압 공급부(50)는 제1 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 게이트하이전압(VGH), 게이트변조전압(VGM) 및 제1 게이트로우전압(VGL1)을 게이트 구동부(20)에 공급한다. 전압 공급부(50)는 제2 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 게이트하이전압(VGH), 게이트변조전압(VGM) 및 제2 게이트로우전압(VGL2)을 게이트 구동부(20)에 공급한다. 한편, 본 발명의 실시예에 따른 액정표시장치가 게이트신호를 변조하지 않는 경우 게이트변조전압(VGM)은 생략될 수 있다. 전압 공급부(50)에 대한 자세한 설명은 도 4를 결부하여 후술한다.
- [0027] 패턴 인식부(60)는 외부로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들(TS)을 입력받는다. 패턴 인식부(60)는 디지털 비디오 데이터(DATA)가 표시하는 화상 패턴을 분석한다. 패턴 인식부(60)는 분석된 화상 패턴이 미리 정해진 특정한 패턴에 해당하는지를 판단한다. 미리 정해진 특정한 패턴은 패턴 인식부(60)에 내장된 메모리에 저장될 수 있다. 패턴 인식부(60)는 분석된 화상 패턴이 분석된 화상 패턴이 미리 정해진 특정한 패턴이 아닌 경우 제1 로직 레벨 전압의 모드신호(MODE)를 출력하며, 미리 정해진 특정한 패턴인 경우 제2 로직 레벨 전압의 모드신호(MODE)를 출력한다.
- [0028] 한편, 미리 정해진 특정한 패턴은 정극성의 전위 차와 부극성의 전위 차 사이에 발생한 차이로 인해 잔상이 시인될 수 있는 패턴일 수 있다. 예를 들어, 미리 정해진 특정한 패턴은 도 3과 같이 화이트 계조(white gray level)와 블랙 계조(black gray level)가 교대로 배치되는 모자이크 패턴일 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 특정한 패턴이 도 3과 같이 화이트 계조와 블랙 계조를 모두 포함하는 패턴인 경우, 정극성의 전위 차와 부극성의 전위 차 사이에 발생한 차이로 인해 잔상이 시인될 수 있기 때문에, 본 발명의 실시예는 화상 패턴이 특정한 패턴인 경우 게이트로우전압의 레벨을 조정함으로써, 특정한 패턴에서 잔상이 시인되는 것을 방지한다. 이에 대한 자세한 설명은 도 5 및 도 6을 결부하여 후술한다.
- [0029] 이상에서 살펴본 바와 같이, 패턴 인식부(60)는 화상 패턴이 특정한 패턴이 아닌 경우 제1 로직 레벨 전압의 모

드신호(MODE)를 전압 공급부(50)에 공급함으로써, 전압 공급부(50)가 제1 게이트로우전압(VGL1)을 게이트 구동부(20)에 공급하도록 제어할 수 있으므로, 게이트 구동부(20)는 게이트하이전압(VGH)과 제1 게이트로우전압(VGL1) 사이에서 스윙하는 게이트신호들을 게이트라인들(G1~Gn)에 출력할 수 있다. 또한, 패턴 인식부(60)는 화상 패턴이 특정한 패턴인 경우 제2 로직 레벨 전압의 모드신호(MODE)를 전압 공급부(50)에 공급함으로써, 전압 공급부(50)가 제2 게이트로우전압(VGL2)을 게이트 구동부(20)에 공급하도록 제어할 수 있으므로, 게이트 구동부(20)는 게이트하이전압(VGH)과 제2 게이트로우전압(VGL2) 사이에서 스윙하는 게이트신호들을 게이트라인들(G1~Gn)에 출력할 수 있다.

[0030] 즉, 본 발명의 실시예는 화상 패턴이 특정한 패턴이 아닌 경우 게이트신호들을 게이트하이전압(VGH)과 제1 게이트로우전압(VGL1) 사이에서 스윙시키고, 화상 패턴이 특정한 패턴인 경우 게이트신호들을 게이트하이전압(VGH)과 제2 게이트로우전압(VGL2) 사이에서 스윙시킨다. 그 결과, 본 발명의 실시예는 화상 패턴이 특정한 패턴인 경우 특정한 패턴이 아닌 경우보다 게이트신호들의 스윙 폭을 줄일 수 있으므로, 킥백전압( $\Delta V_p$ )을 줄임으로써 정극성의 전위 차와 부극성의 전위 차 사이에 발생된 차이를 줄일 수 있다. 따라서, 본 발명의 실시예는 특정한 패턴에서 잔상이 시인되는 것을 방지할 수 있다.

[0031] 도 4는 도 1의 전압 공급부의 전압 제어부와 게이트로우전압 공급부를 상세히 보여주는 블록도이다. 도 4를 참조하면, 전압 공급부(50)는 전압 제어부(110)와 게이트로우전압 공급부(120)를 포함한다.

[0032] 전압 제어부(110)는 모드신호(MODE)에 따라 제1 및 제2 피드백 전압들(FB1, FB2) 중 어느 하나를 게이트로우전압 공급부(120)로 출력한다. 전압 제어부(110)는 제1 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 제1 피드백 전압(FB1)을 게이트로우전압 공급부(120)로 출력할 수 있다. 전압 제어부(110)는 제2 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 제2 피드백 전압(FB2)을 게이트로우전압 공급부(120)로 출력할 수 있다.

[0033] 구체적으로, 전압 제어부(110)는 제1 및 제2 피드백 전압 공급부들(111, 112), 및 스위치(SW)를 포함할 수 있다. 제1 피드백 전압 공급부(111)는 제1 피드백 전압을 생성하여 제1 단자(T1)로 공급한다. 제2 피드백 전압 공급부(112)는 제2 피드백 전압을 생성하여 제2 단자(T2)로 공급한다. 제1 단자(T1)는 제1 피드백 전압 공급부(111)에 접속되고, 제2 단자(T2)는 제2 피드백 전압 공급부(112)에 접속되며, 출력 단자(OT)에 접속될 수 있다. 스위치(SW)는 모드신호(MODE)에 따라 제1 단자(T1), 제2 단자(T2) 및 출력 단자(OT)의 접속을 제어한다. 스위치(SW)는 제1 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 제1 단자(T1)와 출력 단자(OT)를 접속시킨다. 이 경우, 제1 피드백 전압이 게이트로우전압 공급부(120)에 공급된다. 스위치(SW)는 제2 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 제2 단자(T2)와 출력 단자(OT)를 접속시킨다. 이 경우, 제2 피드백 전압이 게이트로우전압 공급부(120)에 공급된다.

[0034] 구동전압 공급부(113)는 구동전압(VDD)을 생성하여 게이트로우전압 공급부(120)에 공급한다. 구동전압 공급부(113)는 도 4와 같이 전압 제어부(110)에 포함될 수 있으나, 이에 한정되지 않음에 주의하여야 한다.

[0035] 게이트로우전압 공급부(120)는 차지 펌핑 회로를 포함할 수 있다. 게이트로우전압 공급부(120)의 차지 펌핑 회로는 이미 공지된 차지 펌핑 회로들 중 하나일 수 있다. 게이트로우전압 공급부(120)는 전압 제어부(110)로부터 제1 피드백 전압(FB1)이 공급되는 경우 구동전압(VDD)에 제1 피드백 전압(FB1)을 차지 펌핑하여 제1 게이트로우전압(VGL1)을 출력할 수 있다. 게이트로우전압 공급부(120)는 전압 제어부(110)로부터 제2 피드백 전압(FB2)이 공급되는 경우 구동전압(VDD)에 제2 피드백 전압(FB2)을 차지 펌핑하여 제2 게이트로우전압(VGL2)을 출력할 수 있다.

[0036] 도 5는 제1 로직 레벨 전압의 모드신호가 전압 공급부에 입력된 경우 제k 게이트라인에 공급되는 제k 게이트신호, 공통전압, 제k 게이트라인에 접속된 어느 한 화소의 화소전극에 공급되는 전압을 보여주는 파형도이다. 도 5에는 제1 게이트로우전압(VGL1), 게이트변조전압(VGM), 및 게이트하이전압(VGH) 사이에서 스윙하는 제k 게이트신호(GSk)와 제N(N은 양의 정수) 및 제N+1 프레임 기간들 동안 제k 게이트라인에 접속된 화소(P)의 화소전극(11)에 공급되는 전압(Vdata)이 나타나 있다.

[0037] 도 5에서는 제k 게이트신호(GSk)의 폴링 폭을 줄이기 위해, 제k 게이트신호(GSk)가 제1 게이트로우전압(VGL1)에서 게이트하이전압(VGH)으로 라이징된 다음, 게이트하이전압(VGH)에서 게이트변조전압(VGM)으로 변조된 후, 게이트변조전압(VGM)에서 제1 게이트로우전압(VGL1)으로 폴링되는 것을 예시하였으나, 본 발명의 실시예는 이에 한정되지 않는다. 즉, 본 발명의 실시예에서 게이트변조전압(VGM)은 생략될 수 있으며, 이 경우 제k 게이트신

호(GSk)는 제1 게이트로우전압(VGL1)에서 게이트하이전압(VGH)으로 라이징된 후, 도 5의 점선과 같이 게이트하이전압(VGH)에서 제1 게이트로우전압(VGL1)으로 폴링될 수 있다.

[0038] 도 5에서는 제N 프레임 기간 동안 정극성의 데이터전압이 화소전극(11)에 공급되고, 제N+1 프레임 기간 동안 부극성의 데이터전압이 화소전극(11)에 공급되는 것을 예시하였다. 또한, 도 5에서는 제N 프레임 기간 동안 공급되는 정극성의 데이터전압과 제N+1 프레임 기간 동안 공급되는 부극성의 데이터전압이 동일한 게조전압임에 주의하여야 한다. 정극성의 데이터전압은 공통전압(Vcom) 대비 높은 레벨의 전압이고, 부극성의 데이터전압은 공통전압(Vcom) 대비 낮은 레벨의 전압이다.

[0039] 도 5를 참조하면, 제N 프레임 기간 동안 제k 게이트신호(GSk)가 게이트하이전압(VGH)을 갖는 기간 동안 화소전극(11)에는 정극성의 데이터전압이 공급된다. 제k 게이트신호(GSk)가 게이트변조전압(VGM)에서 제1 게이트로우전압(VGL1)으로 폴링될 때, 도 2와 같이 제k 게이트라인(Gk)과 트랜지스터(T)의 드레인 전극 간의 기생용량(Cgd)에 의해 화소전극(11)의 전압은 제1 킥백전압(kickback voltage, ΔVp1)만큼 하강한다. 제1 킥백전압(ΔVp1)은 수학식 2와 같이 정의될 수 있다.

**수학식 2**

$$\Delta Vp1 = \frac{Cgd}{Cgd + Cst + Clc} \times (VGM - VGL1)$$

[0040]

[0041] 수학식 2에서, "ΔVp1"은 제1 킥백전압, "Cgd"는 제k 게이트라인(Gk)과 트랜지스터(T)의 드레인전극 간의 기생용량, "Cst"는 스토리지 커패시터의 용량, "Clc"는 액정셀의 용량, "VGM"은 게이트변조전압, "VGL1"은 제1 게이트로우전압을 지시한다.

[0042] 제N+1 프레임 기간 동안 제k 게이트신호(GSk)가 게이트하이전압(VGH)을 갖는 기간 동안 화소전극(11)에는 부극성의 데이터전압이 공급된다. 제k 게이트신호(GSk)가 게이트변조전압(VGM)에서 제1 게이트로우전압(VGL1)으로 폴링될 때, 도 2와 같이 제k 게이트라인(Gk)과 트랜지스터(T)의 드레인 전극 간의 기생용량(Cgd)에 의해 화소전극(11)의 전압은 제1 킥백전압(ΔVp1)만큼 하강한다.

[0043] 한편, 제1 킥백전압(ΔVp1)으로 인하여, 제N 프레임 기간 동안 화소전극(11)의 전압과 공통전압(Vcom) 간의 전위 차(VD1)는 제N+1 프레임 기간 동안 화소전극(11)의 전압과 공통전압(Vcom) 간의 전위 차(VD2)에 비해 작다. 즉, 제1 킥백전압(ΔVp1)으로 인하여, 제N 프레임 기간 동안 화소전극(11)의 전압과 공통전압(Vcom) 간의 전위 차(VD1)와 제N+1 프레임 기간 동안 화소전극(11)의 전압과 공통전압(Vcom) 간의 전위 차(VD2) 사이에는 차이가 발생한다. 이 경우, 화상 패턴이 도 3과 같이 특정한 패턴인 경우, 정극성의 전위 차와 부극성의 전위 차 사이에 발생된 차이로 인하여, 잔상이 시인되는 문제가 발생할 수 있다.

[0044] 한편, 본 발명의 실시예에서는 화소전극(11)에 공급된 정극성의 데이터전압과 공통전압(Vcom) 간의 전위 차를 정극성의 전위 차로 정의하였고, 화소전극(11)에 공급된 부극성의 데이터전압과 공통전압(Vcom) 간의 전위 차를 부극성의 전위 차로 정의하였음에 주의하여야 한다.

[0045] 도 6은 제2 로직 레벨 전압의 모드신호가 전압 공급부에 입력된 경우 제k 게이트라인에 공급되는 제k 게이트신호, 공통전압, 제k 게이트라인에 접속된 어느 한 화소의 화소전극에 공급되는 데이터전압을 보여주는 파형도이다. 도 6에는 제2 게이트로우전압(VGL2), 게이트변조전압(VGM), 및 게이트하이전압(VGH) 사이에서 스윙하는 제k 게이트신호(GSk)와 제N 및 제N+1 프레임 기간들 동안 제k 게이트라인에 접속된 화소(P)의 화소전극(11)에 공급되는 전압(Vdata)이 나타나 있다. 제2 게이트로우전압(VGL2)은 도 6과 같이 제1 게이트로우전압(VGL1)보다 높은 레벨의 전압이다.

[0046] 도 6에서는 제k 게이트신호(GSk)의 폴링 폭을 줄이기 위해, 제k 게이트신호(GSk)가 제2 게이트로우전압(VGL2)에서 게이트하이전압(VGH)으로 라이징된 다음, 게이트하이전압(VGH)에서 게이트변조전압(VGM)으로 변조된 후, 게이트변조전압(VGM)에서 제2 게이트로우전압(VGL2)으로 폴링되는 것을 예시하였으나, 본 발명의 실시예는 이에 한정되지 않는다. 즉, 본 발명의 실시예에서 게이트변조전압(VGM)은 생략될 수 있으며, 이 경우 제k 게이트신호(GSk)는 제2 게이트로우전압(VGL2)에서 게이트하이전압(VGH)으로 라이징된 후, 도 6의 점선과 같이 게이트하

이전압(VGH)에서 제2 게이트로우전압(VGL2)으로 폴링될 수 있다.

[0047] 도 6에서는 제N 프레임 기간 동안 정극성의 데이터전압이 화소전극(11)에 공급되고, 제N+1 프레임 기간 동안 부극성의 데이터전압이 화소전극(11)에 공급되는 것을 예시하였다. 또한, 도 6에서는 제N 프레임 기간 동안 공급되는 정극성의 데이터전압과 제N+1 프레임 기간 동안 공급되는 부극성의 데이터전압은 동일한 게조전압임에 주의하여야 한다. 정극성의 데이터전압은 공통전압(Vcom) 대비 높은 레벨의 전압이고, 부극성의 데이터전압은 공통전압(Vcom) 대비 낮은 레벨의 전압이다.

[0048] 도 6을 참조하면, 제N 프레임 기간 동안 제k 게이트신호(GSk)가 게이트하이전압(VGH)을 갖는 기간 동안 화소전극(11)에는 정극성의 데이터전압이 공급된다. 제k 게이트신호(GSk)가 게이트변조전압(VGM)에서 제2 게이트로우전압(VGL2)으로 폴링될 때, 도 2와 같이 제k 게이트라인(Gk)과 트랜지스터(T)의 드레인 전극 간의 기생용량(Cgd)에 의해 화소전극(11)의 전압은 제2 킥백전압(kickback voltage, ΔVp2)만큼 하강한다. 제2 킥백전압(ΔVp2)은 수학적 식 3과 같이 정의될 수 있다.

**수학적 식 3**

$$\Delta Vp2 = \frac{Cgd}{Cgd + Cst + Clc} \times (VGM - VGL2)$$

[0049] 수학적 식 3에서, "ΔVp2"은 제2 킥백전압, "Cgd"는 제k 게이트라인(Gk)과 트랜지스터(T)의 드레인전극 간의 기생용량, "Cst"는 스토리지 커패시터의 용량, "Clc"는 액정셀의 용량, "VGM"은 게이트변조전압, "VGL2"은 제2 게이트로우전압을 지시한다. 제2 게이트로우전압(VGL2)이 제1 게이트로우전압(VGL1)보다 높은 레벨의 전압이기 때문에, 게이트변조전압(VGM)과 제2 게이트로우전압(VGL2) 간의 차이가 게이트변조전압(VGM)과 제1 게이트로우전압(VGL1) 간의 차이보다 작다. 이로 인해, 제2 킥백전압(ΔVp2)은 제1 킥백전압(ΔVp1)보다 작다.

[0050] 제N+1 프레임 기간 동안 제k 게이트신호(GSk)가 게이트하이전압(VGH)을 갖는 기간 동안 화소전극(11)에는 부극성의 데이터전압이 공급된다. 제k 게이트신호(GSk)가 게이트변조전압(VGM)에서 제2 게이트로우전압(VGL2)으로 폴링될 때, 도 2와 같이 제k 게이트라인(Gk)과 트랜지스터(T)의 드레인 전극 간의 기생용량(Cgd)에 의해 화소전극(11)의 전압은 제2 킥백전압(ΔVp2)만큼 하강한다.

[0051] 본 발명의 실시예는 화상 패턴이 특정한 패턴인 경우, 제2 게이트로우전압(VGL2)과 게이트하이전압(VGH) 사이에서 스윙하는 게이트신호(GSk)들을 게이트라인들(G1~Gn)에 출력함으로써, 제2 킥백전압(ΔVp2)을 제1 킥백전압(ΔVp1)보다 줄일 수 있다. 이로 인해, 본 발명의 실시예는 제N 프레임 기간 동안 화소전극(11)의 전압과 공통전압(Vcom) 간의 전위 차(VD3)와 제N+1 프레임 기간 동안 화소전극(11)의 전압과 공통전압(Vcom) 간의 전위 차(VD4) 사이에 차이를 도 5의 "VD1"과 "VD2" 사이에 차이보다 줄일 수 있다. 그 결과, 본 발명의 실시예는 화상 패턴이 도 3과 같이 특정한 패턴인 경우, 정극성의 전위 차와 부극성의 전위 차 사이에 발생된 차이로 인하여, 잔상이 시인되는 문제를 방지할 수 있다.

[0052] 도 7은 본 발명의 실시예에 따른 액정표시장치의 구동방법을 보여주는 흐름도이다. 이하에서는 도 1 및 도 7을 결부하여 본 발명의 실시예에 따른 액정표시장치의 구동방법을 상세히 설명한다.

[0053] 첫 번째로, 패턴 인식부(60)는 외부로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들(TS)을 입력받는다. 패턴 인식부(60)는 디지털 비디오 데이터(DATA)가 표시하는 화상 패턴을 분석한다. 패턴 인식부(60)는 분석된 화상 패턴이 미리 정해진 특정한 패턴에 해당하는지를 판단한다. 패턴 인식부(60)는 분석된 화상 패턴을 메모리에 저장된 특정한 패턴과 비교함으로써, 화상 패턴이 미리 정해진 특정한 패턴에 해당하는지를 판단할 수 있다. (도 7의 S101)

[0054] 두 번째로, 패턴 인식부(60)는 화상 패턴이 분석된 화상 패턴이 미리 정해진 특정한 패턴이 아닌 경우 제1 로직 레벨 전압의 모드신호(MODE)를 출력한다. (도 7의 S102)

[0055] 세 번째로, 전압 공급부(50)는 제1 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제1 게이트로우전압(VGL1)을 게이트 구동부(20)로 출력한다. 구체적으로, 도 4와 같이 전압 공급부(50)의 전압 제어부(110)는 제1 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 제1 피드백 전압

(FB1)을 게이트로우전압 공급부(120)에 출력하고, 게이트로우전압 공급부(120)는 구동전압(VDD)에 제1 피드백 전압(FB1)을 차지 펌핑하여 제1 게이트로우전압(VGL1)을 출력할 수 있다. 한편, 본 발명의 실시예에 따른 액정 표시장치가 게이트신호를 변조하지 않는 경우, 전압 공급부(50)는 게이트변조전압(VGM)을 게이트 구동부(20)로 출력하지 않는다. (도 7의 S103)

[0057] 네 번째로, 게이트 구동부(20)는 전압 공급부(50)로부터 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제1 게이트로우전압(VGL1)을 입력받는 경우, 도 5와 같이 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제1 게이트로우전압(VGL1) 사이에서 스윙하는 게이트신호들을 생성하여 게이트라인들(G1~Gn)에 출력한다. 한편, 본 발명의 실시예에 따른 액정표시장치가 게이트신호를 변조하지 않는 경우, 게이트 구동부(20)는 전압 공급부(50)로부터 게이트하이전압(VGH)과 제1 게이트로우전압(VGL1)을 입력받으며, 게이트하이전압(VGH)과 제1 게이트로우전압(VGL1) 사이에서 스윙하는 게이트신호들을 생성하여 게이트라인들(G1~Gn)에 출력할 수 있다. (도 7의 S104)

[0058] 다섯 번째로, 패턴 인식부(60)는 화상 패턴이 분석된 화상 패턴이 미리 정해진 특정한 패턴인 경우 제2 로직 레벨 전압의 모드신호(MODE)를 출력한다. (도 7의 S105)

[0059] 여섯 번째로, 전압 공급부(50)는 제2 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제2 게이트로우전압(VGL2)을 게이트 구동부(20)로 출력한다. 제2 게이트로우전압(VGL2)은 도 6과 같이 제1 게이트로우전압(VGL1)보다 높은 레벨의 전압이다. 구체적으로, 도 4와 같이 전압 공급부(50)의 전압 제어부(110)는 제2 로직 레벨 전압의 모드신호(MODE)가 입력되는 경우 제2 피드백 전압(FB2)을 게이트로우전압 공급부(120)에 출력하고, 게이트로우전압 공급부(120)는 구동전압(VDD)에 제2 피드백 전압(FB2)을 차지 펌핑하여 제2 게이트로우전압(VGL2)을 출력할 수 있다. 한편, 본 발명의 실시예에 따른 액정표시장치가 게이트신호를 변조하지 않는 경우, 전압 공급부(50)는 게이트변조전압(VGM)을 게이트 구동부(20)로 출력하지 않는다. (도 7의 S106)

[0060] 일곱 번째로, 게이트 구동부(20)는 전압 공급부(50)로부터 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제2 게이트로우전압(VGL2)을 입력받는 경우, 도 6과 같이 게이트하이전압(VGH), 게이트변조전압(VGM), 및 제2 게이트로우전압(VGL1) 사이에서 스윙하는 게이트신호들을 생성하여 게이트라인들(G1~Gn)에 출력한다. 한편, 본 발명의 실시예에 따른 액정표시장치가 게이트신호를 변조하지 않는 경우, 게이트 구동부(20)는 전압 공급부(50)로부터 게이트하이전압(VGH)과 제2 게이트로우전압(VGL1)을 입력받으며, 게이트하이전압(VGH)과 제2 게이트로우전압(VGL2) 사이에서 스윙하는 게이트신호들을 생성하여 게이트라인들(G1~Gn)에 출력할 수 있다. (도 7의 S107)

[0061] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 화상 패턴이 미리 정해진 특정한 패턴이 아닌 경우 제1 게이트로우전압(VGL1)과 게이트하이전압(VGH) 사이를 스윙하는 게이트신호들을 게이트라인들(G1~Gn)에 출력하는 반면에, 미리 정해진 특정한 패턴인 경우 제1 게이트로우전압(VGL1)보다 높은 레벨인 제2 게이트로우전압(VGL2)과 게이트하이전압(VGH)사이를 스윙하는 게이트신호들을 게이트라인들(G1~Gn)에 출력할 수 있다. 그 결과, 본 발명의 실시예는 화상 패턴이 미리 정해진 특정한 패턴인 경우 미리 정해진 특정한 패턴이 아닌 경우보다 게이트신호의 전압 변화량을 줄일 수 있으므로, 킥백전압의 크기를 줄일 수 있다. 이로 인해, 본 발명의 실시예는 정극성의 전위 차와 부극성의 전위 차 사이의 차이를 줄일 수 있으므로, 잔상이 시인되는 문제를 방지할 수 있다.

[0062] 한편, 본 발명의 실시예에서는 설명의 편의를 위해 게이트 온 전압이 게이트하이전압이고, 제1 게이트 오프 전압이 제1 게이트로우전압이며, 제2 게이트 오프 전압이 제2 게이트로우전압인 것을 중심으로 설명하였다.

[0063] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

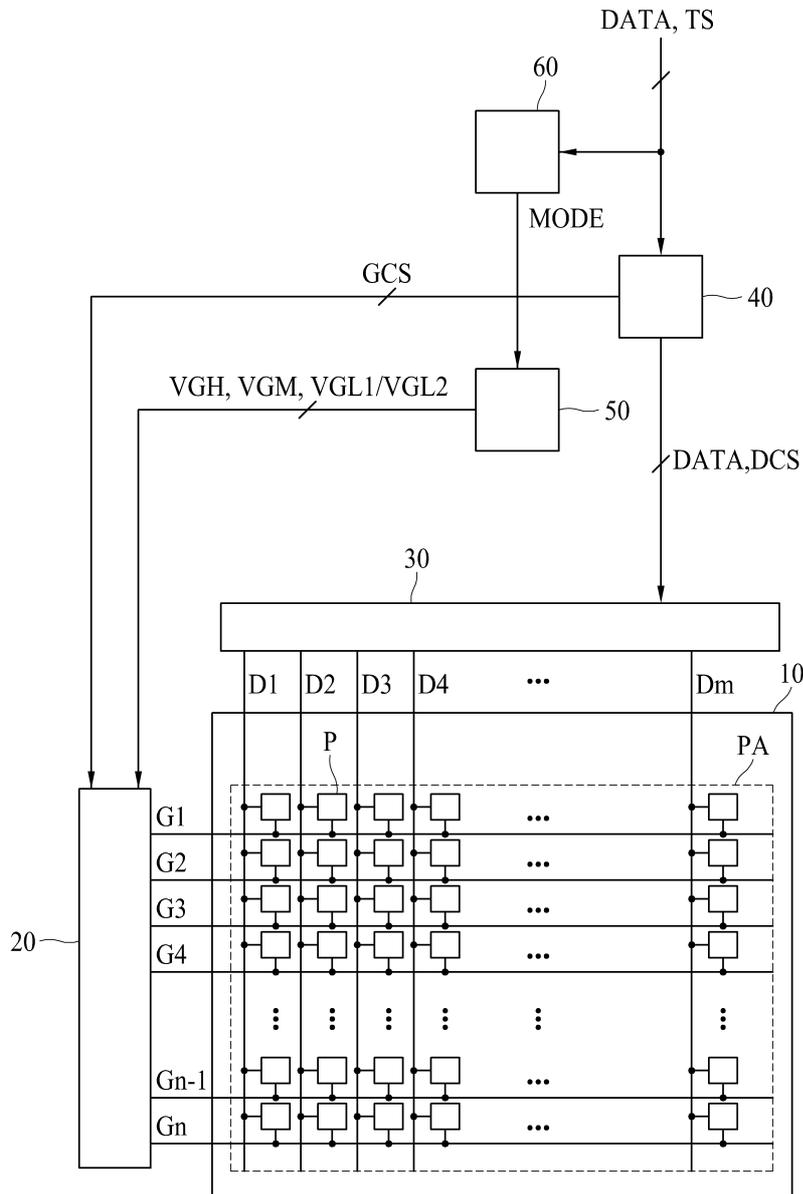
**부호의 설명**

- [0064] 10: 표시패널    11: 화소전극
- 12: 공통전극    13: 액정셀
- Cst: 스토리지 커패시터    T: 트랜지스터
- 20: 게이트 구동부    30: 데이터 구동부

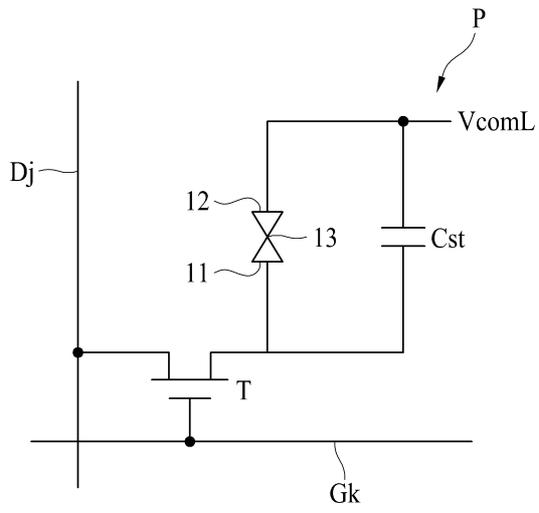
40: 타이밍 제어부    50: 전압 공급부  
 60: 패턴 인식부    110: 전압 제어부  
 120: 게이트로우전압 공급부

도면

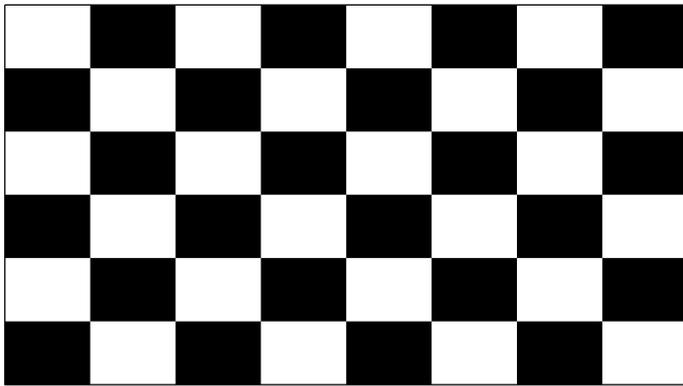
도면1



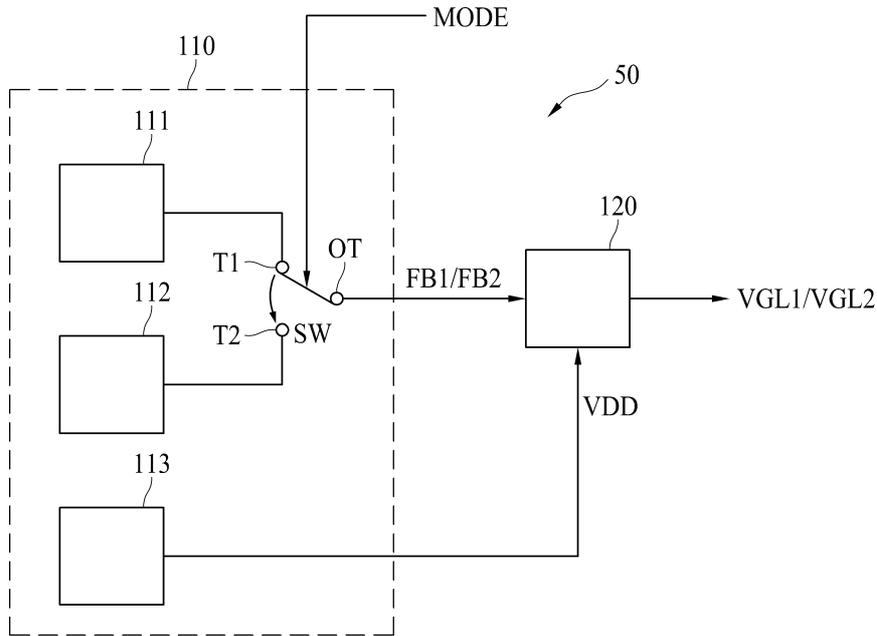
도면2



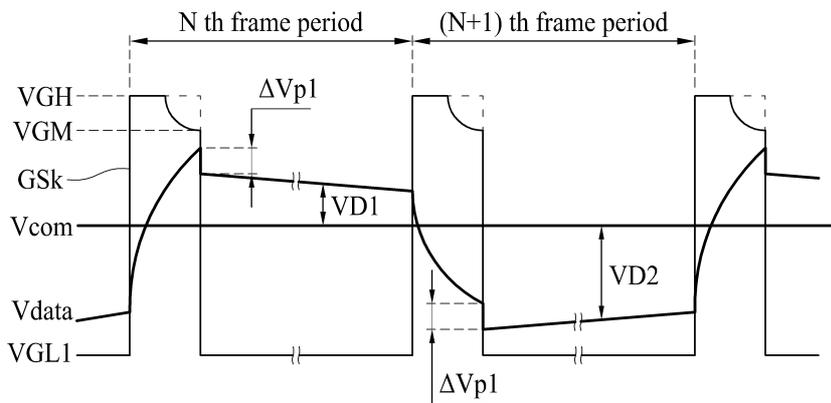
도면3



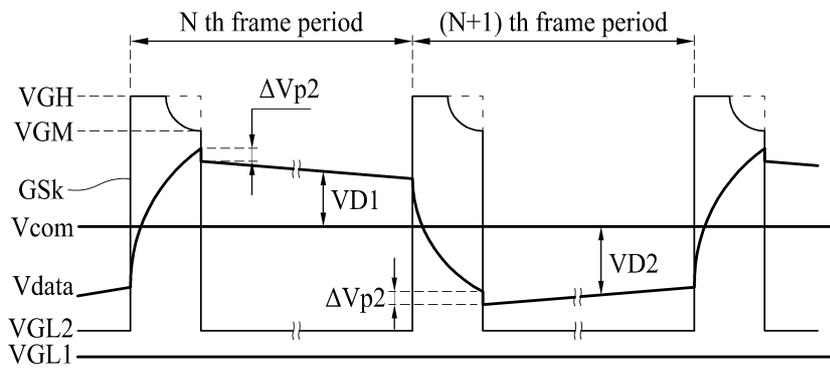
도면4



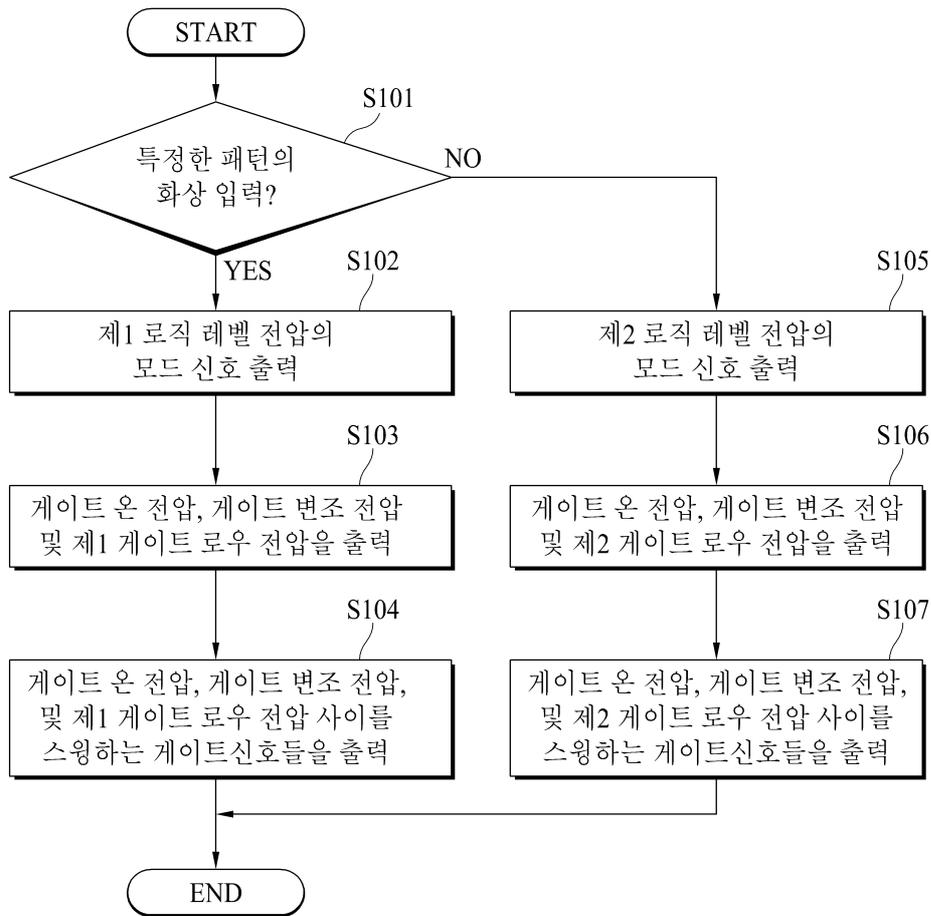
도면5



도면6



도면7



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020160084885A</a>	公开(公告)日	2016-07-15
申请号	KR1020150001048	申请日	2015-01-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUHO YANG 양주호		
发明人	양주호		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的实施例涉及液晶显示器及其驱动方法，其可以解决由于由于正极性和负极性的电位差的电位差之间的差异而在视觉上识别残像的问题。反冲电压。根据本发明实施例的液晶显示器包括：显示面板，包括数据线和连接到栅极线的像素，栅极驱动单元将栅极信号提供给栅极线；以及电压供应部分，其输出模式信号。第一逻辑电平电压，如果不是图像模式，其中数字视频数据指示预定的特定模式并且在那种情况下它提供栅极导通电压和第一栅极截止电压，其中第一逻辑电平电压的模式信号和在图像图案是上述栅极驱动单元的特定图案的情况下输入输出第二逻辑电平电压的模式信号的图案识别部分，并且在这种情况下提供栅极导通电压和第二栅极截止电压。其中，第二逻辑电平电压的模式信号输入到栅极驱动单元。

