



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0081714
(43) 공개일자 2016년07월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2014-0196010
(22) 출원일자 2014년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김용일
충청남도 당진시 송악읍 여망길 19-4 (기계실)
김용용
경상북도 구미시 산호대로39길 25, 106동 1301호
(옥계동, e편한세상아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 11 항

(54) 발명의 명칭 프린지 필드형 액정표시장치 및 그 제조방법

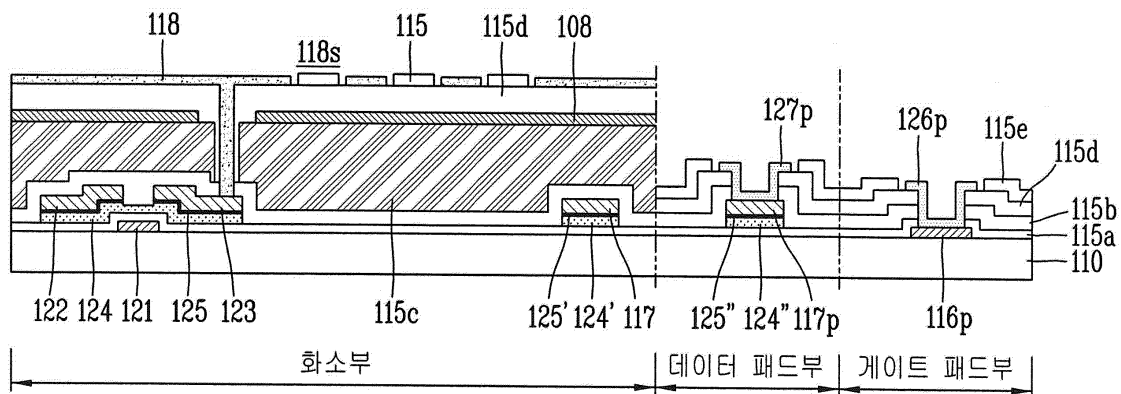
(57) 요약

본 발명의 프린지 필드형(Fringe Field Switching; FFS) 액정표시장치 및 그 제조방법은 리프트-오프(lift of f)공정을 이용하여 4번의 마스크공정으로 어레이 기판을 제조하는 것을 특징으로 한다.

이를 위해 제 3 마스크공정에서 2번의 식각으로 공통전극을 패터닝하며, 1차 패터닝된 공통전극을 마스크로 오버코트층을 식각하여 오버코트층 홀을 형성하는 것을 특징으로 한다. 또한, 제 4 마스크공정에서 하프-톤(half tone) 마스크와 리프트-오프공정을 이용하여 보호층 홀과 화소전극 및 패드부전극을 동시에 형성하는 것을 특징으로 한다.

이와 같이 마스크 수의 저감으로 제조비용이 절감되는 동시에 생산력이 증가하며, 미세 오버코트층 홀의 형성으로 투과율이 향상되는 효과를 제공한다.

대표도 - 도4



명세서

청구범위

청구항 1

제 1 마스크공정을 통해 제 1 기관의 화소부에 게이트전극을 형성하는 단계;

상기 게이트전극 위에 게이트절연층을 형성하는 단계;

제 2 마스크공정을 통해 상기 제 1 기관의 화소부에 액티브층과 소오스전극 및 드레인전극을 형성하는 단계;

상기 액티브층과 소오스전극 및 드레인전극 위에 제 1 층간절연층과 제 2 층간절연층을 형성하는 단계;

제 3 마스크공정을 통해 상기 드레인전극 상부의 제 1 층간절연층을 노출시키는 제 1 컨택홀을 형성하며, 상기 화소부의 제 2 층간절연층 위에 공통전극을 형성하는 단계;

상기 공통전극 위에 제 1 보호층 및 제 2 보호층을 형성하는 단계; 및

제 4 마스크공정을 통해 상기 제 1 기관의 화소부에 다수의 슬릿을 가진 화소전극을 형성하며, 상기 화소전극의 슬릿 내에 상기 제 2 보호층으로 이루어진 절연막패턴을 형성하는 단계를 포함하는 프린지 필드형 액정표시장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 3 마스크공정을 이용하여 상기 제 1 기관의 데이터패드부 및 게이트패드부의 제 2 층간절연층을 제거하여 상기 데이터패드부 및 게이트패드부의 제 1 층간절연층을 노출시키는 단계를 추가로 포함하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 3

제 1 항에 있어서, 상기 제 3 마스크공정은

상기 제 2 층간절연층 위에 제 3 도전막을 형성하는 단계;

상기 제 3 도전막 위에 제 1 감광막패턴 및 제 2 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴 및 제 2 감광막패턴을 마스크로 상기 제 3 도전막의 일부영역을 선택적으로 패터닝하여 상기 화소부에 상기 제 3 도전막으로 이루어진 도전막패턴을 형성하는 단계; 및

상기 제 1 감광막패턴과 제 2 감광막패턴 및 도전막패턴을 마스크로 상기 제 2 층간절연층의 일부영역을 선택적으로 패터닝하여 상기 드레인전극 상부에 상기 제 1 층간절연층의 일부를 노출시키는 제 1 컨택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 4

제 3 항에 있어서, 상기 제 3 도전막의 패터닝은 습식각을 이용하며, 상기 습식각 시 상기 도전막패턴의 일부가 오버-에칭되어 상기 제 1 감광막패턴 및 제 2 감광막패턴의 측면으로부터 후퇴하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 5

제 3 항에 있어서, 상기 제 2 층간절연층의 패터닝은 건식각을 이용하며, 상기 건식각 시 상기 제 1 감광막패턴 및 제 2 감광막패턴의 일부가 제거되어 상기 제 1 감광막패턴 및 제 2 감광막패턴보다 폭 및 두께가 줄어든 제 3 감광막패턴 및 제 4 감광막패턴을 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 6

제 5 항에 있어서, 상기 제 3 감광막패턴 및 제 4 감광막패턴을 마스크로 상기 도전막패턴을 2차로 패터닝하여 상기 화소부에 상기 도전막으로 이루어진 공통전극을 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치

의 제조방법.

청구항 7

제 1 항에 있어서, 상기 제 4 마스크공정은

상기 제 2 보호층 위에 감광막패턴을 형성하는 단계;

상기 감광막패턴을 마스크로 상기 제 1 층간절연층과 제 1 보호층 및 제 2 보호층의 일부영역을 선택적으로 패터닝하여 상기 제 1 콘택홀 내에 상기 드레인전극의 일부를 노출시키는 제 2 콘택홀을 형성하는 단계;

애싱공정을 통해 상기 감광막패턴의 두께 일부를 제거하는 단계;

상기 제 2 보호층의 일부영역을 선택적으로 패터닝하여 상기 애싱된 감광막패턴 하부에 절연막패턴을 형성하는 단계;

상기 애싱된 감광막패턴이 남아있는 상태에서 그 위에 도전막을 형성하는 단계; 및

리프트-오프공정을 통해 상기 애싱된 감광막패턴과 상기 애싱된 감광막패턴 상부의 도전막을 선택적으로 제거하여 상기 화소부에 상기 도전막으로 이루어진 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 8

화소부에 배치된 게이트전극;

상기 게이트전극 위의 게이트절연층;

게이트절연층 위에 배치된 액티브층과 소오스전극 및 드레인전극;

상기 액티브층과 소오스전극 및 드레인전극 위의 제 1 층간절연층과 제 2 층간절연층;

상기 제 2 층간절연층의 일부영역이 제거되어 상기 드레인전극 상부의 제 1 층간절연층의 일부를 노출시키는 제 1 콘택홀;

상기 제 2 층간절연층 위에 배치된 공통전극;

상기 공통전극 위의 제 1 보호층;

상기 제 1 콘택홀 내에 위치하며, 상기 제 1 보호층의 일부영역이 제거되어 상기 드레인전극의 일부를 노출시키는 제 2 콘택홀;

다수의 슬릿을 가지며, 상기 제 2 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극; 및

상기 화소전극의 슬릿 내에 배치되는 절연막패턴을 포함하며,

상기 제 2 콘택홀 내의 화소전극과 상기 제 2 층간절연층 측면 사이에는 상기 제 1 보호층이 개재되어 있는 것을 특징으로 하는 프린지 필드형 액정표시장치.

청구항 9

제 8 항에 있어서, 상기 공통전극은 상기 제 2 층간절연층의 에지로부터 일정 간격 떨어져 위치하는 것을 특징으로 하는 프린지 필드형 액정표시장치.

청구항 10

제 8 항에 있어서, 상기 절연막패턴은 상기 화소전극과 일정 간격을 유지하며, 상기 슬릿과 나란한 방향으로 배치되는 것을 특징으로 하는 프린지 필드형 액정표시장치.

청구항 11

제 8 항에 있어서, 데이터패드부 및 게이트패드부에는 상기 제 2 층간절연층이 제거된 상태에서 상기 제 1 보호층 및 상기 절연막패턴을 구성하는 절연물질로 이루어진 제 2 보호층이 적층되어 있는 것을 특징으로 하는 프린지 필드형 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 프린지 필드형 액정표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 고해상도와 고투과율을 동시에 구현할 수 있는 프린지 필드형 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

[0003] 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

[0004] 이하, 도면을 참조하여 일반적인 액정표시장치에 대해서 상세히 설명한다.

[0005] 도 1은 일반적인 액정표시장치의 구조를 개략적으로 보여주는 분해사시도이다.

[0006] 도 1을 참조하면, 일반적인 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

[0007] 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 서브-컬러필터(7) 사이를 구분하고 불필요한 광을 차단하는 블랙매트릭스(Black Matrix; BM)(6), 그리고 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.

[0008] 또한, 어레이 기판(10)은 종횡으로 배열되어 다수의 화소영역(P)을 정의하는 다수의 게이트라인(16)과 데이터라인(17), 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.

[0009] 이와 같이 구성된 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정패널을 구성하며, 컬러필터 기판(5)과 어레이 기판(10)의 합착은 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착 키(미도시)를 통해 이루어진다.

[0010] 이때, 액정표시장치에 일반적으로 사용되는 구동방식으로 네마틱상의 액정분자를 기판에 대해 수직 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식이 있으나, 트위스티드 네마틱방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가진다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 액정패널에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.

[0011] 이에 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 횡전계(In Plane Switching; IPS)방식 액정표시장치가 있으며, 이를 상세히 설명하면 다음과 같다.

[0012] 도 2는 횡전계방식 액정표시장치의 어레이 기판 일부를 개략적으로 보여주는 단면도이다. 특히, 도 2는 화소전극과 공통전극 사이에 형성되는 프린지 필드가 슬릿을 관통하여 화소영역 및 화소전극 상에 위치하는 액정분자를 구동시킴으로써 화상을 구현하는 프린지 필드형(Fringe Field Switching; FFS) 액정표시장치의 어레이 기판 일부를 나타내고 있다.

[0013] 이때, 도면에는 설명의 편의를 위해 화소부와 데이터패드부 및 게이트패드부를 포함하는 하나의 화소를 보여주고 있다.

[0014] 도 2를 참조하면, 일반적인 프린지 필드형 액정표시장치의 어레이 기판(10)에는 종횡으로 배열되어 화소영역을 정의하는 게이트라인(미도시)과 데이터라인(17)이 형성되어 있다. 또한, 게이트라인과 데이터라인(17)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있다.

[0015] 박막 트랜지스터는 게이트라인에 연결된 게이트전극(21), 데이터라인에 연결된 소오스전극(22) 및 화소전극(1

8)에 연결된 드레인전극(23)으로 구성된다. 또한, 박막 트랜지스터는 게이트전극(21)과 소오스/드레인전극(22, 23) 사이의 절연을 위한 게이트절연층(15a) 및 게이트전극(21)에 공급되는 게이트전압에 의해 소오스전극(22)과 드레인전극(23) 사이에 전도채널(conductive channel)을 형성하는 액티브층(24)을 포함한다.

[0016] 액티브층(24)의 소오스/드레인영역은 오믹-컨택층(ohmic contact layer)(25)을 통해 소오스/드레인전극(22, 23)과 오믹-컨택을 형성한다.

[0017] 데이터라인(17) 하부에는 액티브층(24)을 구성하는 비정질 실리콘 박막 및 오믹-컨택층(25)을 구성하는 n+ 비정질 실리콘 박막으로 이루어진 제 1 비정질 실리콘 박막패턴(24') 및 제 1 n+ 비정질 실리콘 박막패턴(25')이 형성되어 있다.

[0018] 화소영역 내에는 공통전극(8)과 화소전극(18)이 형성되어 있으며, 이때 사각형 형태의 화소전극(18)은 공통전극(8)과 함께 프린지 필드를 발생시키기 위해 화소전극(18) 내에 다수의 슬릿(18s)을 포함한다.

[0019] 이와 같이 구성된 어레이 기관(10)의 가장자리 영역에는 데이터라인(17)과 게이트라인에 전기적으로 접속하는 데이터패드전극(27p)과 게이트패드전극(26p)이 각각 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 데이터신호와 주사신호를 각각 데이터라인(17)과 게이트라인에 전달한다.

[0020] 즉, 데이터라인(17)과 게이트라인은 구동회로부 쪽으로 연장되어 해당하는 데이터패드라인(17p)과 게이트패드라인(16p)에 각각 연결된다. 그리고, 데이터패드라인(17p)과 게이트패드라인(16p)은 데이터패드라인(17p)과 게이트패드라인(16p)에 각각 전기적으로 접속된 데이터패드전극패턴(27p'), 데이터패드전극(27p)과 게이트패드전극패턴(26p'), 게이트패드전극(26p)을 통해 구동회로부로부터 각각 데이터신호와 주사신호를 인가 받는다.

[0021] 이때, 데이터패드라인(17p) 하부에는 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 제 2 비정질 실리콘 박막패턴(24'') 및 제 2 n+ 비정질 실리콘 박막패턴(25'')이 형성되어 있다.

[0022] 참고로, 도면부호 15b, 15c 및 15d는 제 1 층간절연층, 제 2 층간절연층 및 보호층을 나타낸다.

[0023] 이와 같이 구성된 프린지 필드형 액정표시장치는 기존의 트위스티드 네마틱방식에 비해 시야각과 투과율이 향상된 장점을 가진다. 그러나, 박막 트랜지스터를 포함하는 어레이 기관의 제작에 6 ~ 7개 정도의 다수의 마스크공정(즉, 포토리소그래피(photo lithography))공정을 필요로 하므로 생산성 면에서 마스크 수를 줄이는 방법이 요구된다.

[0024] 도 3a 내지 도 3f는 도 2에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도이다.

[0025] 도 3a를 참조하면, 어레이 기관(10) 위에 포토리소그래피공정(제 1 마스크공정)을 이용하여 도전성 금속물질로 이루어진 게이트전극(21)과 게이트라인(미도시) 및 게이트패드라인(16p)을 형성한다.

[0026] 다음으로, 도 3b를 참조하면, 게이트전극(21)과 게이트라인 및 게이트패드라인(16p)이 형성된 어레이 기관(10) 전면에 차례대로 게이트절연층(15a), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 도전성 금속물질을 증착한다.

[0027] 이후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 도전성 금속물질을 선택적으로 패터닝함으로써 게이트전극(21) 위에 게이트절연층(15a)이 개재된 상태에서 비정질 실리콘 박막으로 이루어진 액티브층(24)을 형성한다. 그리고, 액티브층(24) 상부에 도전성 금속물질로 이루어진 소오스전극(22)과 드레인전극(23)을 형성한다.

[0028] 이때, 제 2 마스크공정을 통해 어레이 기관(10)의 데이터라인 영역에 도전성 금속물질로 이루어진 데이터라인(17)을 형성하는 동시에 어레이 기관(10)의 데이터패드부에 도전성 금속물질로 이루어진 데이터패드라인(17p)을 형성한다.

[0029] 이때, 액티브층(24) 상부에는 n+ 비정질 실리콘 박막으로 이루어지며, 액티브층(24)의 소오스/드레인영역과 소오스/드레인전극(22, 23) 사이를 오믹-컨택시키는 오믹-컨택층(25)이 형성된다.

[0030] 또한, 데이터라인(17) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터라인(17)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(24') 및 제 1 n+ 비정질 실리콘 박막패턴(25')이 형성된다.

[0031] 또한, 데이터패드라인(17p) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터패드라인(17p)과 실질적으로 동일한 형태로 패터닝된 제 2 비정질 실리콘 박막패턴(24'') 및 제 2 n+ 비정질

실리콘 박막패턴(25")이 형성된다.

- [0032] 다음으로, 도 3c를 참조하면, 어레이 기판(10) 전면에 제 1 층간절연층(15b)과 제 2 층간절연층(15c)을 형성한다.
- [0033] 이후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 게이트절연층(15a)과 제 1 층간절연층(15b) 및 제 2 층간절연층(15c)의 일부영역을 선택적으로 패터닝함으로써 드레인전극(23)의 일부를 노출시키는 제 1 콘택홀(40a)을 형성한다. 이와 동시에 데이터패드라인(17p) 및 게이트패드라인(16p)의 일부를 각각 노출시키는 제 2 콘택홀(40b) 및 제 3 콘택홀(40c)을 형성한다.
- [0034] 이때, 제 2 층간절연층(15c)은 포토 아크릴로 이루어진다.
- [0035] 다음으로, 도 3d를 참조하면, 어레이 기판(10) 전면에 투명한 도전성 금속물질을 증착한 후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 선택적으로 패터닝함으로써 화소부 전체에 걸쳐 투명한 도전성 금속물질로 이루어진 공통전극(8)을 형성한다.
- [0036] 이때, 제 4 마스크공정을 통해 투명한 도전성 금속물질을 선택적으로 패터닝함으로써 데이터패드부 및 게이트패드부에 데이터패드라인(17p) 및 게이트패드라인(16p)과 전기적으로 접속하는 데이터패드전극패턴(27p') 및 게이트패드전극패턴(26p')을 각각 형성한다.
- [0037] 다음으로, 도 3e를 참조하면, 어레이 기판(10) 전면에 저온에서 보호층(15d)을 형성한다.
- [0038] 이후, 포토리소그래피공정(제 5 마스크공정)을 이용하여 보호층(15d)의 일부영역을 선택적으로 패터닝함으로써 드레인전극(23)과 데이터패드전극패턴(27p') 및 게이트패드전극패턴(26p')의 일부를 각각 노출시키는 제 4 콘택홀(40d)과 제 5 콘택홀(40e) 및 제 6 콘택홀(40f)을 형성한다.
- [0039] 다음으로, 도 3f를 참조하면, 어레이 기판(10) 전면에 투명한 도전성 금속물질을 증착한 후, 포토리소그래피공정(제 6 마스크공정)을 이용하여 선택적으로 패터닝하여 화소영역에 제 4 콘택홀(40d)을 통해 드레인전극(23)과 전기적으로 접속하는 화소전극(18)을 형성한다.
- [0040] 또한, 제 6 마스크공정을 통해 투명한 도전성 금속물질을 선택적으로 패터닝함으로써 데이터패드부 및 게이트패드부에 제 5 콘택홀(40e) 및 제 6 콘택홀(40f)을 통해 데이터패드전극패턴(27p') 및 게이트패드전극패턴(26p')과 전기적으로 접속하는 데이터패드전극(27p) 및 게이트패드전극(26p)을 각각 형성한다.
- [0041] 이때, 화소전극(18)은 그 하부의 공통전극(8)과 함께 프린지 필드를 발생시키기 위해 화소전극(18) 내에 다수의 슬릿(18s)을 포함한다.
- [0042] 이와 같이 일반적인 프린지 필드형 액정표시장치는 공통전극(8)과 화소전극(18) 사이에 상하 전계를 형성하기 위해 보호층(15d)을 사이에 두고 서로 다른 층에 공통전극(8)과 화소전극(18)을 형성한다. 또한, 2번의 공정으로 드레인 콘택홀, 즉 제 1 콘택홀(40a)과 제 4 콘택홀(40d)을 형성하며, 이에 따라 횡전계방식 액정표시장치에 비해 최소한 2번의 마스크공정이 더 필요하게 된다.
- [0043] 또한, 포토 아크릴로 제 2 층간절연층(15c)을 형성하기 때문에 포토 아크릴의 식각 특성상 드레인 콘택홀의 크기를 축소하는 데에는 한계가 있다. 따라서, 고해상도를 구현하는데 한계가 있다.

발명의 내용

해결하려는 과제

- [0044] 본 발명은 상기한 문제를 해결하기 위한 것으로, 4번의 마스크공정으로 어레이 기판을 제작하도록 한 프린지 필드형 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.
- [0045] 본 발명의 다른 목적은 자기-정렬(self align)로 미세 오버코트층 홀을 형성하도록 한 프린지 필드형 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0046] 기타, 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

- [0047] 상기한 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 프린지 필드형 액정표시장치는 제 1 층간절연층과 제 2 층간절연층의 이중의 층간절연층으로 구성되며, 제 2 층간절연층의 일부영역이 제거되어 드레인전극 상부

의 제 1 층간절연층의 일부를 노출시키는 제 1 콘택홀 및 제 1 콘택홀 내에 위치하며, 제 1 보호층의 일부영역이 제거되어 드레인전극의 일부를 노출시키는 제 2 콘택홀을 포함하여 구성될 수 있다.

[0048] 이때, 공통전극은 제 2 층간절연층 위에 배치되며, 공통전극 위의 제 1 보호층이 배치될 수 있다.

[0049] 화소전극은 다수의 슬릿을 가지며, 제 2 콘택홀을 통해 상기 드레인전극과 전기적으로 접속할 수 있다.

[0050] 이때, 본 발명의 일 실시예에 따른 프린지 필드형 액정표시장치는 화소전극의 슬릿 내에 배치되는 절연막패턴을 포함하며, 제 2 콘택홀 내의 화소전극과 제 2 층간절연층 측면 사이에 제 1 보호층이 개재되어 있는 것을 특징으로 한다.

[0051] 공통전극은 제 2 층간절연층의 에지로부터 일정 간격 떨어져 위치할 수 있다.

[0052] 절연막패턴은 화소전극과 일정 간격을 유지하며, 슬릿과 나란한 방향으로 배치될 수 있다.

[0053] 데이터패드부 및 게이트패드부에는 제 2 층간절연층이 제거된 상태에서 제 1 보호층 및 절연막패턴을 구성하는 절연물질로 이루어진 제 2 보호층이 적층될 수 있다.

[0054] 또한, 본 발명의 일 실시예에 따른 프린지 필드형 액정표시장치의 제조방법은 제 3 마스크공정을 통해 드레인전극 상부의 제 1 층간절연층을 노출시키는 제 1 콘택홀을 형성하며, 화소부의 제 2 층간절연층 위에 공통전극을 형성하는 단계, 공통전극 위에 제 1 보호층 및 제 2 보호층을 형성하는 단계 및 제 4 마스크공정을 통해 제 1 기관의 화소부에 다수의 슬릿을 가진 화소전극을 형성하며, 화소전극의 슬릿 내에 상기 제 2 보호층으로 이루어진 절연막패턴을 형성하는 단계를 포함하여 구성될 수 있다.

[0055] 이때, 본 발명의 일 실시예에 따른 프린지 필드형 액정표시장치의 제조방법은 제 3 마스크공정을 이용하여 제 1 기관의 데이터패드부 및 게이트패드부의 제 2 층간절연층을 제거하여 데이터패드부 및 게이트패드부의 제 1 층간절연층을 노출시키는 단계를 추가로 포함할 수 있다.

[0056] 제 3 마스크공정은 제 2 층간절연층 위에 제 3 도전막을 형성하는 단계, 제 3 도전막 위에 제 1 감광막패턴 및 제 2 감광막패턴을 형성하는 단계, 제 1 감광막패턴 및 제 2 감광막패턴을 마스크로 제 3 도전막의 일부영역을 선택적으로 패터닝하여 화소부에 상기 제 3 도전막으로 이루어진 도전막패턴을 형성하는 단계 및 제 1 감광막패턴과 제 2 감광막패턴 및 도전막패턴을 마스크로 제 2 층간절연층의 일부영역을 선택적으로 패터닝하여 드레인전극 상부에 제 1 층간절연층의 일부를 노출시키는 제 1 콘택홀을 형성하는 단계를 포함할 수 있다.

[0057] 이때, 제 3 도전막의 패터닝은 습식각을 이용하며, 습식각 시 도전막패턴의 일부가 오버-에칭되어 제 1 감광막패턴 및 제 2 감광막패턴의 측면으로부터 후퇴할 수 있다.

[0058] 제 2 층간절연층의 패터닝은 건식각을 이용하며, 건식각 시 제 1 감광막패턴 및 제 2 감광막패턴의 일부가 제거되어 제 1 감광막패턴 및 제 2 감광막패턴보다 폭 및 두께가 줄어든 제 3 감광막패턴 및 제 4 감광막패턴을 형성할 수 있다.

[0059] 이때, 제 3 감광막패턴 및 제 4 감광막패턴을 마스크로 도전막패턴을 2차로 패터닝하여 화소부에 도전막으로 이루어진 공통전극을 형성할 수 있다.

[0060] 제 4 마스크공정은 제 2 보호층 위에 감광막패턴을 형성하는 단계, 감광막패턴을 마스크로 제 1 층간절연층과 제 1 보호층 및 제 2 보호층의 일부영역을 선택적으로 패터닝하여 제 1 콘택홀 내에 드레인전극의 일부를 노출시키는 제 2 콘택홀을 형성하는 단계, 애싱공정을 통해 감광막패턴의 두께 일부를 제거하는 단계, 제 2 보호층의 일부영역을 선택적으로 패터닝하여 애싱된 감광막패턴 하부에 절연막패턴을 형성하는 단계, 애싱된 감광막패턴이 남아있는 상태에서 그 위에 도전막을 형성하는 단계 및 리프트-오프공정을 통해 애싱된 감광막패턴과 애싱된 감광막패턴 상부의 도전막을 선택적으로 제거하여 화소부에 도전막으로 이루어진 화소전극을 형성하는 단계를 포함할 수 있다.

발명의 효과

[0061] 상술한 바와 같이, 본 발명의 일 실시예에 따른 프린지 필드형 액정표시장치 및 그 제조방법은 4번의 마스크공정으로 어레이 기관을 제조함에 따라 제조비용이 절감되는 동시에 생산력이 증가되는 효과를 제공한다.

[0062] 또한, 본 발명의 일 실시예에 따른 프린지 필드형 액정표시장치 및 그 제조방법은 자기-정렬로 미세 오버코트층을 형성함에 따라 투과율을 향상시킬 수 있다. 따라서, 고해상도를 구현하여 화질을 향상시키는 효과를 제공한다.

한다.

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구조를 개략적으로 보여주는 분해사시도.

도 2는 횡전계방식 액정표시장치의 어레이 기관 일부를 개략적으로 보여주는 단면도.

도 3a 내지 도 3f는 도 2에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도.

도 4는 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 보여주는 단면도.

도 5a 내지 도 5d는 도 4에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도.

도 6a 내지 도 6f는 도 5c에 도시된 제 3 마스크공정을 구체적으로 보여주는 단면도.

도 7a 내지 도 7h는 도 5d에 도시된 제 4 마스크공정을 구체적으로 보여주는 단면도.

도 8은 도 7g에 도시된 어레이 기관의 A부분을 확대하여 보여주는 단면도.

발명을 실시하기 위한 구체적인 내용

이하, 첨부한 도면을 참조하여 본 발명에 따른 프린지 필드형 액정표시장치 및 그 제조방법의 바람직한 실시예를 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.

소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.

공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다.

본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

도 4는 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 보여주는 단면도이다.

이때, 도 4는 화소전극과 공통전극 사이에 형성되는 프린지 필드가 슬릿을 관통하여 화소영역 및 화소전극 상에 위치하는 액정분자를 구동시킴으로써 화상을 구현하는 프린지 필드형 액정표시장치의 어레이 기관 일부를 예를 들어 보여주고 있다.

프린지 필드형 액정표시장치는 액정분자가 수평으로 배향되어 있는 상태에서 하부에 공통전극이 형성되는 한편 상부에 슬릿을 가진 화소전극이 형성됨에 따라 전계가 수평 및 수직 방향으로 발생하여 액정분자가 트위스트(twist)와 틸트(tilt)되어 구동된다.

이때, 도면에는 설명의 편의를 위해 화소부와 데이터패드부 및 게이트패드부를 포함하는 하나의 화소를 보여주

고 있다. 즉, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 보여주고 있다.

- [0073] 도 4를 참조하면, 본 발명의 실시예에 따른 어레이 기판(110)에는 종횡으로 배열되어 화소영역을 정의하는 게이트라인(미도시)과 데이터라인(117)이 형성되어 있다.
- [0074] 또한, 게이트라인과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 화소영역 내에는 프린지 필드를 발생시켜 액정분자를 구동시키는 공통전극(108)과 다수의 슬릿(118s)을 가진 화소전극(118)이 형성되어 있다.
- [0075] 박막 트랜지스터는 게이트라인에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스전극(122) 및 제 2 컨택홀(즉, 드레인 컨택홀)을 통해 화소전극(118)에 전기적으로 접속된 드레인전극(123)으로 구성된다. 또한, 박막 트랜지스터는 게이트전극(121)과 소오스/드레인전극(122, 123) 사이의 절연을 위한 게이트절연층(115a) 및 게이트전극(121)에 공급되는 게이트 전압에 의해 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브층(124)을 포함한다.
- [0076] 이때, 액티브층(124)의 소오스/드레인영역은 오믹-콘택층(125)을 통해 소오스/드레인전극(122, 123)과 오믹-컨택을 형성한다.
- [0077] 데이터라인(117) 하부에는 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(124') 및 제 1 n+ 비정질 실리콘 박막패턴(125')이 형성되어 있다.
- [0078] 전술한 바와 같이 화소영역 내에는 프린지 필드를 발생시키기 위해 공통전극(108)과 화소전극(118)이 형성되어 있는데, 이때 사각형 형태의 화소전극(118)은 공통전극(108)과 함께 프린지 필드를 발생시키기 위해 화소전극(118) 내에 다수의 슬릿(118s)을 포함한다.
- [0079] 다만, 본 발명이 공통전극(108)과 화소전극(118)의 구조에 한정되는 것은 아니며, 본 발명은 하부에 화소전극이 형성되고 상부에 다수의 슬릿을 가진 공통전극이 형성되는 경우에도 적용 가능하다.
- [0080] 이때, 화소전극(118)의 슬릿(118s) 내에는 절연물질로 이루어지며, 화소전극(118)과 일정 간격을 유지하며 슬릿(118s)과 나란한 방향으로 배치된 절연막패턴(115)이 형성되어 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 절연막패턴(115)은 화소전극(118)과 접촉할 수도 있다.
- [0081] 공통전극(108)은 제 2 컨택홀 영역을 포함하는 제 1 컨택홀(즉, 오버코트층 홀) 영역을 제외한 화소부 전체에 걸쳐 단일 패턴으로 형성될 수 있다.
- [0082] 이때, 본 발명의 실시예에 따른 공통전극(108)은 드레인 컨택홀 내에 형성된 화소전극(118)과 단락(short)되지 않도록 화소전극(118)으로부터 일정 간격 떨어져 형성될 수 있다. 즉, 공통전극(108)은 2번의 패터닝을 통해 제 2 층간절연층(115c)의 에지(edge)로부터 일정 간격 떨어지도록 형성될 수 있다.
- [0083] 공통전극(108)은 제 1 층간절연층(115b)과 제 2 층간절연층(115c) 위에 형성된다.
- [0084] 이때, 제 1 층간절연층(115b)은 버퍼 절연층이 역할을 한다.
- [0085] 오버코트층으로서의 제 2 층간절연층(115c)은 고해상도와 투과율 증가를 위해 포토 아크릴(photo acrylic)과 같은 유기 절연물질로 이루어질 수 있다.
- [0086] 이때, 오버코트층 홀 내에는 제 1 보호층(115d)이 채워지며, 제 1 보호층(115d)의 일부가 제거되어 드레인 컨택홀이 형성된다.
- [0087] 이와 같이 구성된 어레이 기판(110)의 가장자리 영역에는 데이터라인(117)과 게이트라인에 전기적으로 접속하는 데이터패드전극(127p)과 게이트패드전극(126p)이 각각 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 데이터신호와 주사신호를 데이터라인(117)과 게이트라인에 각각 전달한다.
- [0088] 즉, 데이터라인(117)과 게이트라인은 구동회로부 쪽으로 연장되어 해당하는 데이터패드라인(117p)과 게이트패드라인(116p)에 각각 연결된다. 그리고, 데이터패드라인(117p)과 게이트패드라인(116p)은 데이터패드라인(117p)과 게이트패드라인(116p)에 각각 전기적으로 접속된 데이터패드전극(127p)과 게이트패드전극(126p)을 통해 구동회로부로부터 각각 데이터신호와 주사신호를 인가 받는다.
- [0089] 이때, 데이터패드라인(117p) 하부에는 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 제 2 비정질

실리콘 박막패턴(124") 및 제 2 n+ 비정질 실리콘 박막패턴(125")이 형성되어 있다.

- [0090] 전술한 바와 같이 제 2 층간절연층(115c)은 데이터라인(117)과 공통전극(108) 사이의 오버랩에 의한 기생 커패시턴스(parasitic capacitance)를 감소시키기 위해 포토 아크릴과 같은 낮은 유전율을 가진 유기 절연물질을 이용하여 형성할 수 있다. 또한, 제 1 층간절연층(115b) 및 제 1 보호층(115d)은 실리콘질화막(SiNx), 실리콘산화막(SiO₂)과 같은 무기 절연물질로 형성할 수 있다.
- [0091] 이때, 본 발명의 실시예의 경우에는 데이터패드부 및 게이트패드부의 제 2 층간절연층(115c)이 제거되어 있는 것을 특징으로 한다. 이에 따라 패드부의 리페어(repair) 시 유기 절연물질로 이루어진 제 2 층간절연층(115c)이 뜯기는 불량을 원천적으로 방지할 수 있다.
- [0092] 또한, 데이터패드전극(127p)과 게이트패드전극(126p) 주위의 제 1 보호층(115d) 위에는 절연막패턴(115)과 동일한 절연물질로 이루어진 제 2 보호층(115e)이 형성되어 있다.
- [0093] 절연막패턴(115)을 포함하는 제 2 보호층(115e)은 스퍼터를 이용하여 다공성(porous)을 가지도록 형성할 수 있다. 이에 따라 하부 제 1 보호층(115c)보다 식각속도가 빨라 감광막패턴 하부에 언더 컷(under cut)을 형성할 수 있다.
- [0094] 이와 같이 구성된 본 발명의 실시예에 따른 프린지 필드형 액정표시장치는 하프-톤(half tone) 마스크 또는 회절 마스크(이하, 하프-톤 마스크를 지칭하는 경우에는 회절 마스크를 포함하는 것으로 한다)를 이용함으로써 총 4번의 마스크공정을 통해 어레이 기판을 제작하는 것을 특징으로 한다.
- [0095] 이를 위해 제 3 마스크공정에서 2번의 식각으로 공통전극을 패터닝하며, 1차 패터닝된 공통전극을 마스크로 오버코트층을 식각하여 오버코트층 홀을 형성하는 것을 특징으로 한다. 또한, 제 4 마스크공정에서 하프-톤 마스크와 리프트-오프공정을 이용하여 보호층 홀과 화소전극 및 패드부전극을 동시에 형성하는 것을 특징으로 한다.
- [0096] 이때, 리프트-오프공정을 원활하게 진행하기 위해 보호층을 이중, 즉 제 1 보호층과 제 2 보호층으로 형성하는 것을 특징으로 한다.
- [0097] 이와 같이 본 발명의 실시예에 따른 프린지 필드형 액정표시장치는 고해상도와 고투과율의 장점은 그대로 유지하는 동시에 어레이 기판을 제조하는데 필요한 마스크 수는 감소하게 되어 제조비용이 절감되는 동시에 생산력이 증가한다.
- [0098] 또한, 감광막패턴 대신에 공통전극을 마스크로 오버코트층을 식각하여 오버코트층 홀을 형성함으로써 자기-정렬에 의해 오버코트층 홀의 크기를 축소할 수 있다. 따라서, 고해상도에서 투과도 저하를 방지할 수 있다.
- [0099] 이하, 이와 같이 구성되는 본 발명의 실시예에 따른 프린지 필드형 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0100] 도 5a 내지 도 5d는 도 4에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 단면도이다.
- [0101] 이때, 좌측에는 화소부의 어레이 기판을 제조하는 공정을 보여주며, 우측에는 차례대로 데이터패드부와 게이트패드부의 어레이 기판을 제조하는 공정을 보여주고 있다.
- [0102] 도 5a에 도시된 바와 같이, 유리wa와 같은 투명한 절연물질로 이루어진 어레이 기판(110)의 화소부에 게이트전극(121), 게이트라인(미도시) 및 공통라인(미도시)을 형성한다. 그리고, 어레이 기판(110)의 게이트패드부에 게이트패드라인(116p)을 형성한다.
- [0103] 게이트전극(121), 게이트라인, 공통라인 및 게이트패드라인(116p)은 제 1 도전막을 어레이 기판(110) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성한다.
- [0104] 제 1 도전막은 게이트전극(121), 게이트라인, 공통라인 및 게이트패드라인(116p)을 형성하기 위해 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 제 1 도전막은 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0105] 다음으로, 도 5b에 도시된 바와 같이, 게이트전극(121), 게이트라인, 공통라인 및 게이트패드라인(116p)이 형성된 어레이 기판(110) 전면에 게이트절연층(115a), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한다.

- [0106] 제 2 도전막은 소오스/드레인전극과 데이터라인 및 데이터패드라인을 형성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 폴리브덴 및 폴리브덴 합금 등과 같은 저저항 불투명 도전물질로 이루어질 수 있다. 또한, 제 2 도전막은 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0107] 이후, 포토리소그래피 공정(제 2 마스크공정)을 통해 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거함으로써 게이트전극(121) 위에 게이트절연층(115a)이 개재된 상태에서 비정질 실리콘 박막으로 이루어진 액티브층(124)을 형성한다.
- [0108] 이와 동시에 액티브층(124) 상부에 제 2 도전막으로 이루어진 소오스전극(122)과 드레인전극(123)을 형성한다.
- [0109] 또한, 제 2 마스크공정을 통해 어레이 기판(110)의 데이터라인 영역에 제 2 도전막으로 이루어진 데이터라인(117)을 형성한다. 이와 동시에 어레이 기판(110)의 데이터패드부에 제 2 도전막으로 이루어진 데이터패드라인(117p)을 형성한다.
- [0110] 이때, 액티브층(124) 상부에는 n+ 비정질 실리콘 박막으로 이루어지며, 액티브층(124)의 소오스/드레인영역과 소오스/드레인전극(122, 123) 사이를 오믹-컨택시키는 오믹-컨택층(125)이 형성된다.
- [0111] 또한, 데이터라인(117) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(124') 및 제 1 n+ 비정질 실리콘 박막패턴(125')이 형성된다.
- [0112] 또한, 데이터패드라인(117p) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터패드라인(117p)과 실질적으로 동일한 형태로 패터닝된 제 2 비정질 실리콘 박막패턴(124'') 및 제 2 n+ 비정질 실리콘 박막패턴(125'')이 형성된다.
- [0113] 이때, 본 발명의 실시예에 따른 제 2 마스크공정은 하프-톤 마스크를 이용할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0114] 다음으로, 도 5c에 도시된 바와 같이, 액티브층(124), 소오스/드레인전극(122, 123), 데이터라인(117) 및 데이터패드라인(117p)이 형성된 어레이 기판(110) 전면에 제 1 층간절연층(115b)과 제 2 층간절연층(115c) 및 제 3 도전막을 형성한다.
- [0115] 이때, 제 1 층간절연층(115b)은 실리콘질화막 또는 실리콘산화막과 같은 무기 절연물질로 이루어질 수 있다. 제 1 층간절연층(115b)은 버퍼 절연층이 역할을 한다.
- [0116] 오버코트층으로서 제 2 층간절연층(115c)은 고해상도와 투과율 증가를 위해 포토 아크릴과 같은 낮은 유전율을 가진 유기 절연물질로 이루어질 수 있다.
- [0117] 제 3 도전막은 공통전극을 형성하기 위해 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전성 금속물질로 이루어질 수 있다.
- [0118] 이후, 포토리소그래피 공정(제 3 마스크공정)을 통해 제 2 층간절연층(115c)과 제 3 도전막을 선택적으로 제거하여 화소부의 제 1 층간절연층(115b)의 일부를 노출시키는 제 1 컨택홀(즉, 오버코트층 홀)(140a)을 형성한다.
- [0119] 이와 동시에 어레이 기판(110)의 화소부에 제 3 도전막으로 이루어진 공통전극(108)을 형성한다.
- [0120] 또한, 제 3 마스크공정을 통해 데이터패드부와 게이트패드부의 제 2 층간절연층(115c)과 제 3 도전막을 제거하여 데이터패드부와 게이트패드부를 오픈(open)시킨다. 이에 따라 데이터패드부와 게이트패드부의 제 1 층간절연층(115b)이 노출된다.
- [0121] 이때, 제 3 마스크공정에서는 2번의 식각으로 공통전극(108)을 패터닝하며, 1차 패터닝된 공통전극(108)을 마스크로 제 2 층간절연층(115c)을 식각하여 제 1 컨택홀(140a)을 형성하는 것을 특징으로 한다. 이에 따라 제 1 컨택홀(140a)의 크기를 축소할 수 있으며, 이를 다음의 도면을 참조하여 상세히 설명한다.
- [0122] 도 6a 내지 도 6f는 도 5c에 도시된 제 3 마스크공정을 구체적으로 보여주는 단면도이다.
- [0123] 도 6a에 도시된 바와 같이, 어레이 기판(110) 전면에 제 1 층간절연층(115b)과 제 2 층간절연층(115c) 및 제 3 도전막(130)을 형성한다.
- [0124] 전술한 바와 같이 제 1 층간절연층(115b)은 실리콘질화막 또는 실리콘산화막과 같은 무기 절연물질로 이루어질 수 있다. 제 1 층간절연층(115b)은 버퍼 절연층이 역할을 한다.

- [0125] 오버코트층으로서 제 2 층간절연층(115c)은 고해상도와 투과율 증가를 위해 포토 아크릴과 같은 낮은 유전율을 가진 유기 절연물질로 이루어질 수 있다.
- [0126] 제 3 도전막(130)은 공통전극을 형성하기 위해 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전성 금속물질로 이루어질 수 있다.
- [0127] 다음으로, 도 6b에 도시된 바와 같이, 제 3 도전막(130)이 형성된 어레이 기판(110) 위에 포토레지스트와 같은 감광성물질로 이루어진 감광막(160)을 형성한 후 소정의 마스크(170)를 통해 감광막(160)에 선택적으로 광을 조사한다.
- [0128] 이때, 마스크(170)에는 조사된 광을 모두 투과시키는 투과영역(I)과 조사된 모든 광을 차단하는 차단영역(II)이 마련되어 있으며, 마스크(170)를 투과한 광만이 감광막(160)에 조사된다.
- [0129] 이어서, 마스크(170)를 통해 노광된 감광막(160)을 현상하고 나면, 도 6c에 도시된 바와 같이, 차단영역(II)을 통해 광이 차단된 영역에는 소정 두께의 제 1 감광막패턴(160a) 및 제 2 감광막패턴(160b)이 남아있게 되고, 광이 투과된 투과영역(I)에는 감광막이 완전히 제거되어 제 3 도전막(130) 표면이 노출되게 된다.
- [0130] 다음으로, 도 6d에 도시된 바와 같이, 제 1 감광막패턴(160a) 및 제 2 감광막패턴(160b)을 마스크로 하여, 그 하부에 형성된 제 3 도전막의 일부영역을 선택적으로 제거(1차 패터닝)하면, 화소부에 제 3 도전막으로 이루어진 도전막패턴(130')이 형성된다.
- [0131] 이때, 제 3 도전막의 패터닝은 습식각(wet etching)을 이용할 수 있다.
- [0132] 이때, 도전막패턴(130')은 일부 오버-에칭되어 제 1 감광막패턴(160a) 및 제 2 감광막패턴(160b)의 측면으로부터 후퇴한 형태를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0133] 그리고, 도 6e에 도시된 바와 같이, 계속해서 제 1 감광막패턴(160a)과 제 2 감광막패턴(160b) 및 도전막패턴(130')을 마스크로 하여, 그 하부의 제 2 층간절연층(115c)의 일부영역을 선택적으로 제거하게 되면, 드레인전극(123) 상부에 제 1 층간절연층(115b)의 일부를 노출시키는 제 1 컨택홀(즉, 오버코트층 홀)(140a)이 형성된다.
- [0134] 이와 동시에 데이터패드부와 게이트패드부의 제 2 층간절연층(115c)이 제거됨에 따라 데이터패드부와 게이트패드부가 오픈된다. 이에 따라 데이터패드부와 게이트패드부의 제 1 층간절연층(115b)이 노출된다.
- [0135] 이때, 제 2 층간절연층(115c)의 패터닝은 건식각(dry etching)을 이용할 수 있다.
- [0136] 이때, 기존에는 오버코트층 홀의 형성에 감광막패턴을 마스크로 이용하여 건식각을 진행하기 때문에 오버코트층 홀의 크기를 축소하는데 한계가 있었다. 이는 건식각 시 오버코트층, 즉 제 2 층간절연층뿐만 아니라 감광막패턴의 폭 및 두께 일부도 제거되기 때문이다.
- [0137] 그러나, 본 발명과 같이 제 1 감광막패턴(160a) 및 제 2 감광막패턴(160b) 하부에 금속물질로 이루어진 도전막패턴(130')이 존재하는 경우에는 도전막패턴(130')의 형태대로 제 2 층간절연층(115c)을 패터닝할 수 있다. 그 결과 미세 오버코트층 홀(140a)의 형성이 가능하다.
- [0138] 이는 비록 건식각 시 제 1 감광막패턴(160a) 및 제 2 감광막패턴(160b)의 일부가 제거되어 제 3 감광막패턴(160a') 및 제 4 감광막패턴(160b')으로 그 폭 및 두께가 줄어들더라도 그 하부에 존재하는 도전막패턴(130')이 마스크로 작용하기 때문이다.
- [0139] 다음으로, 도 6f에 도시된 바와 같이, 제 3 감광막패턴(160a') 및 제 4 감광막패턴(160b')을 마스크로 도전막패턴(130')을 2차로 패터닝하여 화소부에 제 3 도전막으로 이루어진 공통전극(108)을 형성한다.
- [0140] 이때, 제 3 도전막의 패터닝은 습식각(wet etching)을 이용할 수 있다.
- [0141] 이때, 공통전극(108)은 제 1 컨택홀(140a) 영역을 제외한 화소부 전체에 걸쳐 단일 패턴으로 형성될 수 있다.
- [0142] 또한, 본 발명의 실시예에 따른 공통전극(108)은 드레인 컨택홀 내에 형성될 화소전극과 단락(short)되지 않도록 화소전극으로부터 일정 간격 떨어져 형성될 수 있다. 즉, 공통전극(108)은 전술한 2차 패터닝을 통해 제 2 층간절연층(115c)의 에지(edge)로부터 일정 간격 떨어지도록 형성된다. 또한, 공통전극(108)은 제 3 감광막패턴(160a') 및 제 4 감광막패턴(160b')의 에지로부터 일정 간격 떨어지도록 형성된다. 그 결과 화소전극으로부터 일정 간격 떨어져 위치할 수 있다.

- [0143] 다음으로, 도 5d에 도시된 바와 같이, 공통전극(108)이 형성된 어레이 기관(110) 전면에 제 1 보호층(115d) 및 제 2 보호층(115e)을 형성한다.
- [0144] 이후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 선택적으로 패터닝함으로써 제 1 콘택홀 내에 드레인전극(123)의 일부를 노출시키는 제 2 콘택홀을 형성한다.
- [0145] 이와 동시에 데이터패드부 및 게이트패드부 각각에 데이터패드라인(117p) 및 게이트패드라인(116p)의 일부를 노출시키는 제 3 콘택홀 및 제 4 콘택홀을 형성한다.
- [0146] 다음으로, 애싱공정을 진행한 후에 애싱된 감광막패턴이 남아있는 상태에서 어레이 기관(110) 전면에 제 4 도전막을 증착한다.
- [0147] 이후, 리프트-오프공정을 통해 제 4 도전막 및 감광막패턴을 선택적으로 제거함으로써 화소부에 제 2 콘택홀(즉, 드레인 콘택홀)을 통해 드레인전극(123)과 전기적으로 접속하는 화소전극(118)을 형성한다.
- [0148] 이와 동시에 데이터패드부 및 게이트패드부 각각에 제 3 콘택홀 및 제 4 콘택홀을 통해 데이터패드라인(117p) 및 게이트패드라인(116p)과 전기적으로 접속하는 데이터패드전극(127p) 및 게이트패드전극(126p)을 형성한다.
- [0149] 이때, 사각형 형태의 화소전극(118)은 공통전극(108)과 함께 프린지 필드를 발생시키기 위해 화소전극(118) 내에 다수의 슬릿(118s)을 포함한다.
- [0150] 이때, 화소전극(118)의 슬릿(118s) 내에는 제 2 보호층(115e)을 구성하는 절연물질로 이루어지며, 슬릿(118s)과 나란한 방향으로 배치된 절연막패턴(115)이 형성된다.
- [0151] 이와 같이 제 4 마스크공정은 하프-톤 마스크와 리프트-오프공정을 이용하게 되며, 화소전극(118)과 데이터패드전극(127p) 및 게이트패드전극(126p)의 형성과 동시에 제 2 콘택홀 내지 제 4 콘택홀이 형성된 보호층(115d, 115e)이 형성된다.
- [0152] 이하, 상기의 제 4 마스크공정을 도면을 참조하여 상세히 설명한다.
- [0153] 도 7a 내지 도 7h는 도 5d에 도시된 제 4 마스크공정을 구체적으로 보여주는 단면도이다.
- [0154] 그리고, 도 8은 도 7g에 도시된 어레이 기관의 A부분을 확대하여 보여주는 단면도이다.
- [0155] 도 7a에 도시된 바와 같이, 제 1 콘택홀 내부를 포함하는 어레이 기관(110) 전면에 제 1 보호층(115d) 및 제 2 보호층(115e)을 형성한다.
- [0156] 제 1 보호층(115d) 및 제 2 보호층(115e)은 실리콘질화막 또는 실리콘산화막과 같은 무기절연막으로 이루어질 수 있다.
- [0157] 이때, 제 2 보호층(115e)은 후술할 리프트-오프공정을 통해 화소전극(118)을 원활하게 형성하기 위한 스트리퍼(stripper)의 침투경로를 확보하기 위해 형성할 수 있다. 이 경우 화소전극용 제 4 도전막(150)의 두께(d1)보다 두께(d2)를 두껍게 하는 것이 바람직하다(도 7a 및 도 8 참조).
- [0158] 또한, 제 2 보호층(115e)은 스퍼터를 이용하여 다공성(porous)을 가지도록 형성할 수 있다. 이에 따라 하부 제 1 보호층(115c)보다 식각속도가 빨라 감광막패턴 하부에 언더 컷(under cut)을 형성할 수 있다.
- [0159] 다음으로, 도 7b에 도시된 바와 같이, 제 2 보호층(115e)이 형성된 어레이 기관(110) 위에 포토레지스트와 같은 감광성물질로 이루어진 감광막(260)을 형성한다.
- [0160] 이후, 본 발명의 실시예에 따른 하프-톤 마스크(270)를 통해 감광막(260)에 선택적으로 광을 조사한다.
- [0161] 이때, 하프-톤 마스크(270)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 하프-톤 마스크(270)를 투과한 광만이 감광막(260)에 조사된다.
- [0162] 이어서, 하프-톤 마스크(270)를 통해 노광된 감광막(260)을 현상하고 나면, 도 7c에 도시된 바와 같이, 차단영역(III)과 제 2 투과영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(260a) 내지 제 6 감광막패턴(260f)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 감광막이 완전히 제거되어 제 2 보호층(115e) 표면이 노출된다.
- [0163] 이때, 차단영역(III)에 형성된 제 1 감광막패턴(260a) 내지 제 3 감광막패턴(260c)은 제 2 투과영역(II)을 통해

형성된 제 4 감광막패턴(260d) 내지 제 6 감광막패턴(260f)보다 두껍게 형성된다. 또한, 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 타입의 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 타입의 포토레지스트를 사용하여도 무방하다.

- [0164] 다음으로, 도 7d에 도시된 바와 같이, 제 1 감광막패턴(260a) 내지 제 6 감광막패턴(260f)을 마스크로 하여, 그 하부에 형성된 제 1 층간절연층(115b)과 제 1 보호층(115d) 및 제 2 보호층(115e)의 일부영역을 선택적으로 제거하면, 제 1 컨택홀 내에 드레인전극(123)의 일부를 노출시키는 제 2 컨택홀(140b)이 형성된다.
- [0165] 이와 동시에 제 1 감광막패턴(260a) 내지 제 6 감광막패턴(260f)을 마스크로 하여, 그 하부에 형성된 게이트절연층(115a), 제 1 층간절연층(115b), 제 1 보호층(115d) 및 제 2 보호층(115e)의 일부영역을 선택적으로 제거하면, 데이터패드부 및 게이트패드부 각각에 데이터패드라인(117p) 및 게이트패드라인(116p)의 일부를 노출시키는 제 3 컨택홀(140c) 및 제 4 컨택홀(140d)이 형성된다.
- [0166] 이후, 제 1 감광막패턴(260a) 내지 제 6 감광막패턴(260f)의 두께 일부를 제거하는 애싱공정을 진행하게 되면, 도 7e에 도시된 바와 같이, 제 2 투과영역(II)의 제 4 감광막패턴 내지 제 6 감광막패턴이 완전히 제거된다.
- [0167] 이때, 제 1 감광막패턴 내지 제 3 감광막패턴은 제 4 감광막패턴 내지 제 6 감광막패턴의 두께만큼이 제거된 제 7 감광막패턴(260a') 내지 제 9 감광막패턴(260c')으로 차단영역(III)에 대응하는 영역에만 남아있게 된다. 이때, 실질적으로 제 7 감광막패턴(260a') 내지 제 9 감광막패턴(260c')이 남아있지 않은 제 1 투과영역(I)과 제 2 투과영역(II)은 후술할 리프트-오프공정을 통해 화소전극과 데이터패드전극 및 게이트패드전극이 형성될 영역을 의미한다.
- [0168] 다음으로, 도 7f에 도시된 바와 같이, 습식각을 통해 그 하부의 제 2 보호층(115e)의 일부영역을 선택적으로 제거하여 제 7 감광막패턴(260a') 하부에 제 2 보호층(115e)을 구성하는 절연물질로 이루어진 절연막패턴(115)을 형성한다.
- [0169] 이때, 절연막패턴(115)은 그 상부의 제 7 감광막패턴(260a')의 폭보다 좁은 폭을 가지도록 측면으로 ΔP 만큼 오버-에칭되어 스트리퍼(striper)의 침투경로를 확보하게 된다(도 7f 및 도 8 참조).
- [0170] 다음으로, 도 7g에 도시된 바와 같이, 제 7 감광막패턴(260a') 내지 제 9 감광막패턴(260c')이 남아있는 상태에서 어레이 기판(110) 전면에 제 4 도전막(150)을 증착한다.
- [0171] 이때, 제 4 도전막(150)은 화소전극과 데이터패드전극 및 게이트패드전극을 형성하기 위해 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전성 금속물질로 이루어질 수 있다.
- [0172] 이후, 소정의 열처리공정을 진행할 수 있는데, 이는 후술할 리프트-오프공정 시 제 7 감광막패턴(260a') 내지 제 9 감광막패턴(260c') 표면에 크랙을 형성하여 리프트-오프를 원활하게 하기 위함이다. 열처리는 오븐을 이용하여 200℃ 내외에서 진행할 수 있다.
- [0173] 여기서 도 7g를 참조하면, 전술한 바와 같이 공통전극(108)은 제 2 층간절연층(115c)의 에지로부터 일정 간격 떨어져 있어 화소전극용 제 4 도전막(150)과 전기적으로 절연될 수 있다.
- [0174] 이때, 전술한 바와 같이 절연막패턴(115)은 후술할 리프트-오프공정을 통해 화소전극을 원활하게 형성하기 위한 스트리퍼의 침투경로를 확보하기 위해 화소전극용 제 4 도전막(150)의 두께(d1)보다 그 두께(d2)를 두껍게 형성하는 것이 바람직하다(도 8 참조).
- [0175] 다음으로, 도 7h에 도시된 바와 같이, 리프트-오프공정을 통해 제 7 감광막패턴 내지 제 9 감광막패턴을 제거하게 되는데, 이때 제 1 투과영역(I)과 제 2 투과영역(II) 이외 부분에 남아있는 제 4 도전막이 제 7 감광막패턴 내지 제 9 감광막패턴과 함께 제거된다.
- [0176] 그 결과 어레이 기판(110)의 화소부, 즉 화소영역에 제 4 도전막으로 이루어지며, 제 2 컨택홀을 통해 드레인전극(123)과 전기적으로 접속하는 화소전극(118)이 형성된다.
- [0177] 이때, 화소전극(118) 내에 다수의 슬릿(118s)을 포함하고 있으며, 화소전극(118)의 슬릿(118s) 내에는 절연물질로 이루어지며, 화소전극(118)과 일정 간격을 유지하며 슬릿(118s)과 나란한 방향으로 배치된 절연막패턴(115)이 형성되어 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 절연막패턴(115)은 화소전극(118)과 접촉할 수도 있다.
- [0178] 이와 동시에 어레이 기판(110)의 데이터패드부 및 게이트패드부 각각에는 제 3 컨택홀 및 제 4 컨택홀을 통해

데이터패드라인(117p) 및 게이트패드라인(116p)과 전기적으로 접속하는 데이터패드전극(127p) 및 게이트패드전극(126p)이 형성된다.

[0179] 이와 같이 구성된 본 발명의 실시예의 어레이 기판은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러필터 기판과 대향하여 합착되며, 이때 컬러필터 기판에는 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터가 형성되어 있다.

[0180] 이때, 컬러필터 기판과 어레이 기판의 합착은 컬러필터 기판 또는 어레이 기판에 형성된 합착 키(align key)를 통해 이루어진다.

[0181] 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 일 예로 구동 박막 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

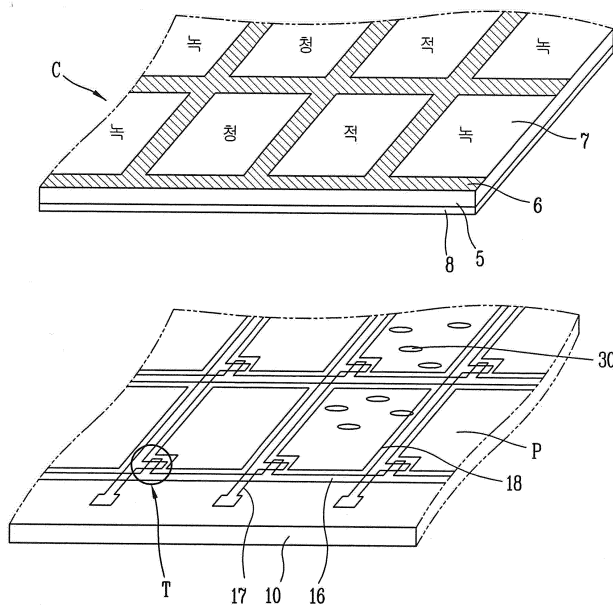
[0182] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

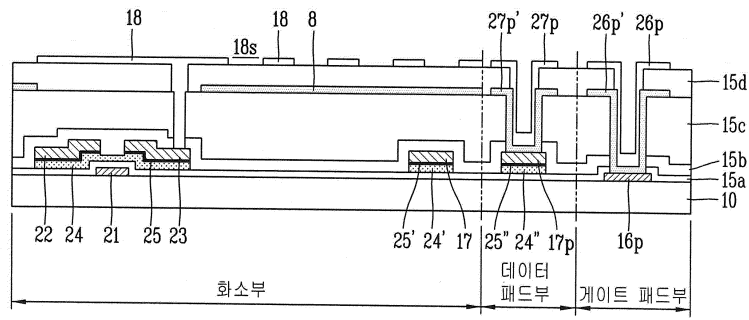
[0183] 108 : 공통전극 115 : 절연막패턴
115a : 게이트절연층 115b, 115c : 층간절연층
115d, 115e : 보호층 118 : 화소전극
118s : 슬릿 121 : 게이트전극
122 : 소오스전극 123 : 드레인전극
124 : 액티브층

도면

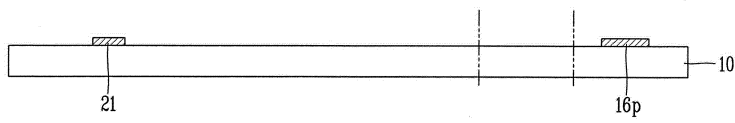
도면1



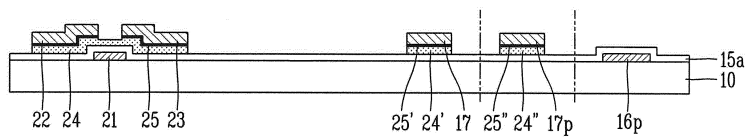
도면2



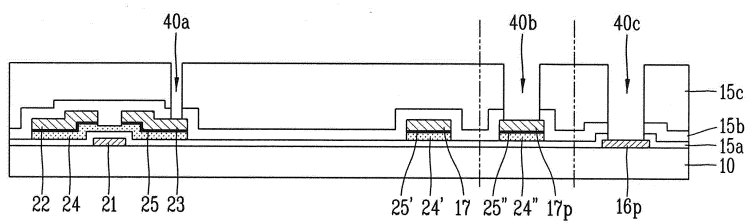
도면3a



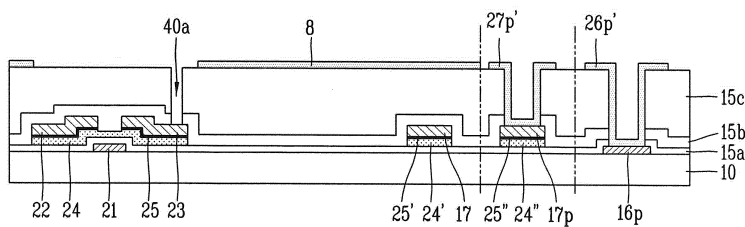
도면3b



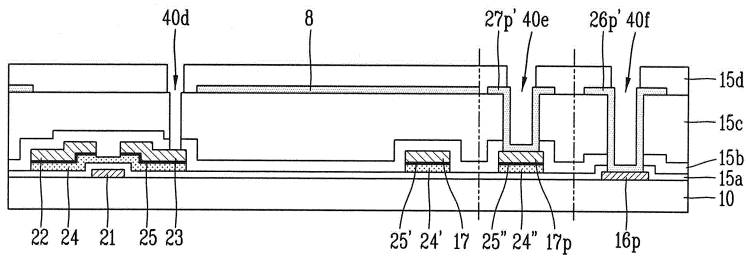
도면3c



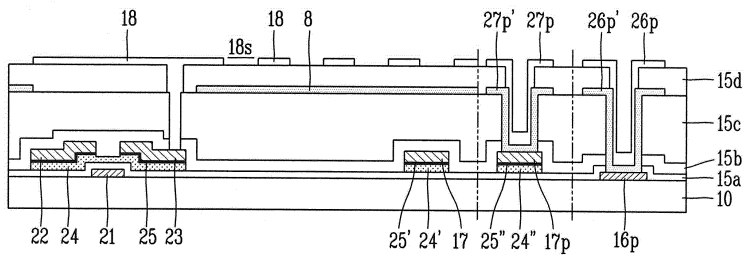
도면3d



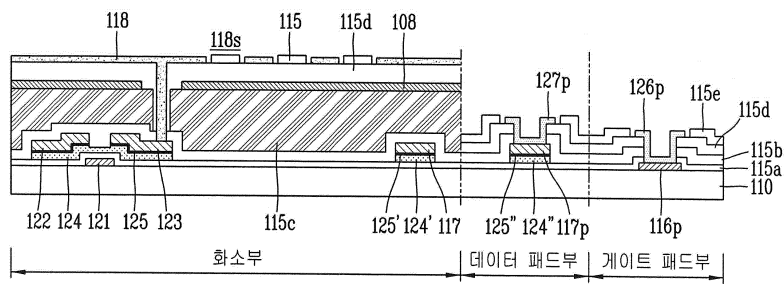
도면3e



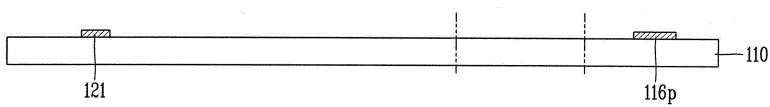
도면3f



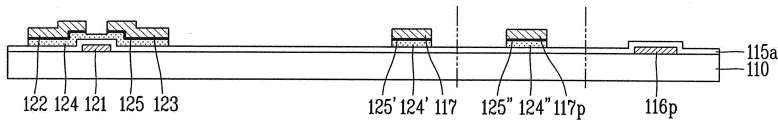
도면4



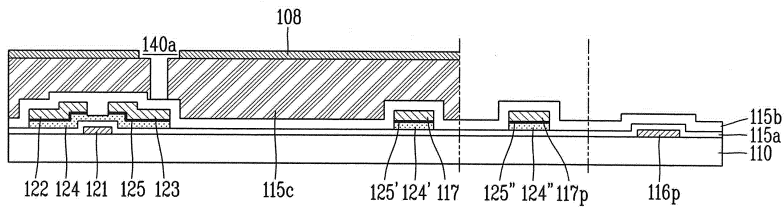
도면5a



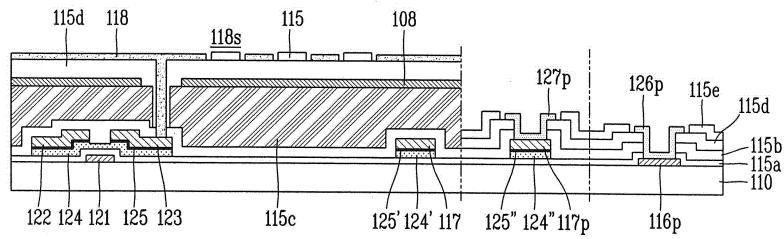
도면5b



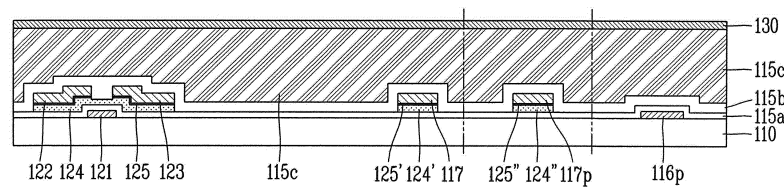
도면5c



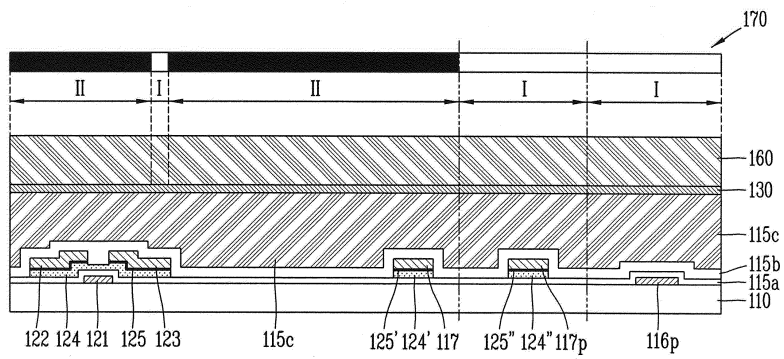
도면5d



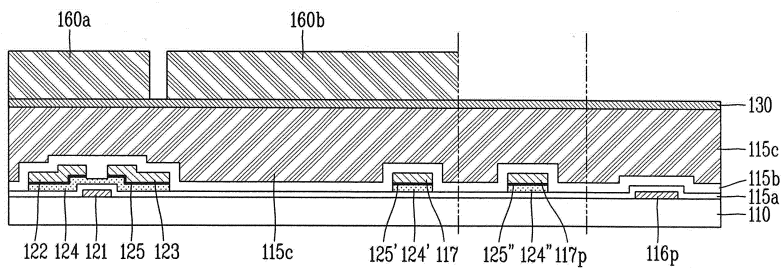
도면6a



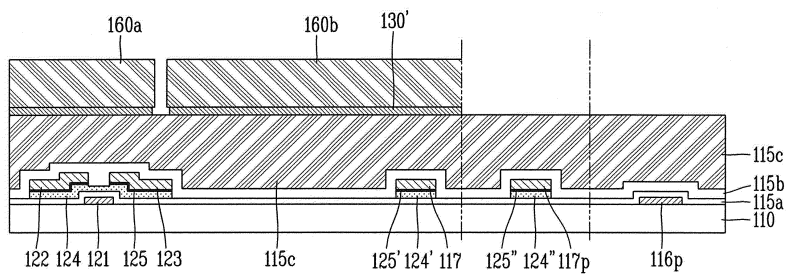
도면6b



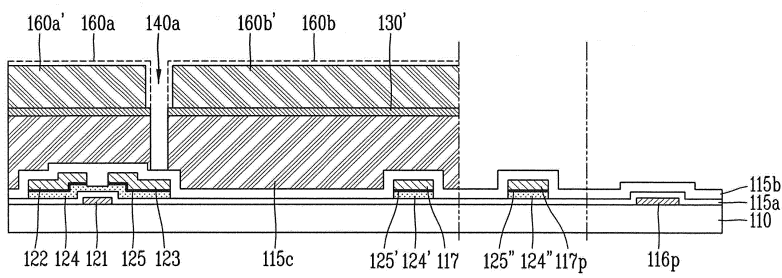
도면6c



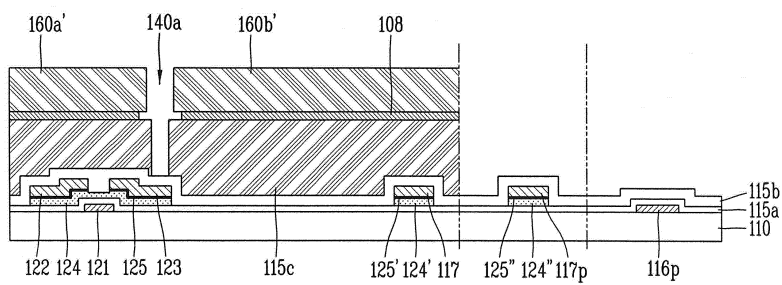
도면6d



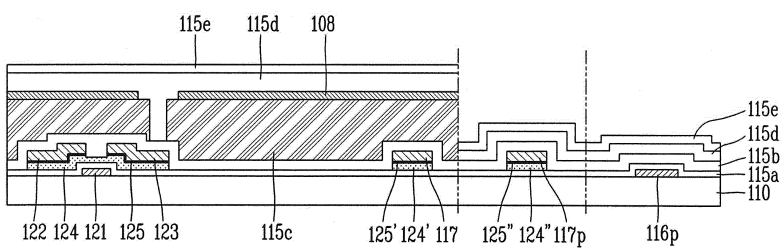
도면6e



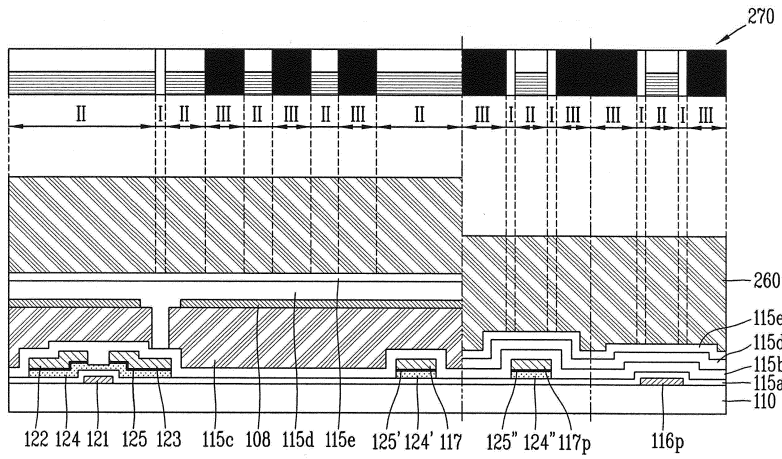
도면6f



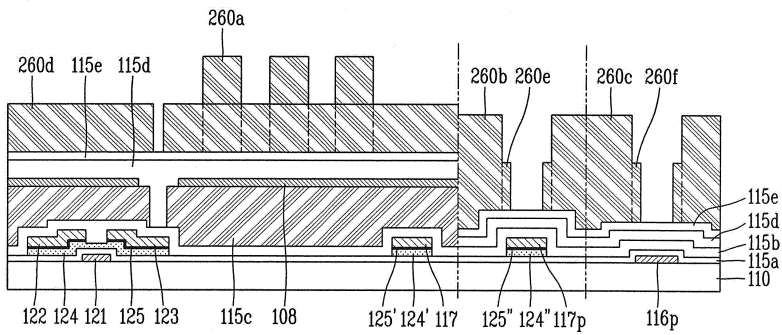
도면7a



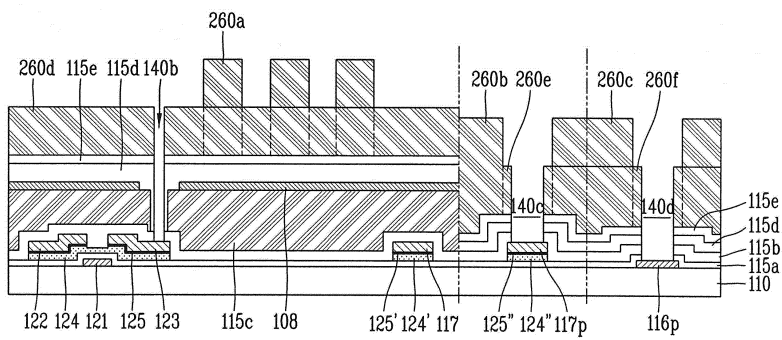
도면7b



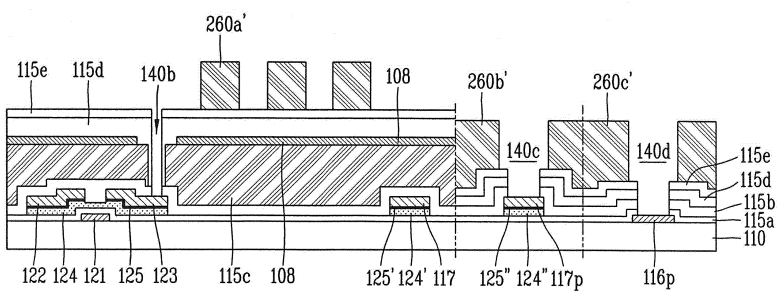
도면7c



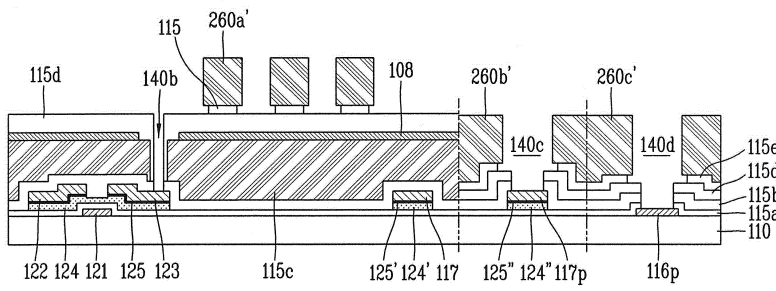
도면7d



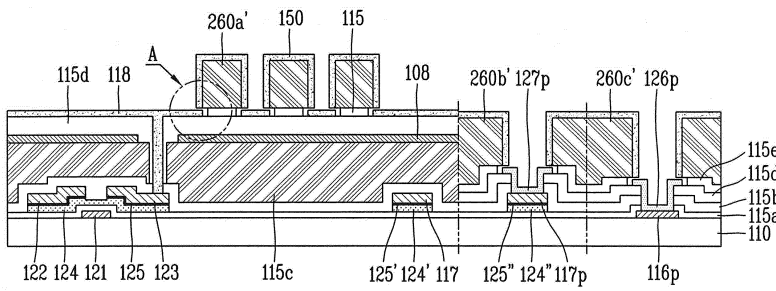
도면7e



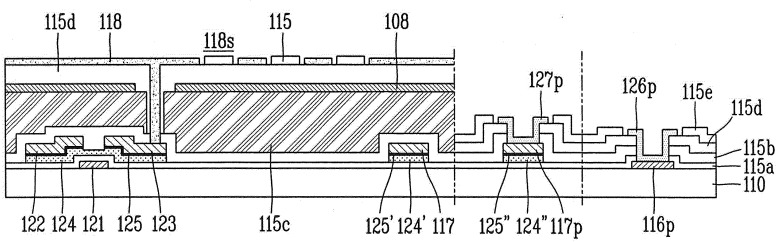
도면7f



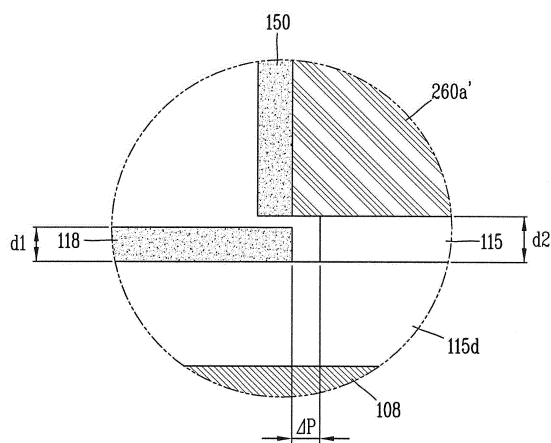
도면7g



도면7h



도면8



专利名称(译)	标题：边缘场型液晶显示装置及其制造方法		
公开(公告)号	KR1020160081714A	公开(公告)日	2016-07-08
申请号	KR1020140196010	申请日	2014-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YONGIL 김용일 KIM EUNGYONG 김응용		
发明人	김용일 김응용		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/1362 G02F1/1368 G02F1/136204 G02F1/134309 G02F1/136 G02F2001/134372		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

根据本发明的边缘场切换（FFS）液晶显示装置及其制造方法的特征在于，阵列基板通过使用剥离工艺的四个掩模工艺制造。为此，在第三掩模工艺中通过蚀刻两次来图案化公共电极，并且通过使用第一图案化公共电极作为掩模蚀刻外涂层来形成外涂层孔。而且，在第四掩模工艺中，通过使用半色调掩模和剥离工艺同时形成保护层孔，像素电极和焊盘子电极。结果，通过减少掩模的数量来降低制造成本，提高生产率，并且通过形成精细的外涂层孔来提高透射率。

