



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0114327
(43) 공개일자 2014년09월26일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2014-0118976(분할)
(22) 출원일자 2014년09월05일
심사청구일자 2014년09월05일
(62) 원출원 특허 10-2008-0001449
원출원일자 2008년01월04일
심사청구일자 2013년01월04일

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
이제훈
서울특별시 양천구 목동중앙남로 51-10 대일빌라 401호
김도현
서울특별시 영등포구 선유동2로 56 유원제일2차 아파트 204동 1002호
(뒷면에 계속)
(74) 대리인
특허법인가산

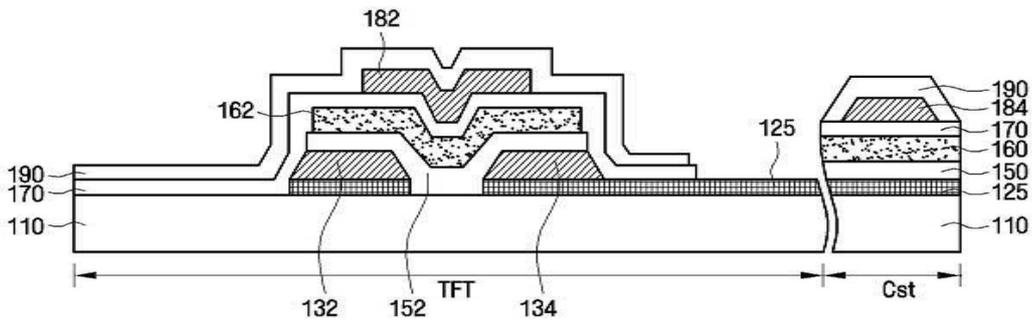
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정 표시 장치와 그 제조 방법

(57) 요약

공정 효율이 향상되고, 신뢰성이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치와 그 제조 방법이 제공된다. 액정 표시 장치는 절연 기판 상에 형성된 화소 전극과, 화소 전극과 이격되고, 화소 전극과 동일한 층에 형성된 버퍼층과, 버퍼층 상에 형성된 드레인 전극과, 화소 전극 상에 형성된 소스 전극과, 드레인 전극 및 소스 전극 상에 형성된 액티브 층과, 액티브 층 상에 형성된 게이트 전극을 포함한다.

대표도 - 도13



(72) 발명자

김태상

서울특별시 강남구 삼성로 151 선경아파트 10동
1104호

손경석

서울특별시 노원구 공릉로46길 32 삼익아파트 10
8동 1005호

정창오

경기도 수원시 영통구 태장로71번길 19 동수원엘
지빌리지2차아파트 201동 203호

특허청구의 범위

청구항 1

절연 기판 상에 형성된 화소 전극과, 상기 화소 전극과 이격되고, 상기 화소 전극과 동일한 층에 형성된 버퍼층;

상기 버퍼층 상에 형성된 드레인 전극;

상기 화소 전극 상에 형성된 소스 전극;

상기 드레인 전극 및 상기 소스 전극 상에 형성된 액티브 층; 및

상기 액티브 층 상에 형성된 게이트 전극을 포함하고,

상기 절연 기판과 상기 화소 전극 사이에 개재된 칼라 필터를 더 포함하는 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 화소 전극은 결정질 구조를 가진 투명 도전막인 액정 표시 장치.

청구항 3

제1 항에 있어서,

상기 액티브 층은 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체인 액정 표시 장치.

청구항 4

제1 항에 있어서,

상기 액티브 층과 상기 게이트 전극 사이에 개재된 절연층을 더 포함하고, 상기 절연층은 유기물, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 이들의 조합으로 이루어진 액정 표시 장치.

청구항 5

제1 항에 있어서,

상기 액티브 층과 상기 게이트 전극 사이에 개재된 보호막을 더 포함하고,

상기 보호막은 유기물, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 이들의 조합으로 이루어진 액정 표시 장치.

청구항 6

제5 항에 있어서,

상기 화소 전극과 상기 보호막 사이에 개재된 절연층과, 상기 화소 전극 상에 형성되고, 상기 게이트 전극과 동일한 물질로 이루어진 스토리지 전극을 더 포함하고,

상기 보호막과 상기 절연층은 상기 화소 전극과 상기 스토리지 전극 사이에 개재된 액정 표시 장치.

청구항 7

제5 항에 있어서,

상기 화소 전극 상에 형성되고, 상기 게이트 전극과 동일한 물질로 이루어진 스토리지 전극을 더 포함하고,

상기 보호막은 상기 화소 전극과 상기 스토리지 전극 사이에 개재된 액정 표시 장치.

청구항 8

제1 항에 있어서,

상기 절연 기판과 상기 칼라 필터 사이에 개재된 오버 코트층을 더 포함하고,

상기 오버 코트층은 유기물, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 이들의 조합으로 이루어진 액정 표시 장치.

청구항 9

절연 기판 상에 형성된 화소 전극과, 상기 화소 전극과 이격되고, 상기 화소 전극과 동일한 층에 형성된 버퍼층;

상기 버퍼층 상에 형성된 드레인 전극;

상기 화소 전극 상에 형성된 소스 전극;

상기 드레인 전극 및 상기 소스 전극 상에 형성된 액티브 층; 및

상기 액티브 층 상에 형성된 게이트 전극을 포함하고,

상기 게이트 전극과 상기 액티브 층 사이에 배치되는 절연층을 더 포함하고, 상기 절연층은 상기 액티브 층의 측면을 노출시키는 액정 표시 장치.

명세서

기술 분야

[0001] 본 발명은 액정 표시 장치와 그 제조 방법에 관한 것으로, 보다 상세하게는 공정 효율이 향상되고, 신뢰성이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치와 그 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 화소 전극이 형성된 제1 기판과, 공통 전극이 형성된 제2 기판과, 제1 및 제2 기판 사이에 개재된 이방성 유전율을 갖는 액정 분자층을 포함한다. 화소 전극과 공통 전극 사이에 전기장을 형성하고, 그 전기장의 세기를 조절하여, 액정 분자들의 배열을 변경한다. 이로써, 액정 분자층을 통과하는 빛의 양을 제어함으로써 원하는 화상을 표현한다. 이러한 액정 표시 장치에 사용되는 스위치 소자로서 박막 트랜지스터(Thin Film Transistor : TFT)가 널리 사용되고 있다.

[0003] 박막 트랜지스터(TFT)는 게이트 전극, 드레인 전극, 소스 전극 및 액티브 층을 포함하는 스위칭 소자이다. 게이트 전극에 일정한 값 이상의 전압이 인가되면 액티브 층이 도통되어, 드레인 전극과 소스 전극 사이에 전류가 흐르게 된다. 박막 트랜지스터(TFT)의 액티브 층을 이루는 물질로 비정질 실리콘(a-Si)이나 폴리실리콘(p-Si)을 사용할 수 있다. 그리고, 박막 트랜지스터는 액티브 층과 게이트 전극의 위치 관계에 따라서, 액티브 층의 상부에 게이트 전극이 위치하는 탑 게이트(top gate) 구조와, 액티브 층의 하부에 게이트 전극이 위치하는 바텀 게이트(bottom gate) 구조로 구분될 수 있다.

발명의 내용

해결하려는 과제

[0004] 이러한 박막 트랜지스터를 포함하는 액정 표시 장치를 제조하려면, 액티브 층 마스크 공정, 게이트 전극 마스크 공정, 콘택홀 마스크 공정, 소스 전극 및 드레인 전극 마스크 공정, 비아홀 마스크 공정, 화소 전극 마스크 공정과 같은 다수의 마스크 공정을 수행하여야 한다. 따라서, 마스크 공정의 횟수를 줄이면, 공정 효율을 향상시킬 수 있다.

[0005] 또한, 박막 트랜지스터(TFT)의 동작에 대한 신뢰성을 확보하기 위해서는 액티브 층을 이루는 물질의 특성이 좋아야 하고, 이러한 물질로 이루어진 액티브 층을 포함하는 박막 트랜지스터(TFT)의 구조가 효과적이어야 한다.

[0006] 이에 본 발명이 해결하고자 하는 과제는, 공정 효율이 향상되고, 신뢰성이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치를 제공하고자 하는 것이다.

[0007] 이에 본 발명이 해결하고자 하는 다른 과제는, 공정 효율이 향상되고, 신뢰성이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치의 제조 방법을 제공하고자 하는 것이다.

[0008] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 절연 기판 상에 형성된 화소 전극과, 화소 전극과 이격되고, 화소 전극과 동일한 층에 형성된 버퍼층과, 버퍼층 상에 형성된 드레인 전극과, 화소 전극 상에 형성된 소스 전극과, 드레인 전극 및 소스 전극 상에 형성된 액티브 층과, 액티브 층 상에 형성된 게이트 전극을 포함한다.

[0010] 상기 다른 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은, 절연 기판 상에 화소 전극과, 화소 전극과 동일한 층에 버퍼층을 형성하는 단계와, 버퍼층 상에 드레인 전극과, 화소 전극 상에 소스 전극을 형성하는 단계와, 드레인 전극과 소스 전극 상에, 액티브 층과 게이트 전극을 형성하는 단계를 포함한다.

[0011] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0012] 도 1 내지 도 6은 본 발명의 실시예들에 따른 액정 표시 장치가 공통적으로 포함하는 제조 공정을 나타내는 도면이다.

도 7 내지 도 13은 본 발명의 제1 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다.

도 14 내지 도 20은 본 발명의 제2 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다.

도 21 내지 도 25는 본 발명의 제3 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다.

도 26은 본 발명의 일 실시예가 AOC 구조를 포함하는 액정 표시 장치에 적용된 경우를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한 "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0014] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[0015] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0016] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도

하게 해석되지 않는다.

- [0017] 이하 첨부된 도면들을 참고하여, 본 발명의 실시예들에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 첨부된 도면들은 박막 트랜지스터(TFT)가 형성되는 영역과 스토리지 커패시터(Cst)가 형성되는 영역을 동시에 표현하고 있다.
- [0018] 도 1 내지 도 13을 참조하여, 본 발명의 제1 실시예에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 도 1 내지 도 6은 본 발명의 실시예들에 따른 액정 표시 장치가 공통적으로 포함하는 제조 공정을 나타내는 도면이다. 도 7 내지 도 13은 본 발명의 제1 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다.
- [0019] 도 1을 참조하면, 절연 기판(110) 상에 화소 전극용 도전층(120)과, 제1 금속층(130)을 차례로 형성한다.
- [0020] 절연 기판(110)은 투명한 유리 또는 플라스틱 등으로 이루어질 수 있다.
- [0021] 특히, 소다 석회(soda lime) 유리를 절연 기판(110)으로서 사용할 수 있다. 소다 석회 유리는 산화칼슘과 산화나트륨의 혼합물로서, 제조 원가가 저렴하고, 가공성이 좋지만, 고온에 대한 저항성이 취약하다. 그런데, 본 실시예에 따르면 후술하듯이 저온 공정이 가능하므로, 소다 석회 유리를 절연 기판(110)으로서 사용하여서, 제조 원가를 절감할 수 있다.
- [0022] 화소 전극용 도전층(120)은 비정질(amorphous) 구조 또는 부분적인 비정질(partially amorphous) 구조를 가진 투명 도전막일 수 있다. 예를 들어, a-ITO(amorphous-indium tin oxide)나 a-IZO(amorphous-indium zinc oxide) 또는 200℃ 이하에서 증착된 ITO일 수 있다.
- [0023] 제1 금속층(130)은 물리 기상 증착법 등을 이용하여 형성할 수 있다. 제1 금속층(130)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 티타늄(Ti), 니오브(Nb), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta) 또는 이들의 합금 등을 포함하는 단일층 또는 다중층으로 이루어질 수 있다. 예를 들어, 제1 금속층(130)은 은(Ag), 구리(Cu), 또는 몰리브덴(Mo)으로 이루어진 단일층일 수 있다.
- [0024] 이와는 달리, 제1 금속층(130)은 물리적 성질이 다른 복수의 층으로 이루어진 다중층일 수 있다. 다중층의 어느 한 층은 낮은 비저항(resistivity)을 가지는 금속, 예를 들면 알루미늄(Al), 은(Ag), 구리(Cu) 등을 포함하는 층일 수 있다. 제1 금속층(130)의 일부는 이 후 드레인 전극(도 13의 132 참조)과 소스 전극(도 13의 134 참조)이 되는데, 낮은 비저항을 가지는 금속을 사용하면, 이들의 신호 지연이나 전압 강하를 줄일 수 있다. 다중층의 다른 한 층은 화소 전극용 도전층(120)을 이루는 물질 예를 들어, ITO 및 IZO와의 접촉 특성이 우수한 물질인 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등을 포함하는 층일 수 있다. 이러한 다중층의 예로서는 Cr/Al으로 이루어진 이중층이나, Mo/Al/Mo으로 이루어진 삼중층을 들 수 있다.
- [0025] 이어서, 도 2a를 참조하면, 슬릿부를 포함하는 제1 마스크(810)를 사용하여, 사진 공정을 수행한다.
- [0026] 먼저 포토레지스트(PR)를 도포한다. 포토레지스트(PR)로서는 PAG(PhotoAcid Generator)를 포함하는 포지티브형 포토레지스트나 PAC(PhotoActive Crosslinker)를 포함하는 네가티브형 포토레지스트가 사용될 수 있다. 도 시한 바와 같이 네가티브형 포토레지스트를 사용하면, 패턴 외측부의 경사각이 보다 수직에 가까워서 보다 정밀한 패턴을 할 수 있다.
- [0027] 다음으로, 서로 다른 두께의 포토레지스트(PR) 패턴을 형성하기 위하여, 슬릿부를 포함하는 제1 마스크(810)를 사용하여서, 노광 및 현상 공정을 수행한다. 슬릿부를 포함하는 제1 마스크(810)는 투광 영역(814)과, 차광 영역(812) 및 슬릿부가 형성되어 있는 반투과 영역(816)을 포함한다. 노광 및 현상 공정을 수행하면, 투광 영역(814)에는 포토레지스트(PR)가 두껍게 도포되고, 차광 영역(812)에는 포토레지스트(PR)가 도포되지 아니며, 반투과 영역(816)에는 포토레지스트(PR)가 얇게 도포된다.
- [0028] 도 2b를 참조하면, 도 2a와는 달리, 반투과부를 포함하는 제1 마스크(812)를 사용하여, 사진 공정을 수행할 수 있다. 반투과부를 포함하는 제1 마스크(812)는 일반적으로 하프톤 마스크라고 불린다.
- [0029] 먼저, 포토레지스트(PR)를 도포한다.
- [0030] 다음으로, 서로 다른 두께의 포토레지스트(PR) 패턴을 형성하기 위하여, 반투과부를 포함하는 제1 마스크(812)를 사용하여서, 노광 및 현상 공정을 수행한다. 반투과부를 포함하는 제1 마스크(812)는 투광 영역(814)과, 차광 영역(812) 및 반투과부가 형성된 반투과 영역(816)을 포함한다. 노광 및 현상 공정을 수행하면, 투광 영역(814)에는 포토레지스트(PR)가 두껍게 도포되고, 차광 영역(812)에는 포토레지스트(PR)가 도포되지

아니하며, 반투과 영역(816)에는 포토레지스트(PR)가 얇게 도포된다.

- [0031] 이어서, 도 3을 참조하면, 화소 전극(125)과, 화소 전극(125)과 이격되고 화소 전극(125)과 동일한 층에 형성된 버퍼층(122)을 형성한다. 그리고, 버퍼층(122) 상에는 드레인 전극(132)을 형성한다.
- [0032] 포토레지스트(PR)가 도포되지 않은 영역 상의 제1 금속층(130)과 화소 전극용 도전층(120)을 일괄적으로 식각하여서, 버퍼층(122)과 화소 전극(125), 및 드레인 전극(132)을 형성한다. 이 때, 화소 전극용 도전층(120)은 비정질 구조나 부분적인 비정질 구조를 가지므로, 제1 금속층(130)을 식각하기 위해 사용하는 식각액으로, 화소 전극용 도전층(120)까지 용이하게 식각할 수 있다.
- [0033] 예를 들어, 화소 전극용 도전층(120)이 a-ITO이고, 제1 금속층(130)이 은(Ag) 또는 구리(Cu)를 포함하는 금속으로 이루어진 경우, 인산, 질산, 초산 염산, 또는 황산의 함량이 30% 이내인 식각액을 사용하여 일괄 식각이 가능하다.
- [0034] 다른 예를 들어, 화소 전극용 도전층(120)이 a-ITO이고, 제1 금속층(130)이 몰리브덴 단일층 또는 Mo/Al/Mo으로 이루어진 삼중층인 경우, 알루미늄(Al) 식각액을 사용하여 일괄 식각이 가능하다. 이 때 사용하는 화소 전극용 전극층(120)은 인듐(In), 주석(Sn) 외에 갈륨(Ga), 아연(Zn), 탄탈륨(Ta), 티타늄(Ti), 알루미늄(Al) 등을 더 포함할 수 있다.
- [0035] 이어서, 도 4를 참조하면, 열처리 공정과, 포토레지스트(PR) 패턴의 폭 감소 공정을 수행한다.
- [0036] 열처리 공정을 설명하면, 버퍼층(122)과 화소 전극(125)을 어닐링하여서, 비정질 구조를 결정질 구조로 결정화한다. 도 4 내지 도 13의 도면들에서, 버퍼층(122)과 화소 전극(125)이 비정질 구조에서 결정질 구조로 바뀐 것을 표현하기 위하여, 버퍼층(122)과 화소 전극(125)의 도면 상의 표현을 달리 하였다.
- [0037] 예를 들어, a-ITO를 200 ~ 250℃에서 어닐링하면, c-ITO(crystal ITO)로 결정화된다. 이와 같은 열처리 공정은 버퍼층(122)과 화소 전극(125)의 특정한 식각액에 대한 식각 속도를 조절하기 위한 것으로서, 수행되지 않을 수도 있다. 이에 대해서는 도 5를 참고하는 공정에서 후술한다.
- [0038] 포토레지스트(PR) 패턴의 폭 감소 공정을 설명하면, 포토레지스트(PR)가 얇게 도포된 영역(도 2a 및 도 2b의 816 참조)의 포토레지스트(PR)를 제거한다.
- [0039] 구체적으로, 포토레지스트(PR) 패턴에 대하여 애싱(ashing) 공정을 수행하여 포토레지스트(PR)가 얇게 도포된 영역의 포토레지스트(PR)의 폭만큼 포토레지스트(PR)를 제거한다. 그 결과, 도 4에서 도시한 바와 같은 포토레지스트(PR) 패턴을 얻을 수 있다. 이 때 포토레지스트(PR) 패턴의 폭을 균일하게 줄이기 위해서 애싱 공정을 수행할 때, 산소 기체(O₂)의 유량을 최소화하여 식각 속도를 낮출 수 있다.
- [0040] 이어서, 도 5를 참조하면, 제1 금속층(130)에 대한 식각 공정을 수행하여서, 화소 전극(125)의 일부를 노출시키고, 소스 전극(134)을 형성한다.
- [0041] 구체적으로 노광 및 현상 공정을 수행하고, 이전 단계에서 포토레지스트(PR)가 얇게 도포되었던 영역(816) 상에 존재하는 제1 금속층(130)을 식각한다. 이 때, 버퍼층(122)과 화소 전극(125)이 결정질 구조를 가지므로, 제1 금속층(130)을 식각하는 식각액에 대한 식각 속도가 감소된다. 따라서, 이전 단계에서 포토레지스트(PR)가 얇게 도포되었던 영역(816) 상에 존재하는 제1 금속층(130)을 제거하고, 화소 전극(125)의 일부를 노출시킬 수 있다. 제거되지 않고 남은 제1 금속층(130)은 소스 전극(134)이 된다.
- [0042] 예를 들어, 버퍼층(122)과 화소 전극(125)이 c-ITO이고, 제1 금속층(130)이 은(Ag) 또는 구리(Cu)를 포함하는 금속으로 이루어진 경우, 인산, 질산, 초산, 염산, 또는 황산의 함량이 30% 이하인 식각액을 사용하여 제1 금속층(130)을 제거하고, 화소 전극(125)의 일부를 노출시킬 수 있다. c-ITO는 인산, 질산, 초산, 염산, 또는 황산의 함량이 50% 이상인 식각액에서 식각될 수 있다.
- [0043] 다른 예를 들어, 버퍼층(122)과 화소 전극(125)이 c-ITO이고, 제1 금속층(130)이 몰리브덴 단일층 또는 Mo/Al/Mo으로 이루어진 삼중층인 경우, 알루미늄(Al) 식각액을 사용한 습식 식각을 이용하여 제1 금속층(130)을 제거하고, 화소 전극(125)의 일부를 노출시킬 수 있다. 이 때 사용하는 화소 전극용 전극층(120)은 인듐(In), 주석(Sn) 외에 갈륨(Ga), 아연(Zn), 탄탈륨(Ta), 티타늄(Ti), 알루미늄(Al) 등을 더 포함할 수 있다.
- [0044] 또 다른 예를 들어, 도 4에 도시되었던, 열처리 공정을 수행하지 아니하여서, 버퍼층(122)과 화소 전극(125)이 a-ITO이고, 제1 금속층(130)이 몰리브덴 단일층 또는 Mo/Al/Mo으로 이루어진 삼중층인 경우, 건식 식각을 이용하여 제1 금속층(130)을 제거하고, 화소 전극(125)의 일부를 노출시킬 수 있다. 건식 식각에 사용되는 식

각 가스는 C12, HCl, BC13, SF6, CF4 또는 이들의 조합일 수 있다. 여기서 건식 식각은 이방성 식각이므로, 보다 정밀한 패턴이 가능하다.

- [0045] 이어서, 도 6을 참조하면, 산화물 반도체층(150)과 절연층(160)을 순차적으로 형성한다.
- [0046] 먼저, 산화물 반도체층(150)은 아연(Zn), 인듐(In), 갈륨(Ga), 및 주석(Sn) 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어질 수 있다. 이로 인한 효과에 대해서는 후술한다.
- [0047] 다음으로, 절연층(160)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 이들의 조합으로 이루어질 수 있으며, 화학 기상 증착법 등을 이용하여 형성할 수 있다. 이와 달리, 유기물로 이루어질 수도 있다.
- [0048] 이어서, 도 7을 참조하면, 제2 마스크(820)를 사용하여 사진 공정을 수행한다. 포토레지스트(PR) 도포, 노광 및 현상 공정을 수행한다.
- [0049] 이어서, 도 8을 참조하면, 게이트 절연막(162)과 액티브 층(152)을 형성한다.
- [0050] 먼저, 절연층(도 7의 160 참조)의 일부를 식각하여서, 게이트 절연막(162)을 형성한다. 절연층은 건식 식각으로 식각할 수 있다. 예를 들어, 염소 기체(C12)와 산소 기체(O2)를 베이스로 하는 가스 또는 육불화황 기체(SF6)와 산소 기체(O2)를 베이스로 하는 가스를 사용하여 식각할 수 있다.
- [0051] 다음으로, 산화물 반도체층(도 7의 150 참조)의 일부를 식각하여서, 드레인 전극(132)과 소스 전극(134) 상에 액티브 층(152)을 형성한다.
- [0052] 산화물 반도체층은 건식 식각 또는 습식 식각으로 식각할 수 있다. 건식 식각의 예로서는 트리 플로로 메탄(CHF₃)이나 메탄(CF₄) 가스 또는 이들에 아르곤(Ar) 또는 헬륨(He)이 함유된 식각 가스를 사용할 수 있다. 습식 식각의 예로서는 불산(HF)을 희석한 용액이나, 인산, 질산, 초산, 황산, 또는 염산 등을 포함하는 용액을 사용할 수 있다. 예를 들어, 산화아연(ZnO)와 같은 산화물 반도체층에 대해서 인산, 질산, 초산, 황산 또는 염산의 함량이 5 ~ 10%인 식각액을 사용할 수 있다. 이 때, 드레인 전극(132)과 소스 전극(134) 및 결정 구조를 가지는 화소 전극(125), 예를 들어 c-ITO와는 식각에 대한 선택비를 가질 수 있다.
- [0053] 이어서, 도 9를 참조하면, 제1 보호막(170)과 제2 금속층(180)을 순차적으로 형성한다.
- [0054] 제1 보호막(170)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 이들의 조합으로 이루어질 수 있으며, 화학 기상 증착법 등을 이용하여 형성할 수 있다. 예를 들어, 제1 보호막(170)은 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연물질로 이루어질 수도 있다. 또는, 제1 보호막(170)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질로 이루어질 수 있다. 또한 제1 보호막(170)은 유기막의 우수한 특성을 살리면서도 액티브 층(152)을 충실하게 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다.
- [0055] 제2 금속층(180)은 물리 기상 증착법 등을 이용하여 형성할 수 있다. 제2 금속층(180)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 티타늄(Ti), 니오브(Nb), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta) 또는 이들의 합금 등을 포함하는 단일층 또는 다중층으로 이루어질 수 있다. 제2 금속층(180)은 제1 금속층(130)과 같은 물질로 이루어질 수도 있다.
- [0056] 이어서, 도 10을 참조하면, 제3 마스크(830)를 사용하여 사진 공정을 수행한다. 포토레지스트(PR) 도포, 노광 및 현상 공정을 수행한다.
- [0057] 이어서, 도 11을 참조하면, 포토레지스트(PR)가 도포되지 않은 영역 상의 제2 금속층(도 10의 180 참조)을 식각하여서, 게이트 전극(182)과 스토리지 전극(184)을 형성한다.
- [0058] 게이트 전극(182)과 드레인 전극(132) 사이에 개재된 게이트 절연층(162)과 제1 보호막(170)을 유전체로 하여서, 게이트 전극(182)과 드레인 전극(132) 사이에 게이트-드레인 커패시턴스(Cgd)가 형성된다. 마찬가지로, 게이트 전극(182)과 소스 전극(134) 사이에 개재된 게이트 절연층(162)과 제1 보호막(170)은 유전체로 하여서, 게이트 전극(182)과 소스 전극(134) 사이에 게이트-소스 커패시턴스(Cgs)가 형성된다.
- [0059] 그리고, 스토리지 전극(184)과 이에 대향하는 화소 전극(125)의 일부 사이에 개재된 절연층(160)과 제1 보호막(170)을 유전체로 하여서, 스토리지 전극(184)과 이에 대향하는 화소 전극(125)의 일부 사이에 스토리지 커패시터(Cst)가 형성된다. 본 실시예에서, 게이트-드레인 커패시턴스(Cgd)와 게이트-소스 커패시턴스(Cgs) 및, 스토리지 커패시터(Cst)를 형성하는 유전체의 종류와 두께는 동일하다.

- [0060] 이어서, 도 12를 참조하면, 제2 보호막(190)을 형성하고, 제4 마스크(840)를 사용하여 사진 공정을 수행한다. 포토레지스트(PR) 도포, 노광 및 현상 공정을 수행한다.
- [0061] 제2 보호막(190)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 이들의 조합으로 이루어질 수 있으며, 화학 기상 증착법 등을 이용하여 형성할 수 있다. 예를 들어, 제2 보호막(190)은 플라즈마 화학기상증착(PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질로 이루어질 수도 있다. 또는, 제2 보호막(190)은 평탄화 특성이 우수하며 감광성을 가지는 유기 물질로 이루어질 수 있다. 또한 제2 보호막(190)은 유기막의 우수한 특성을 살리면서도 액티브 층(152)을 충실하게 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다.
- [0062] 도 13을 참조하면, 포토레지스트(PR)가 도포되지 않았던 영역 상의 제2 보호막(190)과 제1 보호막(170)을 식각하여서, 화소 전극(125)의 일부를 노출시킨다.
- [0063] 이하, 본 발명의 제1 실시예에 따른 액정 표시 장치의 특징에 대하여 설명한다.
- [0064] 첫째, 본 발명의 제1 실시예가 포함하는 박막 트랜지스터(TFT)는 드레인 전극(132)과 소스 전극(134) 위에 액티브 층(152)이 형성되고, 그 위에 게이트 전극(182)이 형성된 탑 게이트 구조이다.
- [0065] 액티브 층(152)이 드레인 전극(132)과 소스 전극(134) 위에 형성되므로, 드레인 전극(132)과 소스 전극(134)을 패터닝할 때, 액티브 층(152)의 선택비를 고려하지 않아도 된다. 미도시한 액티브 층 상에 드레인 전극과 소스 전극이 형성되는 경우를 비교예로 들면, 드레인 전극과 소스 전극을 패터닝할 때, 액티브 층이 손상될 수 있다. 따라서, 액티브 층이 드레인 전극과 소스 전극을 이루는 금속층을 식각하는 식각액에 대하여 식각 속도가 빠른 물질로 이루어진 경우에 유용한 구조가 될 수 있다.
- [0066] 그리고, 액티브 층(152) 상에는 제1 보호막(170)이 형성되어서, 액티브 층(152)을 보호할 수 있다. 구체적으로 외부 환경에 민감한 물질로 이루어진 액티브 층(152)을 외부 환경으로부터 보호할 수 있다. 예를 들어, ZnO와 같은 산화물 반도체는 외부 환경, 특히, 습도에 민감하다.
- [0067] 또한, 제1 보호막(170)은 미도시한 바텀 게이트(bottom gate) 구조의 박막 트랜지스터에서 액티브 층의 식각을 저지하는 식각 저지층(etch stopper)과 같은 역할을 수행할 수 있다. 이와 같은 식각 저지층을 이용하여 바텀 게이트 구조의 박막 트랜지스터를 제조하는 경우에는 별도의 마스크를 필요로 하지만, 본 발명의 제1 실시예가 포함하는 박막 트랜지스터에서는 이러한 별도의 마스크를 필요로 하지 않으므로, 공정 효율이 향상될 수 있다.
- [0068] 둘째, 제1 내지 제4 마스크(810, 820, 830, 840), 곧 4매의 마스크를 사용하여서, 공정 효율이 향상될 수 있다. 1매의 마스크를 사용할 때마다, 포토 레지스트(PR) 도포, 노광 및 현상 공정을 거쳐야 하므로, 다수의 마스크를 사용할수록 공정 효율이 떨어진다. 그런데, 본 발명의 제1 실시예에 의하면, 전술한 바와 같이, 드레인 전극(132)과, 소스 전극(134), 및 화소 전극(152)을 하나의 마스크를 사용하여 형성할 수 있다.
- [0069] 셋째, 액티브 층(152)으로서 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체를 사용하여, 박막 트랜지스터(TFT)의 신뢰성을 향상시킬 수 있다.
- [0070] 먼저, 액티브 층(152)의 전계 효과 이동도(field effect mobility)가 향상될 수 있고, 박막 트랜지스터(TFT)의 ON/OFF 전류비가 10^5 이상 10^7 이하에 이르는 뛰어난 스위칭 특성을 나타낼 수 있다.
- [0071] 구체적으로, Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체들의 예로서는 ZnO, InGaZnO₄, Zn-In-O, Zn-Sn-O 등을 들 수 있다. 이들은 수소화된 비정질 규소(a-Si:H)에 비하여 전계 효과 이동도가 10배 내지 100배 가까이 크다. 예를 들어, 비정질 구조를 가진 In₂O₃, Ga₂O₃, ZnO 등이 혼합된 산화물 반도체를 사용하면, 탈수소화된 비정질 규소(a-Si)의 전계 효과 이동도와 비교하여, 전계 이동도가 20배 이상 향상될 수 있다. 특히, ZnO의 경우 이론적으로 최대 200cm²/V·s의 값을 얻을 수 있고, 이 값은 폴리 실리콘(p-Si)에 필적하는 값이다.
- [0072] 다음으로, 박막 트랜지스터(TFT)가 가시광선에 노출되어 액티브 층(152)의 누설 전류가 증가함으로써 나타날 수 있는 잔상 문제를 줄일 수 있다.
- [0073] 구체적으로, 박막 트랜지스터(TFT)의 액티브 층(152)이 수소화된 비정질 규소(a-Si:H)로 이루어진 경우, 수소화된 비정질 규소(a-Si:H)는 옵티컬 밴드 갭(optical band gap)이 1.8eV보다 작아서, 1.59eV에서 3.26eV 사이의 에너지 범위를 가지는 가시광선 영역(380nm ~ 780nm)의 에너지를 대부분 흡수한다. 따라서, 박막 트랜지스

터(TFT)가 가시광선에 노출될 경우, 액티브 층(152)의 누설 전류가 심각하게 발생할 수 있다. 이러한 문제를 해결하기 위하여 미도시한 바텀 게이트 스테거드(bottom gate staggered) 형태를 가진 박막 트랜지스터(TFT)를 사용할 수 있으나, 게이트 전극에 가려지지 않은 액티브 층이 유발하는 누설 전류를 근본적으로 제거할 수는 없다.

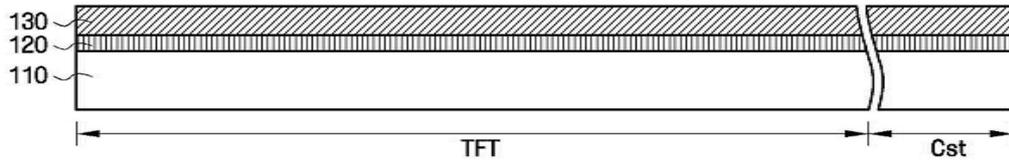
- [0074] 반면, 박막 트랜지스터(TFT)의 액티브 층(152)이 Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체로 이루어진 경우, 이러한 산화물 반도체들은 주로 n형 반도체로서, 옵티컬 밴드 갭이 3.2eV 이상 3.4eV 이하이어서, 대부분의 가시광선 영역의 에너지를 흡수하지 않으므로, 액티브 층(152)의 누설 전류가 크게 발생하지 아니한다. 예를 들어, 비정질 구조를 가진 In₂O₃, Ga₂O₃, ZnO 등이 혼합된 산화물 반도체를 사용하면, 박막 트랜지스터(TFT)가 가시광선에 노출되더라도, 암 상태에서의 누설 전류와 비교하여, 누설 전류가 매우 작은 양만큼만 증가한다. 따라서, 박막 트랜지스터(TFT)가 가시광선에 노출되어 액티브 층(152)의 누설 전류가 증가함으로써 나타날 수 있는 잔상 문제를 줄일 수 있다.
- [0075] 다음으로, 액티브 층(152)으로서 폴리 실리콘(p-Si)을 사용하는 경우와 비교하여, 박막 트랜지스터(TFT) 특성의 균일성을 향상시킬 수 있다.
- [0076] 구체적으로 폴리 실리콘(p-Si)으로 이루어진 액티브 층(152)은 비정질 실리콘(a-Si)을 화학 기상 증착법 등을 이용하여 증착하고 탈수소화 과정을 거친 후, 레이저 어닐링과 같은 레이저 결정 작업을 하고, 붕소 등의 불순물을 이온 주입하여 형성할 수 있다. 그런데, 이러한 과정에서 절연 기판(110) 상의 전 영역에 걸쳐서 폴리 실리콘(p-Si)을 균일하게 형성하는 데에는 한계가 있다. 이렇게 박막 트랜지스터(TFT)들의 액티브 층(152)을 이루는 폴리 실리콘(p-Si)이 균일하지 아니하면, 각 박막 트랜지스터(TFT)마다 다른 특성을 나타낼 수 있다.
- [0077] 반면, Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체들은 비정질이므로, 액티브 층(152)의 균일성이 향상될 수 있어서, 박막 트랜지스터(TFT) 특성의 균일성을 향상시킬 수 있다.
- [0078] 다음으로, Zn, In, Ga, 및 Sn 중 어느 하나 이상의 원소를 포함하는 산화물 반도체들은 저온 공정이 가능하여 일반적으로 플라스틱과 같은 유기물을 포함하여 제조되는 플렉서블(flexible) 액정 표시 장치에 사용될 수 있다. 또한, 어레이 온 컬러 필터(Array on Color Filter : 이하, AOC) 구조 또는 컬러 필터 온 어레이(Color Filter on array : 이하, COA) 구조를 포함하는 액정 표시 장치에도 사용할 수 있다. 이에 대해서는 후술한다.
- [0079] 이하, 도 1 내지 도 6, 도 14 내지 도 20을 참조하여, 본 발명의 제2 실시예에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 도 14 내지 도 20은 본 발명의 제2 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. 제1 실시예에서와 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 설명의 편의상 본 발명의 제1 실시예를 설명하면서 설명된 공정 단계들과 구성 요소들에 대해서는 상세한 설명을 생략한다.
- [0080] 도 1을 참조하면, 절연 기판(110) 상에 화소 전극용 도전층(120)과, 제1 금속층(130)을 차례로 형성한다.
- [0081] 이어서, 도 2a에 도시된 슬릿부를 포함하는 제1 마스크(810) 또는 도 2b에 도시된 반투과부(818)를 포함하는 제1 마스크(812)를 사용하여, 사진 공정을 수행한다.
- [0082] 이어서, 도 3을 참조하면, 화소 전극(125)과 버퍼층(122)을 형성한다.
- [0083] 이어서, 도 4를 참조하면, 열처리 공정과, 포토레지스트(PR) 패턴의 폭 감소 공정을 수행한다.
- [0084] 이어서, 도 5를 참조하면, 화소 전극(125)의 일부를 노출시키고, 소스 전극(134)을 형성한다.
- [0085] 이어서, 도 6을 참조하면, 산화물 반도체층(150)과 절연층(160)을 순차적으로 형성한다.
- [0086] 이어서, 도 14를 참조하면, 제2 마스크(822)를 사용하여 사진 공정을 수행한다. 포토레지스트(PR) 도포, 노광 및 현상 공정을 수행한다.
- [0087] 여기서, 제2 마스크(822)는 제1 실시예에서의 제2 마스크(820)와 달리, 스토리지 커패시터(Cst)가 형성되는 영역도 차광한다.
- [0088] 이어서, 도 15를 참조하면, 게이트 절연막(162)과 액티브 층(152)을 형성한다.
- [0089] 절연층(도 14의 160 참조)의 일부를 식각하여서, 게이트 절연막(162)을 형성하고, 산화물 반도체층(도 14의 150 참조)의 일부를 식각하여서, 액티브 층(152)을 형성한다.

- [0090] 여기서, 제1 실시예에서와는 달리, 스토리지 커패시터(Cst)가 형성되는 영역 상의 절연층과 산화물 반도체층도 식각된다.
- [0091] 이어서, 도 16를 참조하면, 제1 보호막(170)과 제2 금속층(180)을 순차적으로 형성한다.
- [0092] 이어서, 도 17을 참조하면, 제3 마스크(830)를 사용하여 사진 공정을 수행한다.
- [0093] 이어서, 도 18을 참조하면, 게이트 전극(182)과 스토리지 전극(184)을 형성한다.
- [0094] 제1 실시예(도 13 참조)에서는 스토리지 전극(184)과 이에 대향하는 화소 전극(125)의 일부 사이에 절연층(160)과 제1 보호막(170)이 함께 개재되었다. 제2 실시예에서는 스토리지 전극(184)과 이에 대향하는 화소 전극(125)의 일부 사이에 제1 보호막(170)만이 개재된다. 따라서, 제2 실시예에서는 제1 보호막(170)만이 스토리지 전극(184)과 이에 대향하는 화소 전극(125)의 일부 사이의 스토리지 커패시턴스를 이루는 유전체가 되므로, 제1 실시예와 비교하여, 스토리지 커패시턴스를 키울 수 있다. 따라서, 높은 전압 보전율(voltage-holding-ratio : VHR)를 필요로 하는 구조에서 효과적으로 사용될 수 있다.
- [0095] 이어서, 도 19를 참조하면, 제2 보호막(190)을 형성하고, 제4 마스크(840)를 사용하여 사진 공정을 수행한다.
- [0096] 도 20을 참조하면, 포토레지스트(PR)가 도포되지 않았던 영역 상의 제2 보호막(190)과 제1 보호막(170)을 식각하여서, 화소 전극(125)의 일부를 노출시킨다.
- [0097] 제2 실시예에 따른 액정 표시 장치도 전술한 제1 실시예에 따른 액정 표시 장치의 특징을 그대로 가진다. 따라서, 마찬가지로 공정 효율이 향상될 수 있고, 박막 트랜지스터(TFT)의 신뢰성을 향상시킬 수 있다.
- [0098] 이하, 도 1 내지 도 6, 도 21 내지 도 25를 참조하여, 본 발명의 제3 실시예에 따른 액정 표시 장치와 그 제조 방법을 설명한다. 도 21 내지 도 25는 본 발명의 제3 실시예에 따른 액정 표시 장치가 포함하는 제조 공정을 나타내는 도면이다. 제1 실시예에서와 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 설명의 편의상 본 발명의 제1 실시예를 설명하면서 설명된 공정 단계들과 구성 요소들에 대해서는 상세한 설명을 생략한다.
- [0099] 도 1을 참조하면, 절연 기판(110) 상에 화소 전극용 도전층(120)과, 제1 금속층(130)을 차례로 형성한다.
- [0100] 이어서, 도 2a에 도시된 슬릿부를 포함하는 제1 마스크(810) 또는 도 2b에 도시된 반투과부(818)를 포함하는 제1 마스크(812)를 사용하여, 사진 공정을 수행한다.
- [0101] 이어서, 도 3을 참조하면, 화소 전극(125)과 버퍼층(122)을 형성한다.
- [0102] 이어서, 도 4를 참조하면, 열처리 공정과, 포토레지스트(PR) 패턴의 폭 감소 공정을 수행한다.
- [0103] 이어서, 도 5를 참조하면, 화소 전극(125)의 일부를 노출시키고, 소스 전극(134)을 형성한다.
- [0104] 이어서, 도 6을 참조하면, 산화물 반도체층(150)과 절연층(160)을 순차적으로 형성한다.
- [0105] 이어서, 도 21을 참조하면, 제2 금속층(180)을 형성한다.
- [0106] 이어서, 도 22를 참조하면, 게이트 전극(182) 및 스토리지 전극(184)을 형성한다.
- [0107] 제2 마스크(미도시)를 사용하여 사진 공정을 수행하고, 제2 금속층(180)에 대한 식각 공정을 수행한다. 제2 금속층(180)의 일부들이 남게 되고, 이들은 각각 게이트 전극(182)과 스토리지 전극(184)이 된다.
- [0108] 이어서, 도 23을 참조하면, 게이트 절연층(162)을 형성한다.
- [0109] 앞서 사용한 포토레지스트(PR) 패턴을 그대로 사용하여서, 절연층(도 22의 160 참조)에 대한 식각 공정을 수행한다. 절연층(160)의 일부들이 남게 되고, 이들 중 하나는 게이트 절연층(162)이 되고, 다른 하나는 스토리지 커패시터(Cst)의 유전체가 된다.
- [0110] 구체적으로 게이트 전극(182)과 드레인 전극(132) 사이에 개재된 게이트 절연층(162)을 유전체로 하여서, 게이트 전극(182)과 드레인 전극(132) 사이에 게이트-드레인 커패시턴스(Cgd)가 형성된다. 마찬가지로, 게이트 전극(182)과 소스 전극(134) 사이에 개재된 게이트 절연층(162)을 유전체로 하여서, 게이트 전극(182)과 소스 전극(134) 사이에 게이트-소스 커패시턴스(Cgs)가 형성된다.
- [0111] 그리고, 스토리지 전극(184)과 이에 대향하는 화소 전극(125)의 일부 사이에 개재된 절연층(160)을 유전체로 하여서, 스토리지 전극(184)과 이에 대향하는 화소 전극(125)의 일부 사이에 스토리지 커패시터(Cst)가 형성

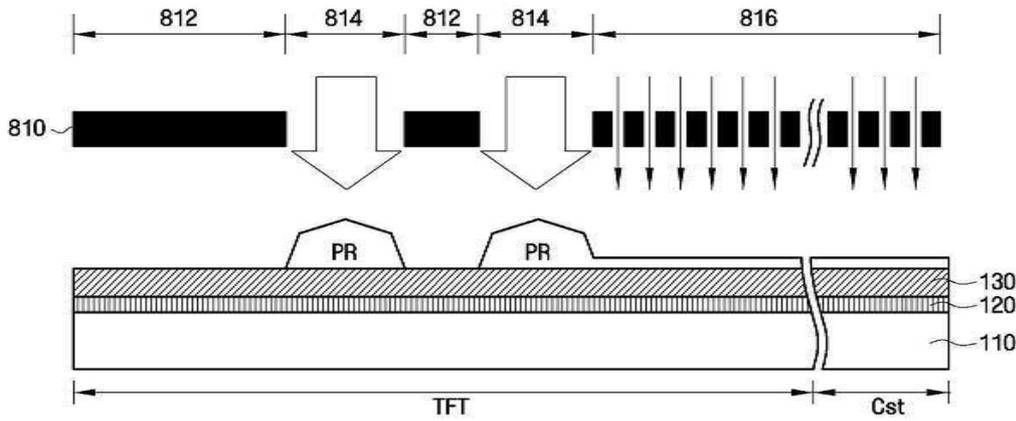
- 152 : 액티브 층
- 160 : 절연층
- 170 : 제1 보호막
- 180 : 제2 금속층
- 182 : 게이트 전극
- 184 : 스토리지 전극
- 190 : 제2 보호막
- 200 : 오버 코트층

도면

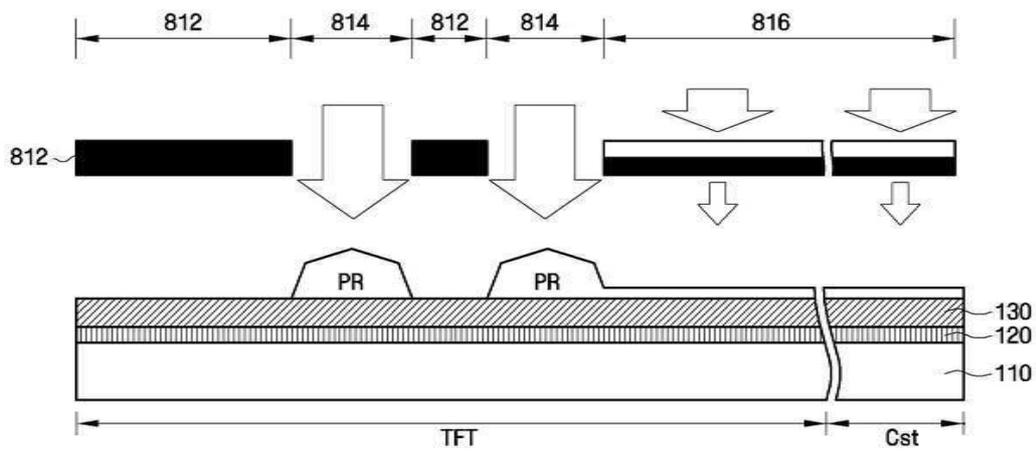
도면1



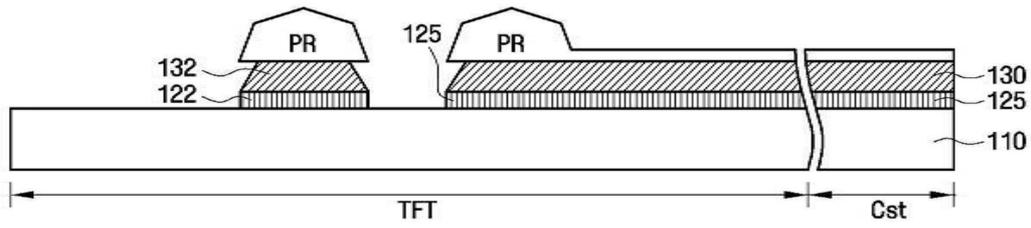
도면2a



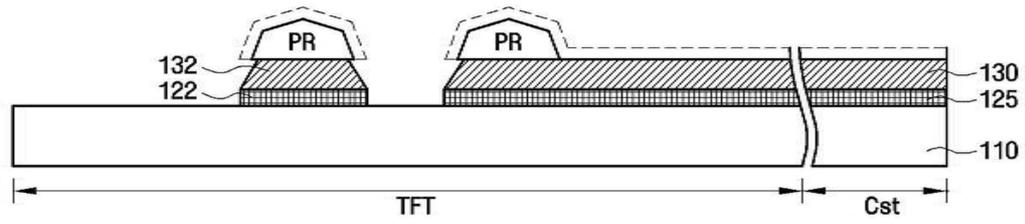
도면2b



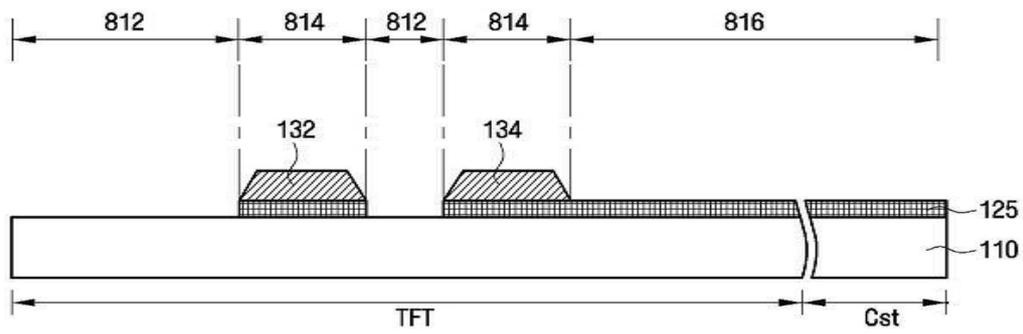
도면3



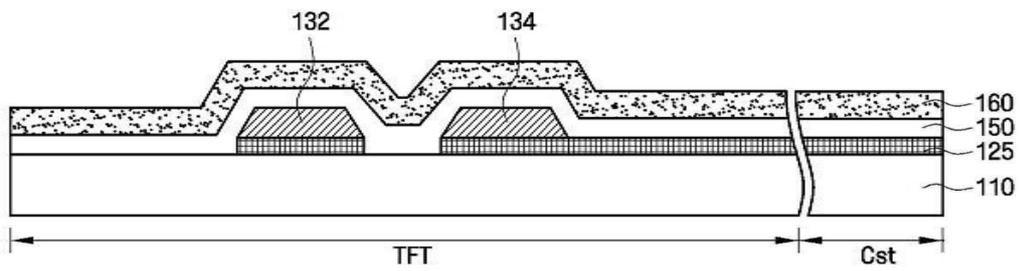
도면4



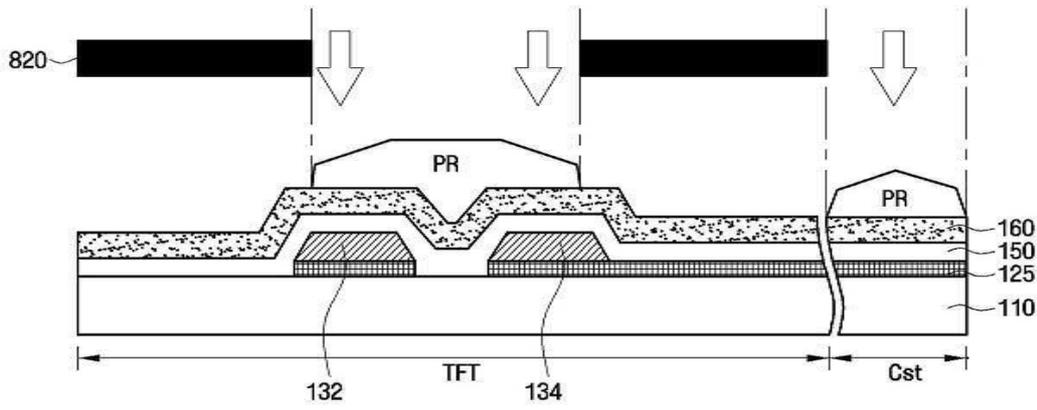
도면5



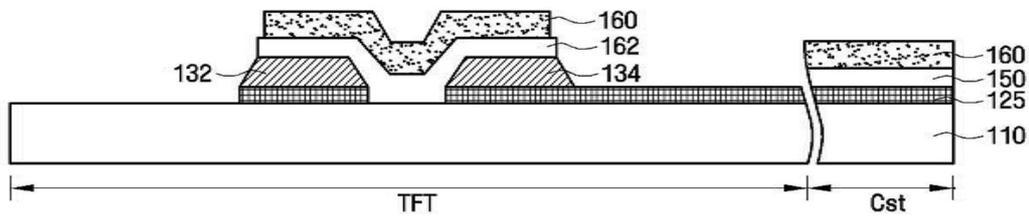
도면6



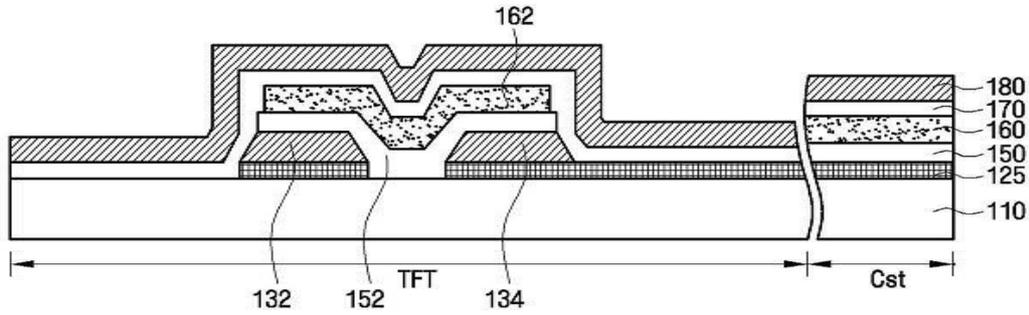
도면7



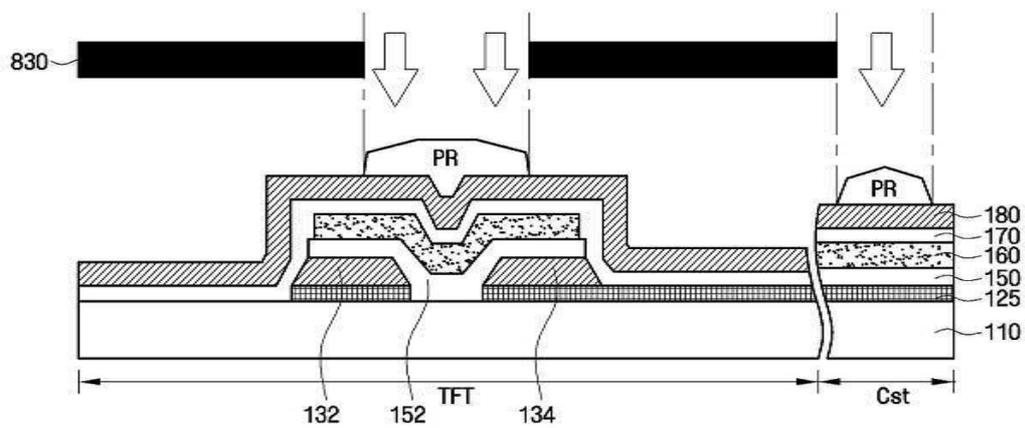
도면8



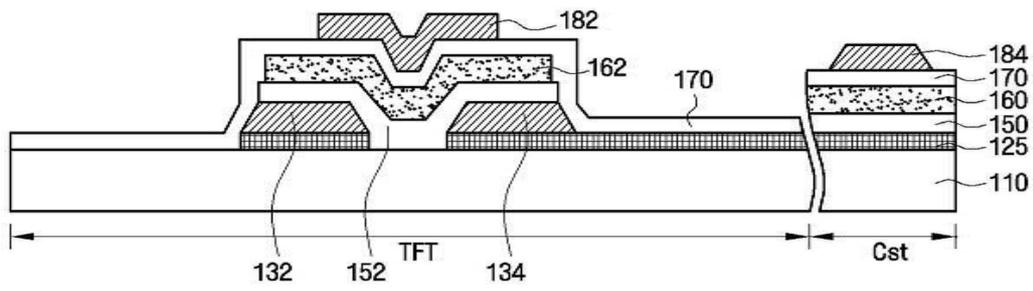
도면9



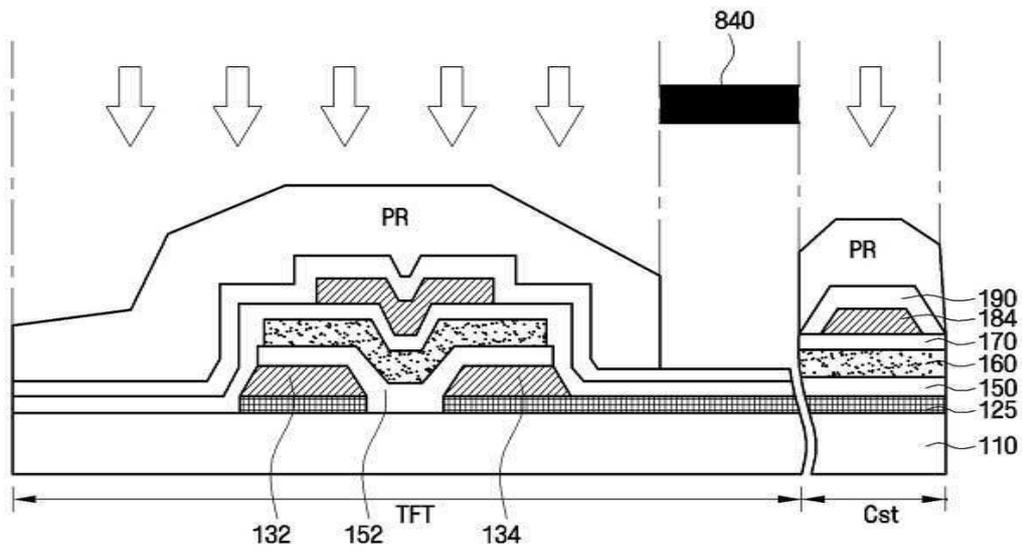
도면10



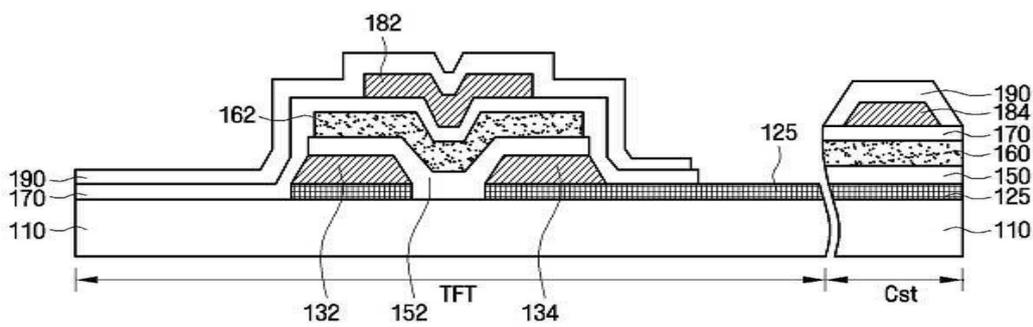
도면11



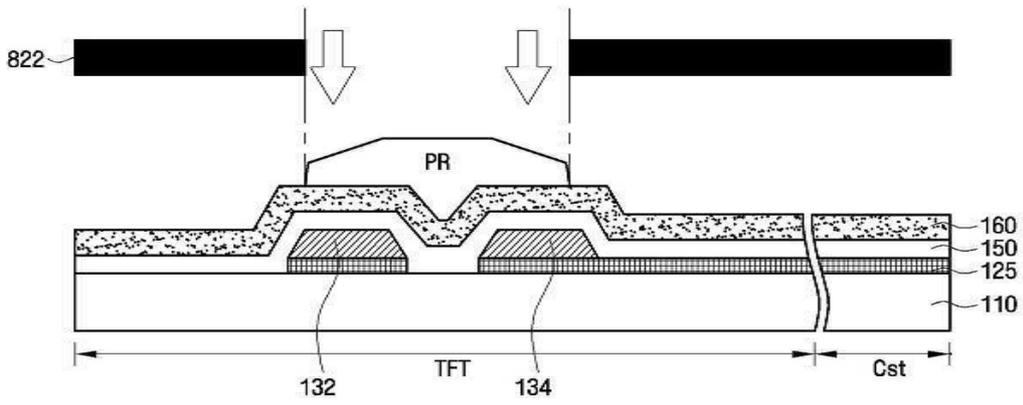
도면12



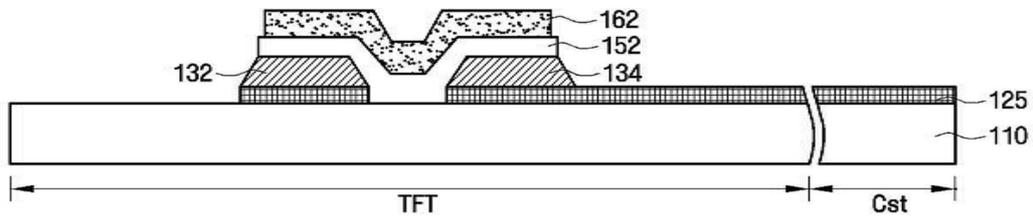
도면13



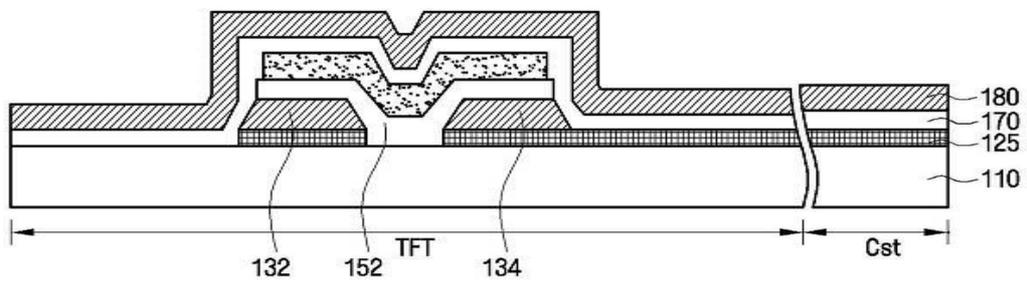
도면14



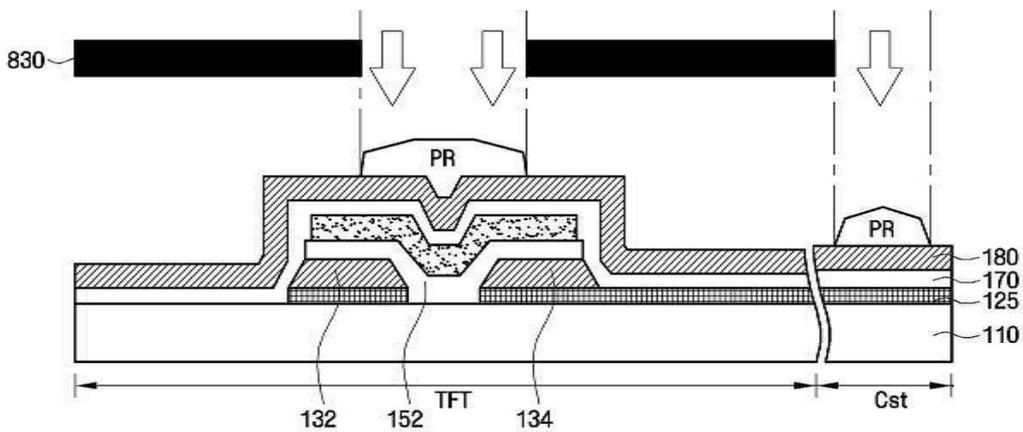
도면15



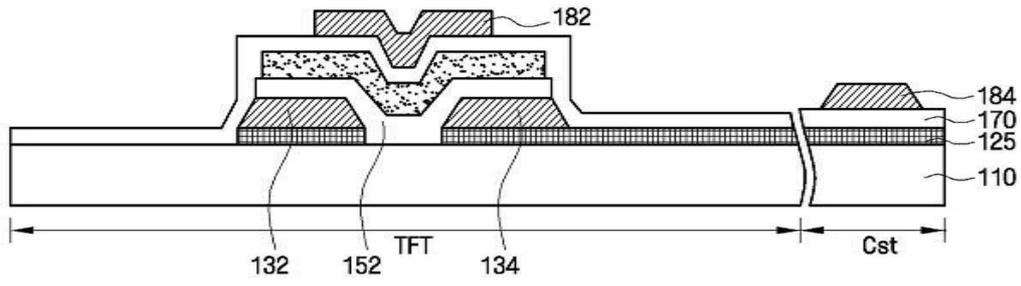
도면16



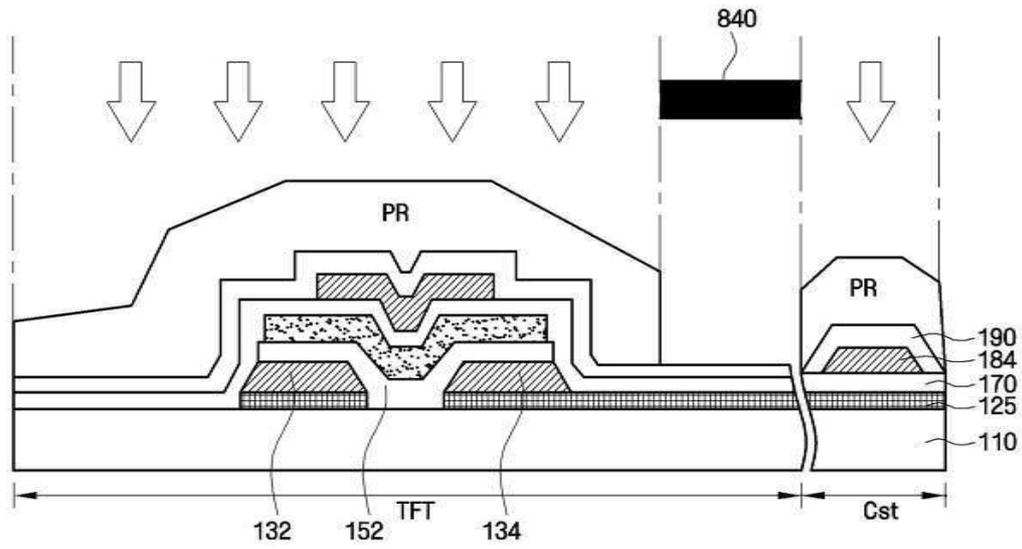
도면17



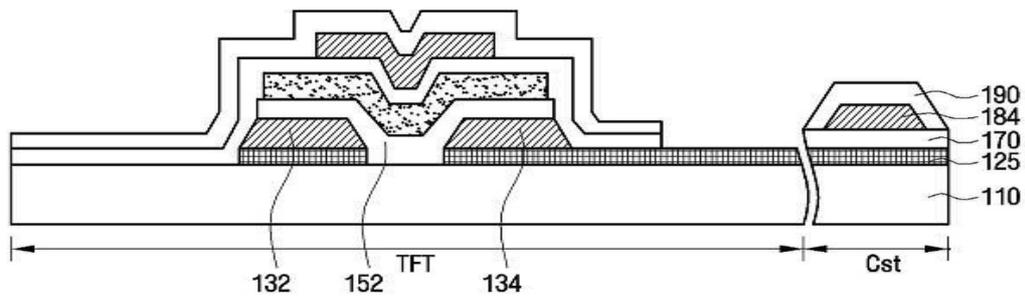
도면18



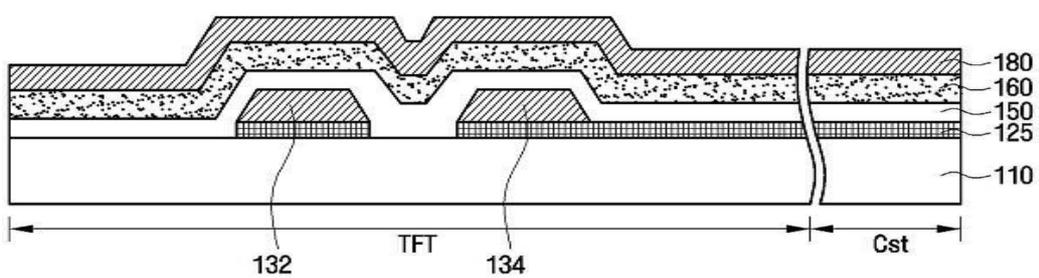
도면19



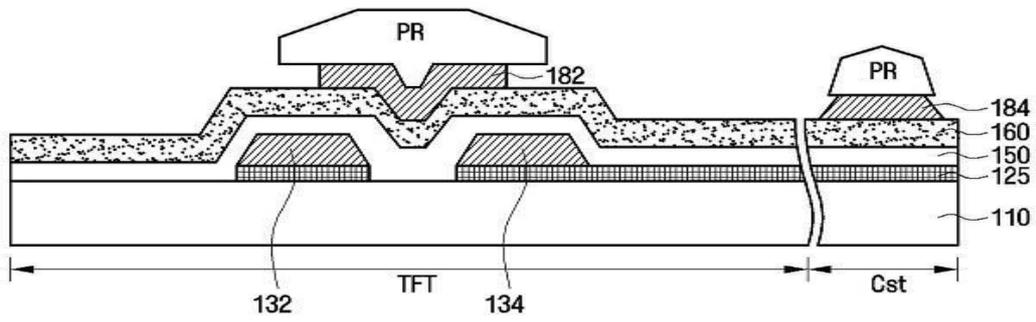
도면20



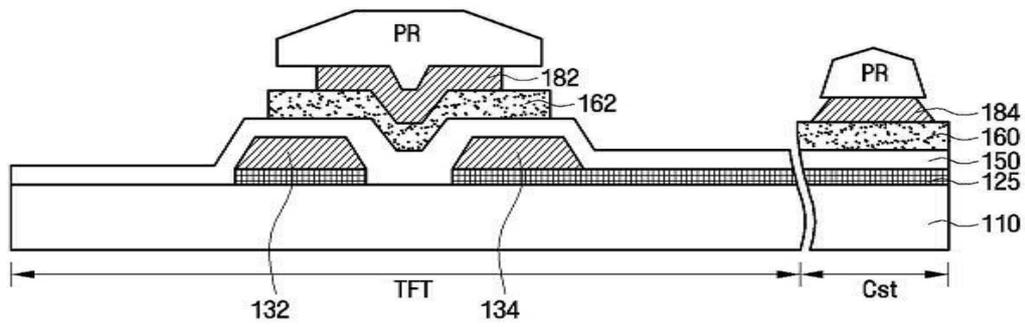
도면21



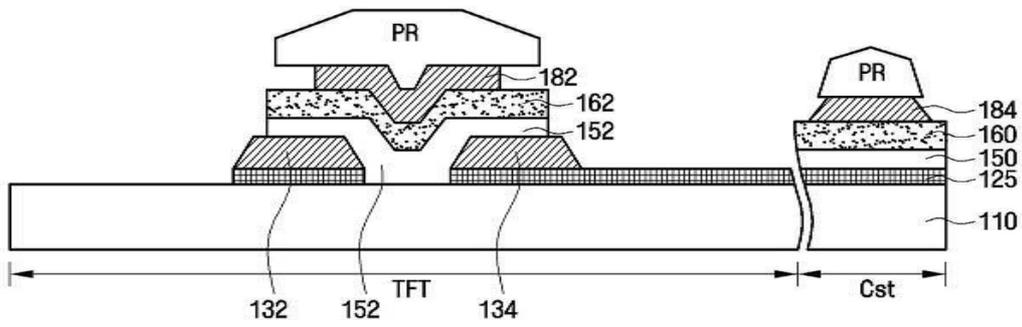
도면22



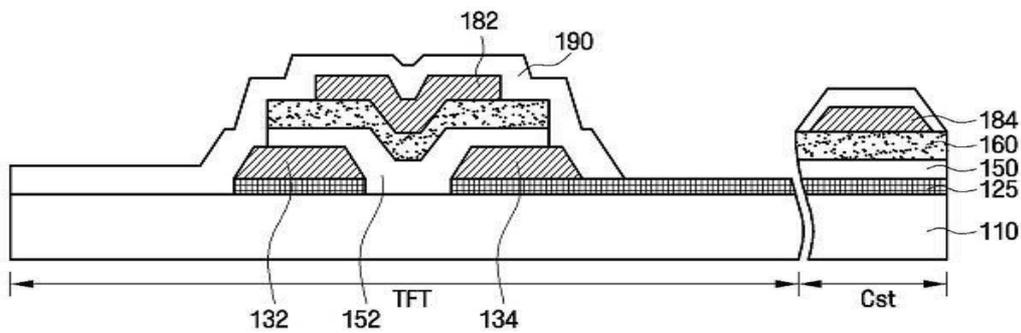
도면23



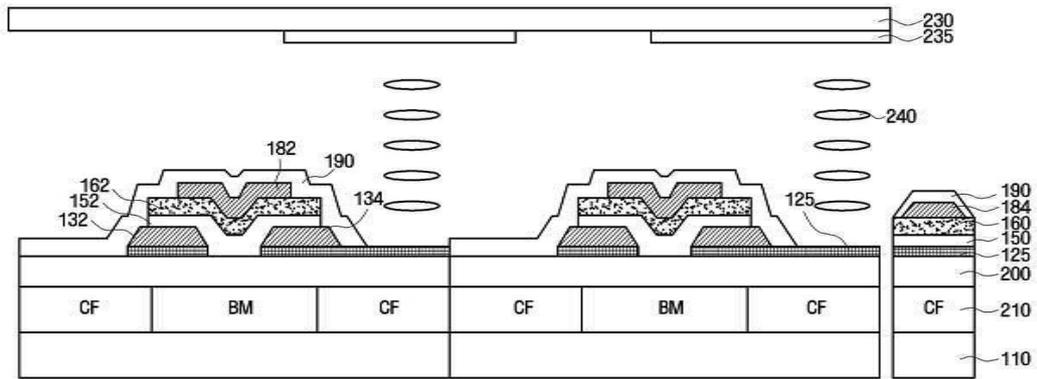
도면24



도면25



도면26



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020140114327A	公开(公告)日	2014-09-26
申请号	KR1020140118976	申请日	2014-09-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JE HUN 이제훈 KIM DO HYUN 김도현 KIM TAE SANG 김태상 SON KYUNG SEOK 손경석 JEONG CHANG OH 정창오		
发明人	이제훈 김도현 김태상 손경석 정창오		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/133514 G02F2201/123 H01L29/786		
外部链接	Espacenet		

摘要(译)

该摘要目前正在准备中。更新的KPA将于2014年12月10日之后提供。

