



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0029520
(43) 공개일자 2013년03월25일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2011-0092815

(22) 출원일자 2011년09월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이준동

경기도 안양시 동안구 평안동 초원부영아파트 70
5동 306호

(74) 대리인

특허법인천문

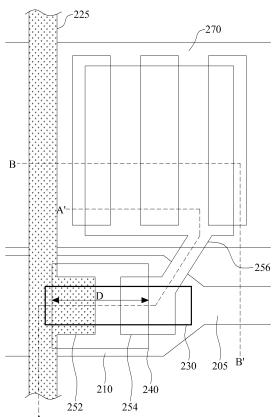
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요 약

본 발명은, 기판 상에 형성된 게이트전극; 상기 게이트전극 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 상기 게이트전극과 대응하도록 형성된 액티브층; 상기 액티브층 상에 형성된 에치 스토퍼; 상기 게이트 절연막 및 상기 에치 스토퍼의 일측에 형성된 소스전극; 상기 게이트 절연막 및 상기 에치 스토퍼의 타측에 상기 소스전극과 이격되게 형성된 드레인전극; 상기 드레인전극에 연장되게 형성된 화소전극; 상기 소스전극 및 상기 드레인전극 상에 형성된 패시베이션층; 및 상기 패시베이션층 상에 복수의 이격된 슬릿을 포함하여 형성된 공통전극을 포함하고, 상기 드레인전극 및 상기 화소전극은 동일한 투명도전물질을 이용하여 일체로 형성된 것을 특징으로 하는 액정표시장치. 및 그 제조방법에 관한 것으로서,

본 발명은 드레인전극과 화소전극을 동일한 투명 도전체를 사용하여 형성함으로써, 드레인전극이 형성된 영역을 투명하게하여 액정표시장치의 개구율이 향상되는 효과가 있다.

대 표 도 - 도3

특허청구의 범위

청구항 1

기판 상에 게이트전극을 형성하는 단계;
상기 게이트전극 상에 게이트 절연막을 형성하는 단계;
상기 게이트 절연막 상에 상기 게이트전극과 대응하도록 액티브층을 형성하는 단계;
상기 액티브층 상에 에치 스토퍼를 형성하는 단계;
상기 게이트 절연막 및 상기 에치 스토퍼의 일측에 소스전극을 형성하는 단계;
상기 게이트 절연막 및 상기 에치 스토퍼의 타측에 상기 소스전극과 이격되게 드레인전극을 형성하며, 상기 드레인전극에 연장되게 화소전극을 형성하는 단계;
상기 소스전극 및 상기 드레인전극 상에 패시베이션층을 형성하는 단계; 및
상기 패시베이션층 상에 공통전극을 형성하는 단계를 포함하고,
상기 드레인전극 및 상기 화소전극은 동일한 투명도전물질을 이용하여 일체로 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 2

제 1항에 있어서,

상기 에치 스토퍼는,

상기 소스전극 및 상기 드레인전극 사이에서 상기 액티브층을 통해 흐르는 전류의 경로인 채널길이(Channel Length)를 상기 액티브층 상에서 전류가 흐르는 방향에 대응하는 상기 에치 스토퍼의 양단 간 길이로 특정하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 3

제 1항에 있어서,

상기 액티브층은 산화물(Oxide) 반도체 또는 폴리실리콘(poly-Si)으로 형성되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 4

제 1항에 있어서,

상기 소스전극은 드라이 에칭(Dry Etching)으로 형성되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 5

제 1항에 있어서,

상기 소스전극 및 상기 드레인전극은 서로 다른 재료로 형성되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 6

제 1항에 있어서,

상기 드레인전극 및 상기 화소전극은 ITO로 형성되는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 7

기판 상에 형성된 게이트전극;

상기 게이트전극 상에 형성된 게이트 절연막;
 상기 게이트 절연막 상에 상기 게이트전극과 대응하도록 형성된 액티브층;
 상기 액티브층 상에 형성된 에치 스토퍼;
 상기 게이트 절연막 및 상기 에치 스토퍼의 일측에 형성된 소스전극;
 상기 게이트 절연막 및 상기 에치 스토퍼의 타측에 상기 소스전극과 이격되게 형성된 드레인전극;
 상기 드레인전극에 연장되게 형성된 화소전극;
 상기 소스전극 및 상기 드레인전극 상에 형성된 패시베이션층; 및
 상기 패시베이션층 상에 형성된 공통전극을 포함하고,
 상기 드레인전극 및 상기 화소전극은 동일한 투명도전물질을 이용하여 일체로 형성된 것을 특징으로 하는 액정표시장치.

청구항 8

제 7항에 있어서,

상기 에치 스토퍼는,

상기 소스전극 및 상기 드레인전극 사이에서 상기 액티브층을 통해 흐르는 전류의 경로인 채널길이(Channel Length)를 상기 액티브층 상에서 전류가 흐르는 방향에 대응하는 상기 에치 스토퍼의 양단 간 길이로 특정하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 7항에 있어서,

상기 액티브층은 산화물(Oxide) 반도체 또는 폴리실리콘(poly-Si)으로 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

제 7항에 있어서,

상기 소스전극 및 상기 드레인전극은 서로 다른 재료로 형성된 것을 특징으로 하는 액정표시장치.

명세서

기술 분야

[0001]

본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는 투명한 드레인 전극을 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002]

액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.

[0003]

액정표시장치는 하부기판, 상부기판, 및 상기 양 기판 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 액정층의 배열이 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.

[0004]

이하, 도면을 참조로 종래의 액정표시장치에 대해서 설명하기로 한다.

[0005]

도 1a는 종래의 액정표시장치의 하부 기판의 개략적인 평면도이고, 도 1b는 도 1a의 A-A'라인의 단면도이다.

[0006]

도 1a 및 도 1b를 참조하면, 종래의 액정표시장치는 데이터라인(1), 게이트라인(2), 공통라인(3), 박막 트랜지스터(T) 및 화소 영역(P)으로 이루어져 있다.

[0007]

데이터라인(1)은 세로 방향으로 배열되어 있고, 게이트라인(2) 및 공통라인(3)은 가로 방향으로 배열되어 있다.

- [0008] 게이트전극(20)은 상기 게이트라인(2)에서 연장형성되어 있다.
- [0009] 소스전극(72)은 상기 데이터라인(1)에서 연장형성되어 있고, 드레인전극(74)은 상기 소스전극(72)과 소정 간격으로 이격되어 서로 마주하고 있다.
- [0010] 화소 영역(P)은 데이터라인(1) 및 게이트라인(2)이 교차되는 영역에 형성되어 있으며, 공통전극(30) 및 화소전극(90)을 포함한다.
- [0011] 상기 공통전극(30)과 상기 화소전극(90)은 소정의 절연층에 의해 서로 절연되어 있는데, 상기 공통전극(30)은 절연층 아래에 형성되고 상기 화소전극(90)은 절연층 위에 형성된다.
- [0012] 상기 공통전극(30)은 상기 공통라인(3)과 연결되어 있고, 상기 화소전극(90)은 드레인전극(74)과 연결되어 있다.
- [0013] 박막 트랜지스터(T)는 기판(10), 게이트전극(20), 공통전극(30), 감광패턴(40), 게이트절연막(50), 액티브층(60), 소스전극(72), 드레인전극(74), 패시베이션층(80) 및 화소전극(90)을 포함한다.
- [0014] 기판(10) 상에는 게이트전극(20)이 형성되어 있다. 또한, 공통라인(3)과 연결되는 공통전극(30)이 상기 기판(10) 상에 형성되어 있다. 공통전극(30) 상에는 감광패턴(40)이 남아있다.
- [0015] 상기 게이트전극(20) 및 공통전극(30)을 포함한 기판(10) 전면(全面)에는 게이트 절연막(50)이 형성되고 있고, 상기 게이트 절연막(50) 상에는 액티브층(60)이 형성되어 있다.
- [0016] 상기 액티브층(60) 상에는 데이터라인(1)에서 연장되는 소스전극(72) 및 상기 소스전극(72)과 마주하는 드레인전극(74)이 형성되어 있다.
- [0017] 상기 소스전극(72) 및 드레인전극(74)을 포함한 기판(10) 전면(全面)에는 패시베이션층(80)이 형성되고 있고, 상기 패시베이션층(80) 상에는 화소전극(90)이 형성되어 있다.
- [0018] 상기 화소전극(90)은 상기 패시베이션층(80)에 형성된 콘택홀을 통해 상기 드레인전극(74)과 전기적으로 연결되어 있다.
- [0019] 이상과 같은 종래의 액정표시장치는 드레인전극(74) 및 화소전극(90)을 연결하기 위해 콘택홀을 형성하며, 드레인전극(74)은 저항이 낮은 불투명 도전체를 사용하고, 화소전극(90)은 투명 도전체를 사용하는 방식인데, 이와 같은 종래의 액정표시장치는 다음과 같은 문제점이 있다.
- [0020] 우선, 드레인전극(74)을 불투명한 도전체를 사용함에 따라 B영역과 같은 불투명 영역이 형성되며, 이것은 액정표시장치의 개구율을 저하시킨다.
- [0021] 또한, 드레인전극(74)과 화소전극(90)을 연결시키기 위해 콘택홀을 형성해야하는 등 공정이 복잡해진다.

발명의 내용

해결하려는 과제

- [0022] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 액정표시장치의 개구율을 향상시키고, 공정을 단순화하여 생산성을 향상시킬 수 있는 액정표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0023] 본 발명은 상기 목적을 달성하기 위해서, 기판 상에 게이트전극을 형성하는 단계; 상기 게이트전극 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 상기 게이트전극과 대응하도록 액티브층을 형성하는 단계; 상기 액티브층 상에 에치 스토퍼를 형성하는 단계; 상기 게이트 절연막 및 상기 에치 스토퍼의 일측에 소스전극을 형성하는 단계; 상기 게이트 절연막 및 상기 에치 스토퍼의 타측에 상기 소스전극과 이격되게 드레인전극을 형성하며, 상기 드레인전극에 연장되게 화소전극을 형성하는 단계; 상기 소스전극 및 상기 드레인전극 상에 패시베이션층을 형성하는 단계; 및 상기 패시베이션층 상에 복수의 이격된 슬릿이 형성된 공통전극을 형성하는 단계를 포함하고, 상기 드레인전극 및 상기 화소전극은 동일한 투명도전물질을 이용하여 일체로 형성하는 것을 특징으로 하는 액정표시장치 제조방법을 제공한다.
- [0024] 본 발명은 또한, 상기 목적을 달성하기 위해서, 기판 상에 형성된 게이트전극; 상기 게이트전극 상에 형성된 게

이트 절연막; 상기 게이트 절연막 상에 상기 게이트전극과 대응하도록 형성된 액티브층; 상기 액티브층 상에 형성된 에치 스토퍼; 상기 게이트 절연막 및 상기 에치 스토퍼의 일측에 형성된 소스전극; 상기 게이트 절연막 및 상기 에치 스토퍼의 타측에 상기 소스전극과 이격되게 형성된 드레인전극; 상기 드레인전극에 연장되게 형성된 화소전극; 상기 소스전극 및 상기 드레인전극 상에 형성된 패시베이션층; 및 상기 패시베이션층 상에 복수의 이격된 슬릿을 포함하여 형성된 공통전극을 포함하고, 상기 드레인전극 및 상기 화소전극은 동일한 투명도전물질을 이용하여 일체로 형성된 것을 특징으로 하는 액정표시장치를 제공한다.

발명의 효과

[0025] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0026] 본 발명은 드레인전극과 화소전극을 동일한 투명 도전체를 사용하여 형성함으로써, 드레인전극이 형성된 영역을 투명하게하여 액정표시장치의 개구율이 향상되는 효과가 있다.

[0027] 본 발명은 화소전극을 드레인전극과 직접 연결함으로써 종래와 같이 콘택홀을 통해 화소전극과 드레인전극을 전기적으로 연결하는 경우에 비하여 공정이 단순해져 생산성이 향상되는 효과가 있다.

도면의 간단한 설명

[0028] 도 1a는 종래의 액정표시장치의 하부 기판의 개략적인 평면도이다.

도 1b는 도 1a의 A-A'라인의 단면도이다.

도 2a 내지 도 2l은 본 발명에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도이다.

도 3은 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 평면도이다.

도 4a는 도 3의 A-A'라인의 단면도이다.

도 4b는 도 3의 B-B'라인의 단면도이다.

도 5는 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

[0030] <액정표시장치의 제조방법>

[0031] 도 2a 내지 도 2l은 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도이다.

[0032] 우선, 도 2a에서 알 수 있듯이, 기판(200) 상에 게이트전극(210)을 형성한다.

[0033] 상기 기판(200)은 유리 또는 투명한 플라스틱과 같은 투명 재료로 이루어질 수 있다.

[0034] 상기 게이트 전극(210)은 상기 기판(200) 상에 소정의 금속물질을 적층하고, 소정의 금속물질 상에 포토 레지스트를 적층한 후, 마스크를 이용하여 노광, 현상 및 식각 공정을 차례로 수행하는 소위 마스크 공정을 이용하여 패턴 형성할 수 있으며, 이하에서 설명하는 각각의 구성에 대한 패턴 형성도 상기와 같은 마스크 공정을 이용하여 수행할 수 있다.

[0035] 상기 게이트 전극(210)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있다.

[0036] 한편, 도시하지는 않았지만, 상기 게이트전극(210)을 형성하는 공정 시에 상기 게이트전극(210)과 연결되는 게이트라인을 동시에 형성하게 된다.

[0037] 다음, 도 2b에서 알 수 있듯이, 상기 게이트전극(210)을 포함한 기판(200) 전면에 게이트 절연막(220)을 형성한다.

[0038] 상기 게이트 절연막(220)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.

[0039] 상기 게이트 절연막(220)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiNx)으로 이루어질 수 있으며, 상기 산화

막 또는 질화막의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있다.

[0040] 다음, 상기 게이트 절연막(220)의 전면에 액티브 레이어(230a)를 형성한다.

[0041] 액티브 레이어(230a)는 스퍼터링(sputtering) 및 증발법(evaporation)을 포함하는 물리 기상 증착(Physical Vapor Deposition : PVD) 등으로 형성될 수 있다.

[0042] 상기 액티브 레이어(230a)은 폴리실리콘(poly-Si) 또는 산화물(Oxide) 반도체와 같은 물질로 이루어질 수 있다. 상기 산화물 반도체는 IGZO 등을 사용할 수 있다.

[0043] 다음, 도 2c에서 알 수 있듯이, 상기 액티브 레이어(230a)를 패터닝하여 액티브층(230)을 형성한다.

[0044] 상기 액티브층(230)은 게이트전극(210)에 게이트 전압이 인가되면, 소스전극과 드레인전극에 전류가 흐를 수 있는 채널을 형성하는 기능을 수행한다.

[0045] 또한, 액티브층(230) 상에는 오믹콘택층(미도시)이 포함될 수 있다. 오믹콘택층은 소스전극 및 드레인전극과 액티브층(230) 사이의 전기접촉 저항을 감소시켜 캐리어 주입이 원활하게 될 수 있도록 하며 홀(hole)이 액티브층(230) 외부로 빠져나가는 것을 방지한다. 액티브층(230)이 산화물인 경우 오믹콘택층은 산소 함량이 적은 전도성 산화물일 수 있다.

[0046] 다음, 도 2d에서 알 수 있듯이, 상기 게이트 절연막(220) 및 상기 액티브층(230) 상에 에치 스토퍼 레이어(240a)를 형성한다.

[0047] 에치 스토퍼 레이어(240a)는 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiNx)으로 이루어질 수 있다.

[0048] 다음, 도 2e에서 알 수 있듯이, 상기 에치 스토퍼 레이어(240a)를 패터닝하여 에치 스토퍼(240)를 형성한다.

[0049] 에치 스토퍼(240)는 액티브층(230)이 산화물(Oxide)로 구성된 경우, 액티브층(230)을 보호하는 역할을 수행하며, 액티브층(230)의 두께를 에치 베(E/B) 구조에 비하여 얕게 형성할 수 있게 한다.

[0050] 또한, 에치 스토퍼(240)는 소스전극(252) 및 드레인전극(254) 사이에서 액티브층(230)을 통해 흐르는 전류의 경로인 채널길이(Channel Length)를 액티브층(230) 상에서 전류가 흐르는 방향에 대응하는 에치 스토퍼(240)의 양단 간 길이(D)로 결정한다.

[0051] 이때, 채널길이란 소스전극(252) 및 드레인전극(254) 사이에서 액티브층(230)을 통해 전류가 흐르는 경로의 길이를 말한다.

[0052] 본 발명에 따른 액정표시장치 제조방법은 소스전극(252)과 드레인전극(254)을 동시에 형성하지 않기 때문에 상기 채널길이가 변경될 여지가 있다. 즉, 소스전극(252)을 형성한 후, 드레인전극(254)을 별도로 형성하게되면 드레인전극(254)의 패터닝 공정에서 마스크의 위치에 따른 공차에 따라 채널길이가 변경될 수 있다.

[0053] 따라서, 상기 에치 스토퍼(240)를 이용하면 드레인전극(254)의 위치에 상관없이 에치 스토퍼(240)의 양단 간 길이(D)가 채널길이로 결정되므로, 이를 소정의 값으로 설계하여 액티브층(240)의 채널길이로 특정할 수 있다.

[0054] 이로서, 소스전극(252)과 드레인전극(254)을 별도의 패터닝 공정으로 형성하더라도 항상 일정한 채널길이를 갖는 박막 트랜지스터를 제조할 수 있는 효과가 있다.

[0055] 다음, 도 2f에서 알 수 있듯이, 상기 게이트 절연막(220) 및 에치 스토퍼(240) 상에 소스전극층(252a)을 형성한다.

[0056] 상기 소스전극층(252a)은 패널로드(Panel Load)에 의한 박막 트랜지스터의 동작에 지연(delay)을 최소화하기 위하여 저항이 낮은 도전체로 형성한다.

[0057] 따라서 소스전극층(252a)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있다.

[0058] 다음, 도 2g에서 알 수 있듯이, 상기 소스전극층(252a)을 패터닝하여 소스전극(252)을 형성한다.

[0059] 이때, 습식각(Wet Etch) 방식으로 소스전극층(252a)을 패터닝하면 액티브층(230)이 드러나는 영역(도 2i에서 드레인전극(254)과 오믹콘택을 형성하는 부분)이 부식액(Etchant)에 노출되어 액티브층(230)을 형성하고 있는 IGZO가 손상되는 문제가 발생한다.

- [0060] 따라서, 상기 소스전극층(252a)을 패터닝하는 과정은 건식각(Dry Etch)로 실시한다.
- [0061] 다음, 도 2h에서 알 수 있듯이, 상기 게이트 절연막(220) 및 소스전극(252) 상에 드레인전극층(254a)을 형성한다.
- [0062] 상기 드레인전극층(254a)은 투명도전체로 형성되며, 상기 투명도전체는 ITO(Indium Tin Oxide)일 수 있다.
- [0063] 다음, 도 2i에서 알 수 있듯이, 상기 드레인전극층(254a)을 패터닝하여 드레인전극(254)을 형성한다.
- [0064] 드레인전극(254)은 액티브층(230) 상에 소스전극(252)과 마주보고 형성되며 픽셀전극(256)과 연결된다.
- [0065] 이때, 드레인전극(254)을 형성함과 동시에 픽셀전극(256)도 같은 레이어 상에서 일체로 형성될 수 있다. 이에 따라 드레인전극(254)과 픽셀전극(256)을 따로 형성하지 않아도 되고, 드레인전극(254)과 픽셀전극(256)의 연결을 위한 콘택홀을 형성하지 않아도므로 공정이 단순화될 수 있다.
- [0066] C영역은 도 1b의 B영역에 대응하는 영역을 도시하기 위한 것으로, 도 1b의 B영역은 드레인전극(74)이 불투명하기 때문에 빛이 투과하지 않는 영역임에 반해, C영역에서 드레인전극(254)은 투명한 재료이기 때문에 빛이 투과하는 영역이다. 따라서, 본 발명에 따르면 C영역으로도 빛이 투과되어 개구율이 향상되는 효과가 있다.
- [0067] 한편, 드레인전극(254)을 ITO로 형성할 때, 상기 액티브층(230)이 비정질 실리콘(a-Si)인 경우, 드레인전극(254)과 비정질 실리콘의 경계면에서 산화(Oxidation)가 일어나면서 SiO_x의 절연층이 형성되는 문제가 있다.
- [0068] 또한, ITO로 형성된 드레인전극(254)과 비정질 실리콘으로 형성된 액티브층(230)의 경계면에서 ITO의 인듐이 석출되어 액티브층(230)을 손상시키는 문제가 있다.
- [0069] 따라서, 상술한 문제점에 의해 본 발명의 액티브층(230)은 상술한 바와 같이 폴리실리콘(poly-Si) 또는 산화물(Oxide) 반도체와 같은 물질로 이루어질 수 있다.
- [0070] 픽셀전극(256)은 드레인전극(254)과 연결되어 형성되며 드레인전극(254)과 동일한 재료로 동시에 형성된다. 상기 픽셀전극(256)은 투명도전체로 형성되며, 상기 투명도전체는 ITO일 수 있다.
- [0071] 픽셀전극(256)을 드레인전극(254)과 동시에 형성함에 따라, 별도의 콘택홀을 형성할 필요가 없고, 또한 이종의 금속인 픽셀전극(256)과 드레인전극(254)을 전기적으로 접촉시키기 위한 과정이 필요없어 공정이 단순화되고 생산성이 향상되는 효과가 있다.
- [0072] 다음, 도 2j에서 알 수 있듯이, 상기 소스전극(252) 및 상기 드레인전극(254) 상에 패시베이션층(260)을 형성한다.
- [0073] 상기 패시베이션층(260)은 PECVD 방법을 이용하여 형성할 수 있고, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 구성될 수 있다.
- [0074] 패시베이션층(260)은 절연층으로서 픽셀전극(256)과 공통전극(270)을 이격시키고, 소스전극(252) 및 드레인전극(254)을 보호하는 역할을 수행한다.
- [0075] 다음, 도 2k에서 알 수 있듯이, 상기 패시베이션층(260) 상에 공통전극층(270a)을 형성한다.
- [0076] 상기 공통전극층(270a)은 투명전극층으로 형성되며, 상기 투명전극층은 ITO일 수 있다.
- [0077] 다음, 도 2l에서 알 수 있듯이, 상기 공통전극층(270a)을 패터닝하여 공통전극(270)을 형성한다.
- [0078] 상기 공통전극(270)은 서로 이격된 복수의 슬릿을 포함하여 형성된다.
- [0079] 한편, 본 발명에 따른 액정표시장치는 상기 도 2a 내지 도 2l에 따른 박막 트랜지스터를 형성하는 공정과 더불어, 기판 상에 차광층, 컬러필터층 및 오버코트층을 차례로 형성하여 컬러필터 기판을 형성하는 공정, 및 상기 양 기판 사이에 액정층을 형성하는 공정을 통해 그 제조가 완성된다.
- [0080] <액정표시장치>
- [0081] 도 3은 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 4a는 도 3의 A-A'라인의 단면도이고, 도 4b는 도 3의 B-B'라인의 단면도이다.
- [0082] 도 3에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는, 게이트 라인(205), 게이트전극(210), 데이터 라인(225), 액티브층(230), 에치 스토퍼(240), 소스전극(252), 드레인전극(254), 화소전극(256) 및 공통

전극(270)을 포함하여 이루어진다.

[0083] 상기 게이트 라인(205)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(225)은 세로 방향으로 배열되어 있다. 이와 같이 상기 게이트 라인(210)과 상기 데이터 라인(210)이 서로 교차되도록 배열되어 하나의 화소 영역이 정의된다.

[0084] 상기 게이트전극(210)은 상기 게이트 라인(205)의 일부로 형성되며, 상기 게이트전극(210)이 형성된 게이트 라인(205)은 게이트전극(210)이 형성되지 않은 영역보다 세로 방향으로 길게 형성됨을 알 수 있다.

[0085] 액티브층(230)은 상기 게이트 전극(210)과 상기 소스/드레인 전극(252, 254) 사이의 중간층에 형성되어 박막 트랜지스터가 동작할 때 전자가 이동하는 채널 역할을 한다.

[0086] 또한, 액티브층(230)은 세로 방향보다 소스/드레인 전극(252, 254) 사이에서 전류가 흐르는 방향인 가로 방향으로 더 길게 형성된다.

[0087] 이를 상세하게 설명하면, 드레인전극(254)의 형성시 상술한 가로 방향으로 공차가 생기더라도 드레인전극(254)과 액티브층(230)이 중첩되는 부분(오믹 콘택)이 일정하게 유지될 수 있도록, 액티브층(230)을 가로 방향으로 더 길게 마진을 두어 형성한다.

[0088] 같은 이유로 소스전극(252)과 액티브층(230)이 중첩되는 부분이 일정하게 유지될 수 있도록, 액티브층(230)을 가로 방향으로 더 길게 마진을 두어 형성한다.

[0089] 에치 스토퍼(240)는 상기 액티브층(230) 상에 형성되며, 소스전극(252) 및 드레인전극(254) 사이에서 액티브층(230)을 통해 흐르는 전류의 경로인 채널길이(Channel Length)를 액티브층(230) 상에서 전류가 흐르는 방향에 대응하는 에치 스토퍼(240)의 양단 간 길이(D)로 결정한다.

[0090] 이때, 채널길이란 소스전극(252) 및 드레인전극(254) 사이에서 액티브층(230)을 통해 전류가 흐르는 경로의 길이를 말한다.

[0091] 본 발명에 따른 액정표시장치 제조방법은 소스전극(252)과 드레인전극(254)을 동시에 형성하지 않기 때문에 상기 채널길이가 변경될 여지가 있다. 즉, 소스전극(252)을 형성한 후, 드레인전극(254)을 별도로 형성하게되면 드레인전극(254)의 패터닝 공정에서 마스크의 위치에 따른 공차에 따라 채널길이가 변경될 수 있다.

[0092] 따라서, 상기 에치 스토퍼(240)를 이용하면 드레인전극(254)의 위치에 상관없이 에치 스토퍼(240)의 양단 간 길이(D)가 채널길이로 결정되므로, 이를 소정의 값으로 설계하여 액티브층(240)의 채널길이로 특정할 수 있다.

[0093] 소스전극(252)은 에치 스토퍼(240)의 일측에 형성되며, 데이터 라인(225)으로부터 인가된 전기신호를 액티브층(230)을 통해 드레인전극(254)으로 전달한다.

[0094] 드레인전극(254)은 상기 에치 스토퍼(240)의 타측에 형성되며, 상기 소스전극(252)과 소정 간격으로 이격되어 서로 마주하여 형성된다.

[0095] 드레인전극(254)은 소스전극(252)으로부터 인가된 전기신호를 화소전극(256)으로 전달한다.

[0096] 본 발명에 따른 액정표시장치에 있어서, 드레인전극(254)은 투명 도전체로 형성되며, 상기 투명 도전체는 ITO일 수 있다.

[0097] 도 4a에서 알 수 있듯이, 드레인전극(254)이 투명 도전체로 형성됨에 따라 C영역으로도 빛이 투과되어 액정표시장치의 개구율이 향상되는 효과가 있다.

[0098] 이와 같은 박막 트랜지스터의 소스전극(252) 및 드레인전극(254) 도 3에 도시된 바와 같은 구조로 한정되는 것은 아니고, 예로서 상기 소스전극(252)이 U자 형태로 구성되는 구조 등과 같이 다양한 형태로 변경될 수 있다.

[0099] 화소전극(256)은 화소 영역 내에 형성되며, 드레인전극(254)과 전기적으로 연결되어 있다. 특히, 상기 화소전극(256)은 별도의 콘택홀을 통하지 않고 상기 드레인전극(256)과 직접 연결되어 있으며, 드레인전극(256)과 동시에 동일한 재료를 사용하여 형성하므로 구조가 간단하다.

[0100] 따라서, 종래에 비하여 공정이 단순해져 생산성이 향상되는 효과가 있다.

[0101] 공통전극(270)은 상기 화소 영역을 포함하여 기판(200)의 대부분에 판(plate) 형상으로 형성된다. 이와 같이 공통전극(270)이 기판(200)의 대부분에 형성되어 있기 때문에, 상기 공통전극(270)에 공통 전압을 인가하기 위한 공통 라인을 종래와 같이 화소 영역 내에 형성할 필요가 없게 되고 그에 따라 광투과도가 증진되는 효과가

있다.

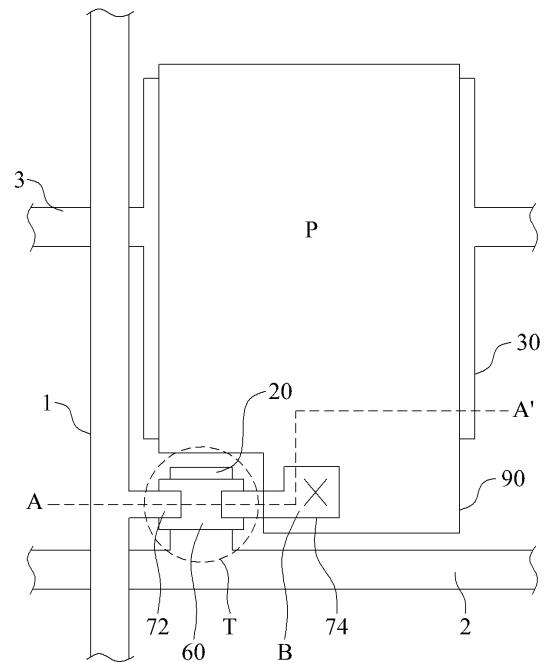
- [0102] 상기 공통전극(270)은 패시베이션층을 사이에 두고 상기 화소전극(256)과 절연되어 있다. 구체적으로, 상기 공통전극(270)은 패시베이션층 위에 형성되고, 상기 화소전극(256)은 패시베이션층 아래에 형성된다.
- [0103] 상기 공통전극(270)은 그 내부에 복수 개의 슬릿을 구비하고 있다. 다만, 복수 개의 슬릿을 포함하는 것은 실시예에 불과하므로 변형이 가능하다.
- [0104] 도 5는 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 평면도이다.
- [0105] 도 5에서 알 수 있듯이 드레인전극(254)은 다양한 형태로 변경될 수 있다. 즉, 드레인전극(254)은 화소전극과 전기적으로 안정적인 콘택을 유지하기 위해 넓은 면적으로 형성될 수 있다. 하지만, 본 발명의 경우 C영역이 증가하게 되더라도 이 영역을 통해 빛이 투과할 수 있으므로 개구율이 저하되지 않는다.
- [0106] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 구성을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0107] 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해하여야한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

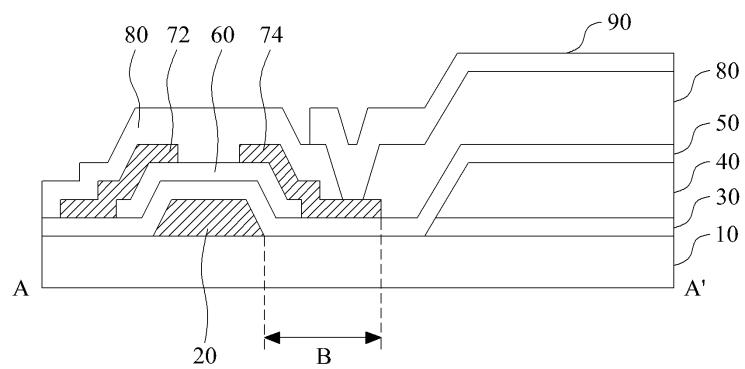
- [0108]
- 200 - 기판
 - 205 - 게이트 라인
 - 210 - 게이트전극
 - 225 - 데이터 라인
 - 230 - 액티브층
 - 240 - 애치 스토퍼
 - 252 - 소스전극
 - 254 - 드레인전극
 - 256 - 화소전극
 - 270 - 공통 전극

도면

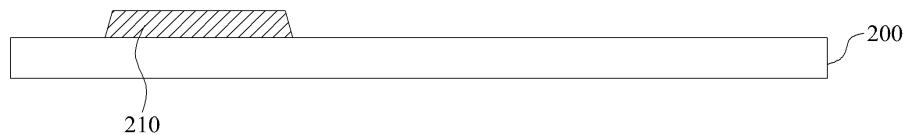
도면1a



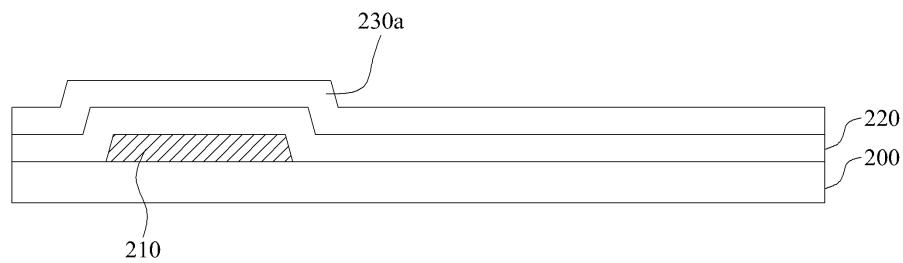
도면1b



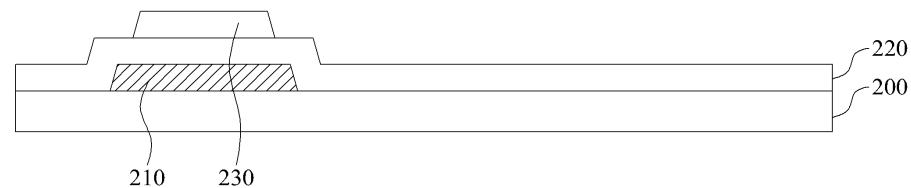
도면2a



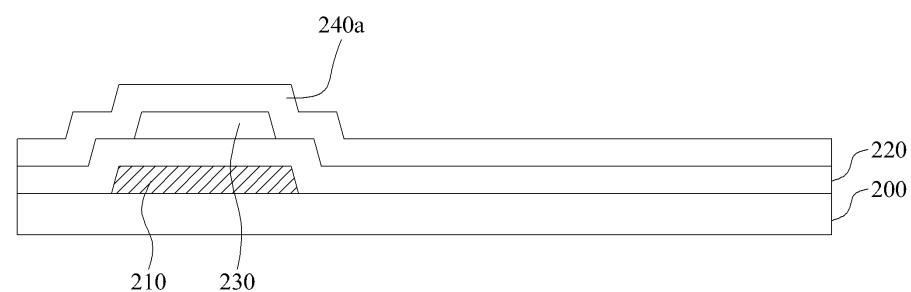
도면2b



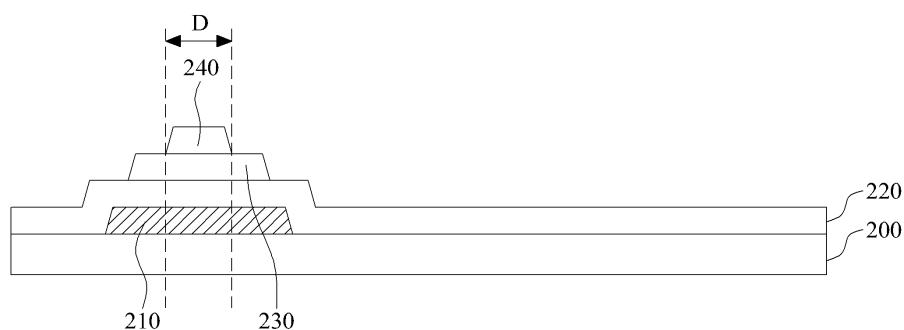
도면2c



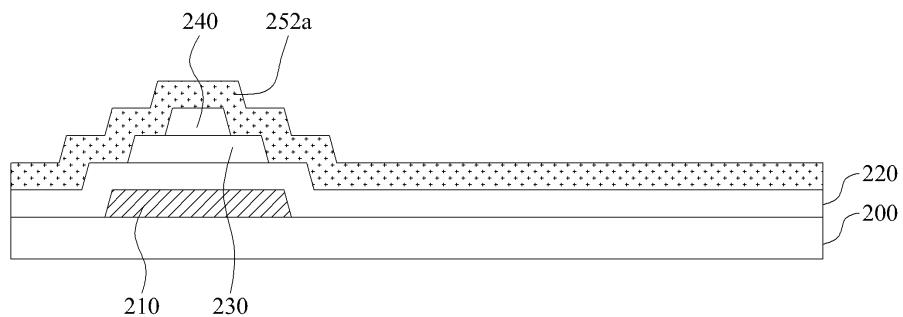
도면2d



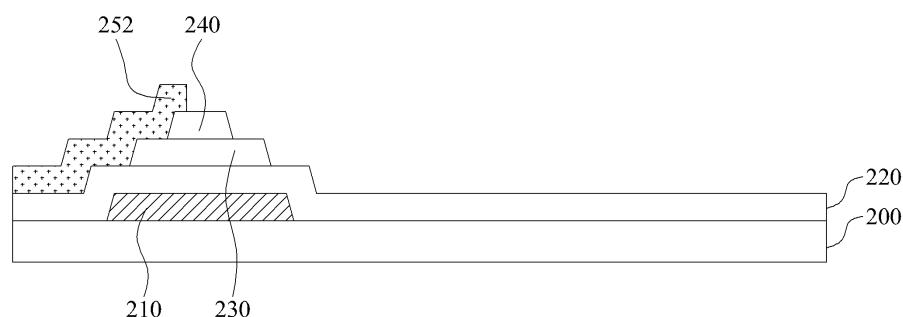
도면2e



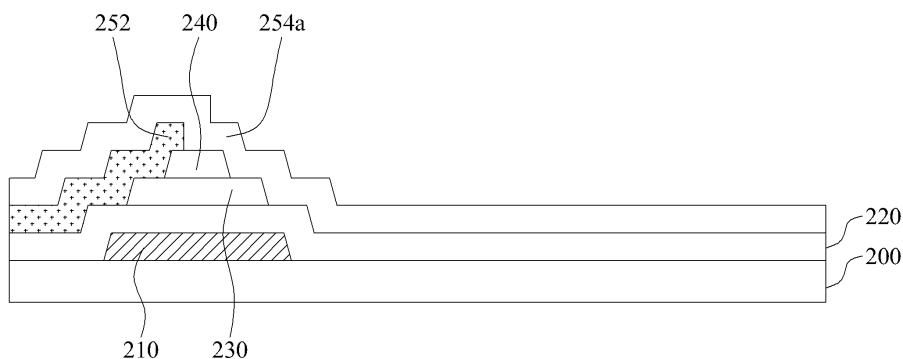
도면2f



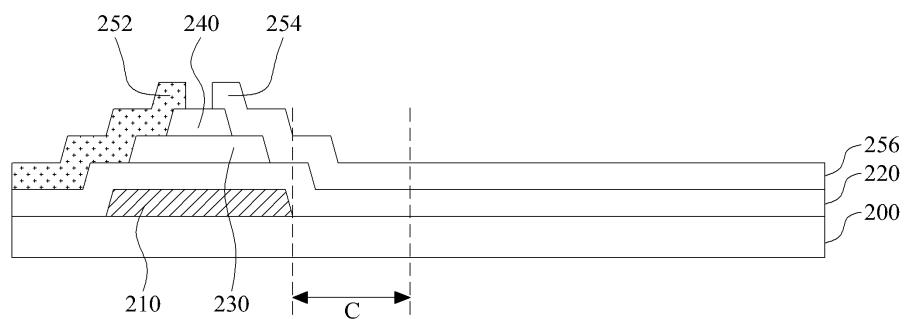
도면2g



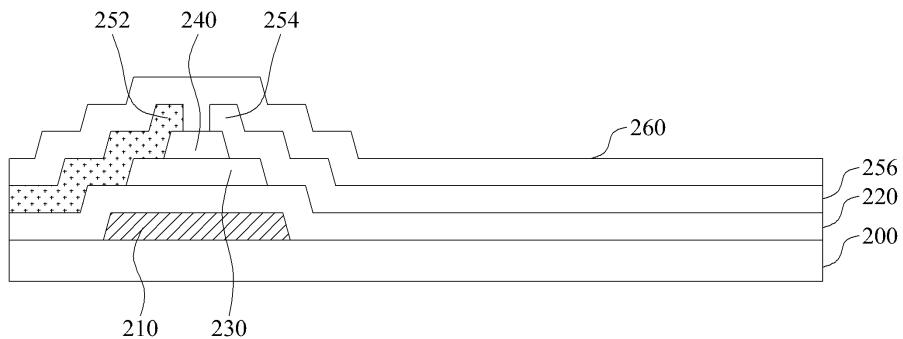
도면2h



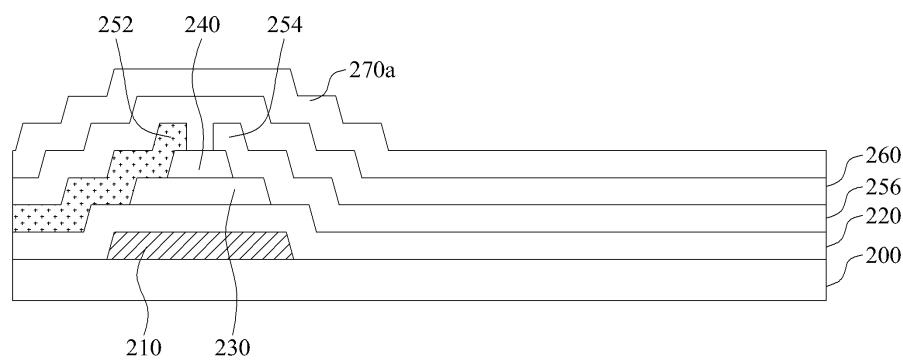
도면2i



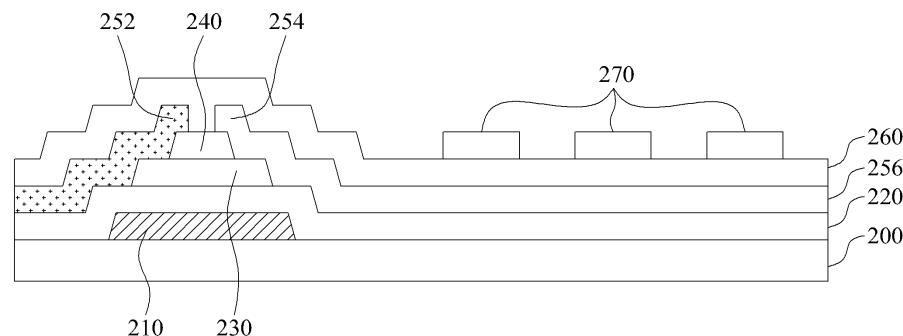
도면2j



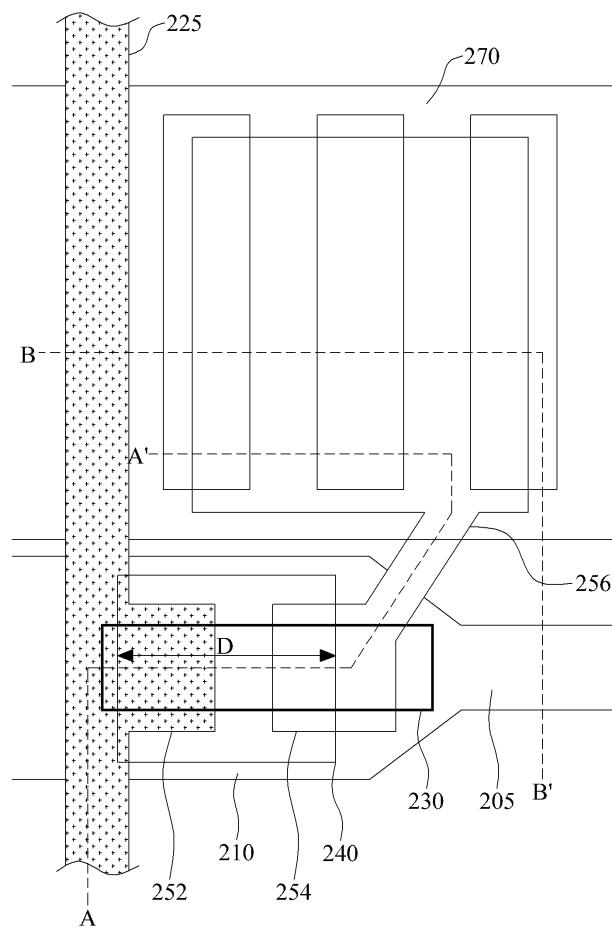
도면2k



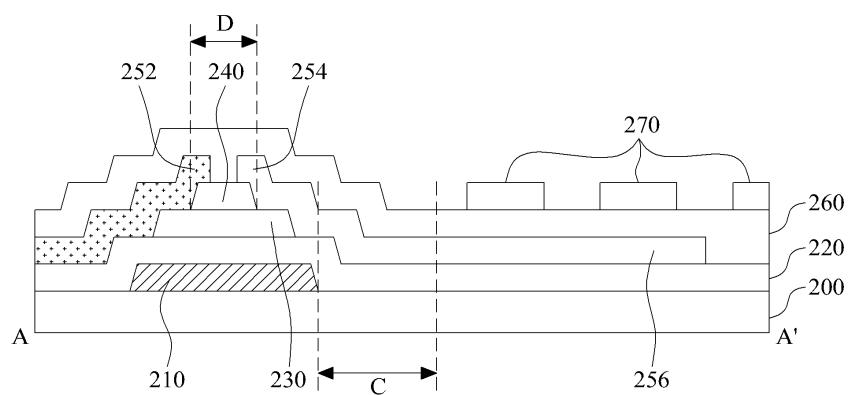
도면2l



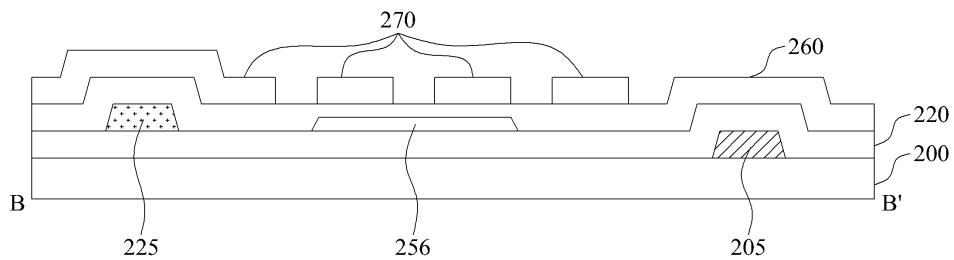
도면3



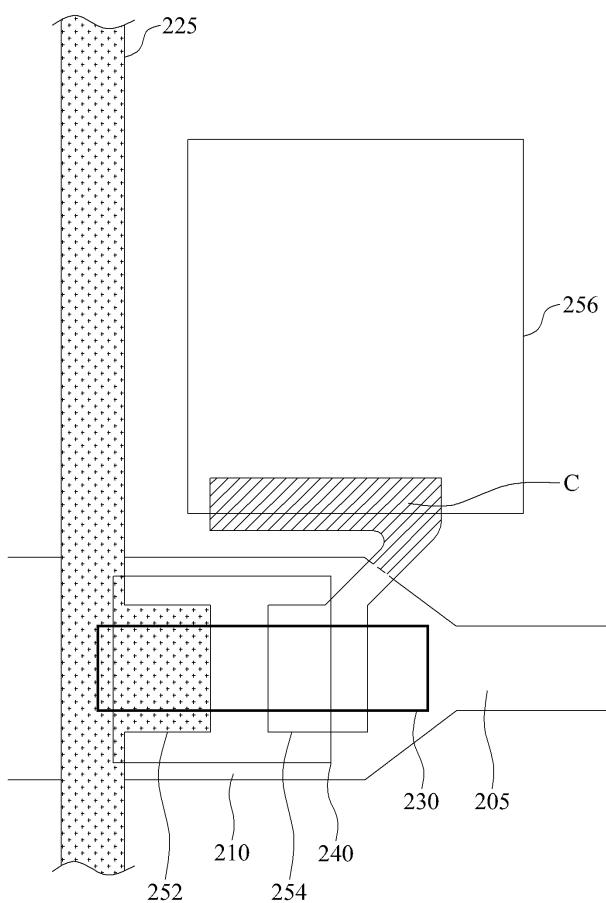
도면4a



도면4b



도면5



专利名称(译) 标题 : 液晶显示装置及其制造方法

公开(公告)号	KR1020130029520A	公开(公告)日	2013-03-25
申请号	KR1020110092815	申请日	2011-09-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOON DONG		
发明人	LEE, JOON DONG		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13439 G02F1/1368		
外部链接	Espacenet		

摘要(译)

包括本发明的液晶显示器是形成在栅电极一侧的源电极：栅极绝缘层：有源层：蚀刻阻挡层：形成在有源层上的栅极绝缘层和形成的蚀刻阻挡层对应于栅极绝缘层形成在基板上形成的栅电极上的栅电极，漏电极，像素电极，形成在源电极和漏电极上的钝化层，以及形成在包括多个分开的缝隙的钝化层上的公共电极的层使用它整体形成的是相同的透明导电材料。漏电极形成在蚀刻停止层和栅极绝缘层的另一侧，以与源电极一起定位。像素电极形成在漏电极中以被延伸。作为与其制造方法有关的发明，本发明具有使用相同的透明导体形成漏电极和像素电极的效果。以这种方式，它使形成漏电极的区域合理，并且改善了液晶显示器的开口率。

