



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0070735
(43) 공개일자 2010년06월28일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0129416

(22) 출원일자 2008년12월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

허진

경북 구미시 선산읍 교리 1165번지 동우 비봉 10
2동 905호

이명식

충청남도 천안시 원성동 461-27

(74) 대리인

허용록

전체 청구항 수 : 총 12 항

(54) 게이트 드라이버 및 이를 구비한 액정표시장치

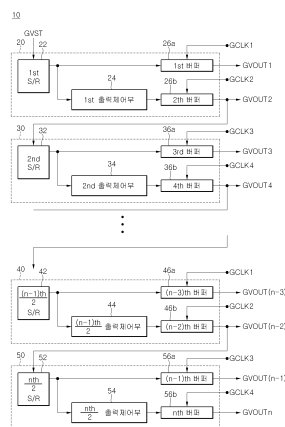
(57) 요약

면적을 줄일 수 있는 게이트 드라이버 및 이를 구비한 액정표시장치가 개시된다.

본 발명의 게이트 드라이버는, 각 스테이지가 하나의 쉬프트레지스터와 두 개의 버퍼들로 구성되어, 각 버퍼에서 출력 신호가 출력될 수 있다.

이에 따라, 스테이지의 가로 방향의 회로 면적이 줄어들어, 게이트 드라이버의 면적 또한 감소되어, 액정 패널의 표시 영역을 확장할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

종속 연결된 다수의 스테이지들을 포함하고,

상기 각 스테이지는,

제1 및 제2 노드들의 전압들을 제어하는 쉬프트레지스터;

상기 제1 및 제2 노드들의 전압들에 따라 제1 출력 신호를 출력하는 제1 버퍼; 및

상기 제1 및 제2 노드들의 전압들에 따라 제2 출력 신호를 출력하는 제2 버퍼를 포함하고,

상기 제1 출력 신호는 1 수평 기간 단위로 쉬프트된 제1 클럭 신호이고, 제2 출력 신호는 상기 어느 하나의 클럭 신호로부터 1 수평 기간 쉬프트된 제2 클럭 신호인 것을 특징으로 하는 게이트 드라이버.

청구항 2

제1항에 있어서, 상기 제1 버퍼는 상기 제1 및 제2 노드들의 전압들에 따라 상기 제1 클럭 신호와 제1 공급 전압을 선택적으로 출력하는 것을 특징으로 하는 게이트 드라이버

청구항 3

제2항에 있어서, 상기 제2 버퍼는 상기 제1 및 제2 노드들의 전압들에 따라 상기 제2 클럭 신호와 상기 제1 공급 전압을 선택적으로 출력하는 것을 특징으로 하는 게이트 드라이버.

청구항 4

제1항에 있어서, 상기 쉬프트레지스터와 상기 제2 버퍼 사이에 접속되어 제2 버퍼의 출력을 제어하는 출력 제어부를 더 포함하는 게이트 드라이버.

청구항 5

제1항에 있어서, 상기 제2 버퍼에서 출력된 제2 출력 신호는 다음 스테이지로 공급되는 것을 특징으로 하는 게이트 드라이버.

청구항 6

제1항에 있어서, 상기 쉬프트레지스터는,

상기 제1 노드의 전압을 제어하는 제1 제어부; 및

상기 제2 노드의 전압을 제어하는 제2 제어부를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 7

제6항에 있어서, 상기 제1 제어부는,

개시 신호를 상기 제1 노드에 공급하기 위해 제4 클럭 신호에 의해 스위칭되는 제1 트랜지스터; 및

상기 제1 공급 전압을 상기 제1 노드에 공급하기 위해 상기 제2 노드의 전압에 의해 스위칭되는 제2 트랜지스터를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 8

제7항에 있어서, 상기 제2 제어부는,

상기 제1 공급 전압을 상기 제2 노드에 공급하기 위해 상기 개시 신호에 의해 스위칭되는 제3 트랜지스터; 및

제2 공급 전압을 상기 제2 노드에 공급하기 위해 제3 클럭 신호에 의해 스위칭되는 제4 트랜지스터를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 9

제8항에 있어서,

상기 제1 공급 전압을 상기 제2 노드에 공급하기 위해 상기 제1 출력 신호에 의해 스위칭되는 제5 트랜지스터를 더 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 10

제1항에 있어서, 상기 제1 버퍼는,

상기 제1 클럭 신호를 출력하기 위해 상기 제1 노드의 전압에 의해 스위칭되는 제5 트랜지스터; 및

상기 제1 공급 전압을 출력하기 위해 상기 제2 노드의 전압에 의해 스위칭되는 제6 트랜지스터를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 11

제1항에 있어서, 상기 제2 버퍼는,

상기 제2 클럭 신호를 출력하기 위해 상기 제1 노드의 전압에 의해 스위칭되는 제7 트랜지스터; 및

상기 제1 공급 전압을 출력하기 위해 상기 제2 노드의 전압에 의해 스위칭되는 제8 트랜지스터를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 12

액정 패널; 및

상기 액정 패널에 내장된 게이트 드라이버를 포함하고,

상기 게이트 드라이버는 종속 연결된 다수의 스테이지들을 포함하고,

상기 각 스테이지는,

제1 및 제2 노드들의 전압들을 제어하는 쉬프트레지스터;

상기 제1 및 제2 노드들의 전압들에 따라 제1 출력 신호를 출력하는 제1 버퍼; 및

상기 제1 및 제2 노드들의 전압들에 따라 제2 출력 신호를 출력하는 제2 버퍼를 포함하고,

상기 제1 출력 신호는 1 수평 기간 단위로 쉬프트된 제1 클럭 신호이고, 제2 출력 신호는 상기 어느 하나의 클럭 신호로부터 1 수평 기간 쉬프트된 제2 클럭 신호인 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 면적을 줄일 수 있는 게이트 드라이버 및 이를 구비한 액정표시장치에 관한 것이다.

배경기술

[0002] 정보화 사회의 발달로 인해, 정보를 표시할 수 있는 표시 장치가 활발히 개발되고 있다. 표시 장치는 액정표시장치(liquid crystal display device), 유기전계발광 표시장치(organic electro-luminescence display device), 플라즈마 표시장치(plasma display panel) 및 전계 방출 표시장치(field emission display device)를 포함한다.

[0003] 이 중에서, 액정표시장치는 경박 단소, 저 소비 전력 및 풀 컬러 동영상 구현과 같은 장점이 있어, 모바일 폰, 네비게이션, 모니터, 텔레비전에 널리 적용되고 있다.

[0004] 액정표시장치는 액정 패널 상의 액정셀들의 광 투과율을 조절함으로써 비디오신호에 해당하는 영상을 표시한다.

- [0005] 액정표시장치는 영상을 표시하는 액정 패널과 액정 패널을 구동하는 게이트 드라이버와 데이터 드라이버를 포함한다.
- [0006] 일반적으로 액정표시장치는 게이트 드라이버와 데이터 드라이버가 FPC에 실장되고, FPC가 액정 패널에 접속되는 구조를 갖는다.
- [0007] 최근 들어, 게이트 드라이버를 액정 패널에 내장하는 기술(GIP: gate in panel)이 제안되었다.
- [0008] 도 1은 종래의 액정표시장치를 개략적으로 도시한 도면이다.
- [0009] 도 1에 도시한 바와 같이, 액정 패널(101)에 게이트 드라이버(109)가 내장되고, FPC(105)에 데이터 드라이버(107)가 실장되며, FPC(105)가 액정 패널(101)에 접속된다.
- [0010] 게이트 드라이버(109)는 도 2에 도시한 바와 같이, 다수의 스테이지들(120 내지 150)로 구성된다.
- [0011] 각 스테이지(120 내지 150)는 쉬프트 레지스터(122, 132, 142, 152)와 버퍼(124, 134, 144, 154)로 구성된다.
- [0012] 각 스테이지(120 내지 150)의 출력은 액정 패널(101)의 대응하는 게이트 라인으로 공급된다. 즉, 각 스테이지(120 내지 150)는 각 게이트 라인에 대응된다.
- [0013] 제1 스테이지(120)는 개시 신호(Vst)에 응답하여 제1 클럭 신호(CLK1)를 제1 출력 신호(VOUT1)으로 하여 액정 패널(101)의 제1 게이트 라인으로 공급된다.
- [0014] 제2 스테이지(130)는 제1 출력 신호(VOUT1)에 응답하여 제2 클럭 신호(CLK2)를 제2 출력 신호(VOUT2)로 하여 액정 패널(101)의 제2 게이트 라인으로 공급된다.
- [0015] 이와 같은 방식으로 마지막 스테이지(150)까지 구동된다.
- [0016] 이상으로부터 종래의 게이트 드라이버(109)는 각 스테이지(120 내지 150)가 반드시 쉬프트 레지스터(122, 132, 142, 152)와 버퍼(124, 134, 144, 154)로 구성되므로, 각 스테이지(120 내지 150)의 회로 면적을 줄이는데 한계가 있다.
- [0017] 게이트 드라이버(109)는 액정 패널(101)에 내장되므로, 게이트 드라이버(109)의 점유 면적만큼 액정 패널(101)의 표시 영역(103)이 줄어들게 된다.
- [0018] 따라서, 게이트 드라이버(109)의 점유 면적을 줄이기 위한 노력이 필요하다.
- [0019] 각 스테이지는 액정 패널의 게이트 라인에 대응하므로, 게이트 라인들 간의 간격을 고려할 때, 각 스테이지의 세로 방향의 회로 면적을 줄이기 위한 마진이 없으므로, 각 스테이지의 가로 방향의 회로 면적을 줄여야 한다.
- [0020] 하지만, 종래의 게이트 드라이버에서는 각 스테이지가 쉬프트레지스터와 버퍼로 구성되므로, 이들의 가로 방향의 회로 면적을 줄이는데 한계가 있다.

발명의 내용

해결 하고자하는 과제

- [0021] 따라서, 본 발명은 하나의 스테이지를 이용하여 액정 패널의 2개의 게이트 라인을 구동하도록 함으로써, 회로 면적을 줄일 수 있는 게이트 드라이버 및 이를 구비한 액정표시장치를 제공함에 그 목적이 있다.

과제 해결수단

- [0022] 본 발명에 따르면, 게이트 드라이버는, 종속 연결된 다수의 스테이지들을 포함하고, 상기 각 스테이지는, 제1 및 제2 노드들의 전압들을 제어하는 쉬프트레지스터; 상기 제1 및 제2 노드들의 전압들에 따라 제1 출력 신호를 출력하는 제1 버퍼; 및 상기 제1 및 제2 노드들의 전압들에 따라 제2 출력 신호를 출력하는 제2 버퍼를 포함하고, 상기 제1 출력 신호는 1 수평 기간 단위로 쉬프트된 제1 클럭 신호이고, 제2 출력 신호는 상기 어느 하나의 클럭 신호로부터 1 수평 기간 쉬프트된 제2 클럭 신호이다.
- [0023] 본 발명에 따르면, 액정표시장치는, 액정 패널; 및 상기 액정 패널에 내장된 게이트 드라이버를 포함하고, 상기 게이트 드라이버는 종속 연결된 다수의 스테이지들을 포함하고, 상기 각 스테이지는, 제1 및 제2 노드들의 전압들을 제어하는 쉬프트레지스터; 상기 제1 및 제2 노드들의 전압들에 따라 제1 출력 신호를 출력하는 제1 버퍼; 및 상기 제1 및 제2 노드들의 전압들에 따라 제2 출력 신호를 출력하는 제2 버퍼를 포함하고, 상기 제1 출력 신

호는 1 수평 기간 단위로 쉬프트된 제1 클럭 신호이고, 제2 출력 신호는 상기 어느 하나의 클럭 신호로부터 1 수평 기간 쉬프트된 제2 클럭 신호이다.

효 과

[0024] 본 발명은 하나의 스테이지에서 두 개의 출력 신호들이 출력되도록 각 스테이지의 회로 레이아웃을 변경함으로써, 게이트 드라이버의 회로 면적을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

[0026] 본 발명의 액정표시장치는 게이트 드라이버(10)를 제외한 다른 구성 요소들은 도 1과 동일하므로, 도 3에 도시되지 않은 도면 번호는 도 1에 도시된 도면 번호를 이용한다.

[0027] 도 3은 본 발명에 따른 게이트 드라이버를 도시한 블록도이고, 도 4는 도 3의 스테이지를 도시한 회로도이다.

[0028] 도 3을 참조하면, 본 발명의 게이트 드라이버(10)는 다수의 스테이지들(20 내지 50)을 포함한다. 각 스테이지들(20 내지 50) 간에는 캐스케이드(cascade)로 종속 연결될 수 있다.

[0029] 각 스테이지(20 내지 50)는 1 수평 기간으로 쉬프트된 제1 및 제2 출력 신호들을 출력한다. 제1 출력 신호는 액정 패널(101)의 대응하는 게이트 라인으로 공급되고, 제2 출력 신호는 액정 패널(101)의 두 번째 게이트 라인으로 공급될 수 있다.

[0030] 현재 스테이지의 제2 출력 신호는 다음 스테이지로 공급될 수 있다.

[0031] 예를 들어, 제1 스테이지(20)는 개시 신호(GVST)에 응답하여 제1 및 제2 출력 신호들(GVOUT1, GVOUT2)을 출력한다. 제1 출력 신호(GVOUT1)는 액정 패널(101)의 제1 게이트 라인으로 공급되고, 제2 출력 신호(GVOUT2)는 액정 패널(101)의 제2 게이트 라인으로 공급될 수 있다.

[0032] 제1 스테이지(20)의 제2 출력 신호(GVOUT2)는 제2 스테이지(30)로 공급되어 개시 신호로 사용된다.

[0033] 제2 스테이지(30)는 제2 출력 신호(GVOUT2)에 응답하여 제3 및 제4 출력 신호들(GVOUT3, GVOUT4)을 출력한다. 제3 출력 신호(GVOUT3)는 액정 패널(101)의 제3 게이트 라인으로 공급되고, 제4 출력 신호(GVOUT4)는 액정 패널(101)의 제4 게이트 라인으로 공급될 수 있다.

[0034] 제2 스테이지(30)의 제4 출력 신호(GVOUT4)는 제3 스테이지로 공급될 수 있다.

[0035] 이와 같은 방식으로 n번째 스테이지(50)로부터 (n-1)번째 출력 신호(GVOUT(n-1))와 n번째 출력 신호(GVOUTn)가 출력된다. (n-1)번째 출력 신호(GVOUT(n-1))는 액정 패널(101)의 (n-1)번째 게이트 라인으로 공급되고, n번째 출력 신호(GVOUTn)는 액정 패널(101)의 n번째 게이트 라인으로 공급될 수 있다.

[0036] 각 스테이지(20 내지 50)는 쉬프트레지스터(22, 32, 42, 52), 출력 제어부(24, 34, 44, 54) 및 제1 버퍼(26a, 36a, 46a, 56a) 및 제2 버퍼(26b, 36b, 46b, 56b)를 포함한다.

[0037] 따라서, 각 스테이지(20 내지 50)로부터 2개의 출력 신호들을 출력하기 위해 하나의 쉬프트레지스터와 2개의 버퍼들이 구비되므로, 게이트 드라이버(10)의 쉬프트레지스터들의 개수는 액정 패널(101)의 게이트 라인들의 개수의 반이 되고, 버퍼들의 개수는 액정 패널(101)의 게이트 라인들과 동일하게 될 수 있다.

[0038] 종래의 게이트 드라이버는 도 2에 도시한 바와 같이, 쉬프트레지스터들의 개수가 액정 패널의 게이트 라인들의 개수와 동일하다.

[0039] 이에 반해, 본 발명의 게이트 드라이버(10)는 쉬프트레지스터들의 개수가 액정 패널(101)의 게이트 라인들의 개수의 반이 되므로, 종래에 비해 본 발명의 쉬프트레지스터들의 개수는 반으로 줄어들게 된다. 따라서, 본 발명의 게이트 드라이버(10)는 쉬프트레지스터들의 개수가 줄어들게 되어, 결국 스테이지의 가로 방향의 회로 면적을 줄일 수 있다. 이에 따라, 액정 패널(101)의 표시 영역을 확장할 수 있는 잇점이 있다.

[0040] 각 스테이지(20 내지 50)에 구비된 출력 제어부(24, 34, 44, 54)는 제2 버퍼(26b, 36b, 46b, 56b)의 출력을 제어한다. 이는 나중에 상세히 설명한다.

[0041] 본 발명의 게이트 드라이버(10)는 개시 신호(GVST), 제1 내지 제4 클럭 신호들(GCLK1, GCLK2, GCLK3, GCLK4)

및 제1 및 제2 공급 전압들(VDD, VSS)에 의해 구동될 수 있다.

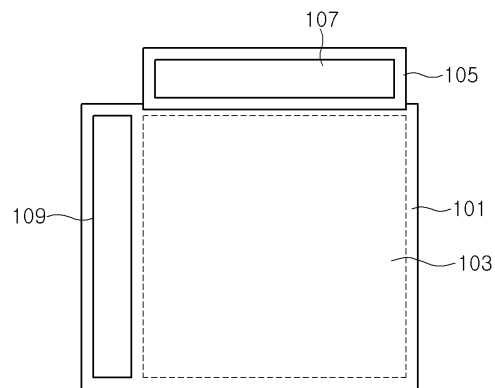
- [0042] 제1 내지 제4 클럭 신호들(GCLK1 내지 GCLK4)은 각각 1 수평 기간의 로우 레벨을 가지고, 이들 로우 레벨들은 1 수평 기간 단위로 쉬프트될 수 있다.
- [0043] 개시 신호(GVST)는 제4 클럭 신호(GCLK4)와 동기되어 1 수평 기간의 로우 레벨을 가질 수 있다.
- [0044] 제1 공급 전압(VDD)은 하이 레벨의 직류 전압이고, 제2 공급 전압(VSS)은 로우 레벨의 직류 전압일 수 있다.
- [0045] 도 4는 도 3의 제1 스테이지를 도시한 도면이다. 본 발명의 설명을 편의를 위해 제1 스테이지(20)만을 도시하였지만, 나머지 스테이지들(30 내지 50)도 동일한 구성을 가지고 동일한 동작이 이루어질 수 있다.
- [0046] 도 4를 참조하면, 스테이지(20)는 제1 쉬프트레지스터(22), 제1 출력 제어부(24) 및 제1 및 제2 버퍼들(26a, 26b)을 포함한다.
- [0047] 제1 쉬프트레지스터(22)는 제1 및 제2 제어부들(22a, 22b)을 포함할 수 있다.
- [0048] 제1 제어부(22a)는 제1 노드(NQ1)의 전압을 제어하고, 제2 제어부(22b)는 제2 노드(NQB)의 전압을 제어할 수 있다. 따라서, 제1 제어부(22a)는 제1 노드(NQ1)에 연결되고, 제2 제어부(22b)는 제2 노드(NQB)에 연결될 수 있다.
- [0049] 제1 출력 제어부(24)는 제1 내지 제3 노드들(NQ1, NQB, NQ2) 사이에 연결된다.
- [0050] 제1 버퍼(26a)는 제1 및 제2 노드들(NQ1, NQB)에 연결되고, 제2 버퍼(26b)는 제3 및 제2 노드들(NQ2, NQB)에 연결될 수 있다.
- [0051] 제1 버퍼(26a)는 제1 및 제2 노드들(NQ1, NQB)의 전압들에 따라 제1 클럭 신호(GCLK1)와 제1 공급 전압(VDD)을 선택적으로 제1 출력 신호(GVOUT1)로 출력한다.
- [0052] 제2 버퍼(26b)는 제3 및 제2 노드들(BQ2, NQB)의 전압들에 따라 제2 클럭 신호(GCLK2)와 제1 공급 전압(VDD)을 선택적으로 제2 출력 신호(GVOUT2)로 출력한다.
- [0053] 제1 출력 제어부(24)는 제1 노드(NQ1)의 전압에 의해 제2 버퍼(26b)로부터 제2 클럭 신호(GCLK2)가 출력되는 것을 방지하고, 제2 클럭 신호(GCLK2)에 의해 제1 버퍼(26a)로부터 제1 클럭 신호(GCLK1)이 출력되는 것을 방지할 수 있다.
- [0054] 제1 제어부(22a)는 제1 및 제2 트랜지스터들(M1, M2)을 포함한다. 또한, 제1 제어부(22a)는 역방향으로 전압이 공급되는 것을 차단하기 위해 다이오드형을 갖는 제3 및 제4 트랜지스터들(M3, M4)을 더 포함할 수 있다.
- [0055] 제1 트랜지스터(M1)는 제4 클럭 신호(GCLK4)의 라인, 제3 트랜지스터(M3) 및 제1 노드(NQ1) 사이에 접속된다.
- [0056] 제2 트랜지스터(M2)는 제2 노드(NQB), 제 4 트랜지스터(M4) 및 제1 공급 전압(VDD)의 라인 사이에 접속된다.
- [0057] 제3 트랜지스터(M3)는 개시 신호(GVST)의 라인과 제1 트랜지스터(M1) 사이에 접속되고, 제4 트랜지스터(M4)는 제1 노드(NQ1)와 제2 트랜지스터(M2) 사이에 접속될 수 있다.
- [0058] 도 5에 도시한 바와 같이, 개시 신호(GVST)와 제4 클럭 신호(GVST)는 서로 동기되어 1 수평 기간의 로우 레벨을 가질 수 있다.
- [0059] 제1 트랜지스터(M1)는 제4 클럭 신호(GCLK4)의 로우 레벨에 의해 턴온되고, 로우 레벨의 개시 신호(GVST)가 제3 및 제1 트랜지스터들(M3, M1)을 경유하여 제1 노드(NQ1)에 공급된다.
- [0060] 제2 트랜지스터(M2)는 제2 노드(NQB)의 로우 레벨의 전압에 의해 턴온되고, 하이 레벨의 제1 공급 전압(VDD)이 제2 및 제4 트랜지스터들(M2, M4)을 경유하여 제1 노드(NQ1)에 공급된다.
- [0061] 따라서, 제1 제어부(22a)는 제1 노드(NQ1)에 로우 레벨의 개시 신호(GVST)와 하이 레벨의 제1 공급 전압(VDD)이 선택적으로 공급되도록 제어한다.
- [0062] 제2 제어부(22b)는 제5 및 제6 트랜지스터(M5, M6)를 포함한다. 또한, 제2 제어부(22b)는 제7 트랜지스터(M7)를 더 포함할 수 있다.
- [0063] 제5 트랜지스터(M5)는 개시 신호(GVST)의 라인, 제2 노드(NQB) 및 제1 공급 전압(VDD)의 라인 사이에 접속된다.

- [0064] 제5 트랜지스터(M5)는 로우 레벨의 개시 신호(GVST)에 의해 턴온되고, 하이 레벨의 제1 공급 전압(VDD)이 제5 트랜지스터(M5)를 경유하여 제2 노드(NQB)에 공급된다.
- [0065] 제6 트랜지스터(M6)는 제3 클럭 신호(GCLK3)의 라인, 제2 공급 전압(VSS)의 라인 및 제2 노드(NQB) 사이에 접속된다.
- [0066] 제6 트랜지스터(M6)는 로우 레벨의 제3 클럭 신호(GCLK3)에 의해 턴온되고, 로우 레벨의 제2 공급 전압(VSS)이 제6 트랜지스터(M6)를 경유하여 제2 노드(NQB)에 공급된다.
- [0067] 제7 트랜지스터(M7)는 제1 버퍼(26)의 출력 라인, 제2 노드(NQB) 및 제1 공급 전압(VDD)의 라인 사이에 접속된다.
- [0068] 제7 트랜지스터(M7)는 제1 버퍼(26a)의 출력 라인으로 출력된 로우 레벨의 제1 출력 신호(GVOUT1)에 의해 턴온되고, 하이 레벨의 제1 공급 전압(VDD)이 제7 트랜지스터(M7)를 경유하여 제2 노드(NQB)에 공급된다.
- [0069] 제2 노드(NQB)는 제6 트랜지스터(M6)를 경유한 로우 레벨의 제3 클럭 신호(GCLK3)에 의해 충분히 로우 레벨을 갖지 못하는 경우를 대비하여, 제7 트랜지스터(M7)를 경유한 로우 레벨의 제1 출력 신호(GVOUT1)가 더해져서 더욱 더 낮은 로우 레벨로 충전될 수 있다.
- [0070] 제1 출력 제어부(24)는 제8 및 제9 트랜지스터들(M8, M9)을 포함한다. 또한, 제1 출력 제어부(24)는 제10 트랜지스터(M10)를 더 포함할 수 있다. 제10 트랜지스터(M10)는 다이오드 형으로 이루어져, 제9 트랜지스터(M9)와 접속되어 역방향으로 전압이 공급되는 것을 방지할 수 있다.
- [0071] 제8 트랜지스터(M8)는 다이오드 형으로 이루어지고, 제1 노드(NQ1)과 제3 노드(NQ2) 사이에 접속된다.
- [0072] 제8 트랜지스터(M8)는 제1 노드(NQ1)의 전압으로부터 제8 트랜지스터(M8)의 문턱전압만큼 증가된 전압을 제3 노드(NQ2)에 공급하는 한편, 제3 노드(NQ2)의 전압의 제1 노드(NQ1)로 공급되는 것을 차단할 수 있다.
- [0073] 제9 트랜지스터(M9)는 제2 노드(NQB), 제10 트랜지스터(M10) 및 제1 공급 전압(VDD)의 라인 사이에 접속된다.
- [0074] 제9 트랜지스터(M9)는 제10 트랜지스터(M10)와 함께 제2 노드(NQB)의 전압을 조절한다. 즉, 제9 트랜지스터(M9)는 제10 트랜지스터(M10)와 함께 제2 노드(NQB)가 로우 레벨 또는 하이 레벨로 유지되도록 한다.
- [0075] 제1 버퍼(26a)는 제11 및 제12 트랜지스터들(M11, M12)을 포함한다. 또한, 제1 버퍼(26a)는 제1 노드(NQ1)와 제1 공급 전압(VDD)의 라인 사이에 접속된 제1 캐패시터(CQ), 제11 트랜지스터(M11)의 게이트 단자와 드레인 단자 사이에 접속된 부스트트랩 캐패시터(Cboost) 및 제2 노드(NQB)와 제1 공급 전압(VDD)의 라인 사이에 접속된 제2 캐패시터(CQB)를 더 포함할 수 있다.
- [0076] 제11 트랜지스터(M11)는 제1 노드(NQ1), 제1 클럭 신호(GCLK1)의 라인 및 제1 출력 라인(GVOUT1) 사이에 접속된다.
- [0077] 제11 트랜지스터(M11)는 로우 레벨의 제1 노드(NQ1)의 전압에 의해 턴온되고, 로우 레벨의 제1 클럭 신호(GCLK1)가 제11 트랜지스터(M11)를 경유하여 제1 출력 라인으로 출력된다. 제1 출력 라인은 액정 패널(101)의 제1 게이트 라인에 접속될 수 있다.
- [0078] 제12 트랜지스터(M12)는 제2 노드(NQB), 제1 출력 라인 및 제1 공급 전압(VDD)의 라인 사이에 접속된다.
- [0079] 제12 트랜지스터(M12)는 로우 레벨의 제2 노드(NQB)의 전압에 의해 턴온되고, 하이 레벨의 제1 공급 전압(VDD)이 제12 트랜지스터(M12)를 경유하여 제1 출력 라인으로 출력된다.
- [0080] 따라서, 제1 버퍼(26a)는 제1 및 제2 노드들(NQ1, NQB)의 전압들에 따라 로우 레벨의 제1 클럭 신호(GCLK1)와 하이 레벨의 제1 공급 전압(VDD)을 선택적으로 출력한다.
- [0081] 제1 캐패시터(CQ)는 제1 노드(NQ1)와 제1 공급 전압(VDD)의 라인 사이에 형성된 기생 캐패시터이고, 제2 캐패시터(CQB)는 제2 노드(NQB)와 제1 공급 전압(VDD)의 라인 사이에 형성된 기생 캐패시터이다.
- [0082] 부스트트랩 캐패시터는 제11 트랜지스터(M11)로 공급된 제1 클럭 신호(GCLK1)를 부스트트랩시켜 제1 노드(NQ1)에 전압을 상승 및 강하시킬 수 있다.
- [0083] 제2 버퍼(26b)는 제13 및 제14 트랜지스터들(M13, M14)을 포함한다.
- [0084] 제13 트랜지스터(M13)는 제3 노드(NQ2), 제2 클럭 신호(GCLK2)의 라인 및 제2 출력 라인 사이에 접속된다.

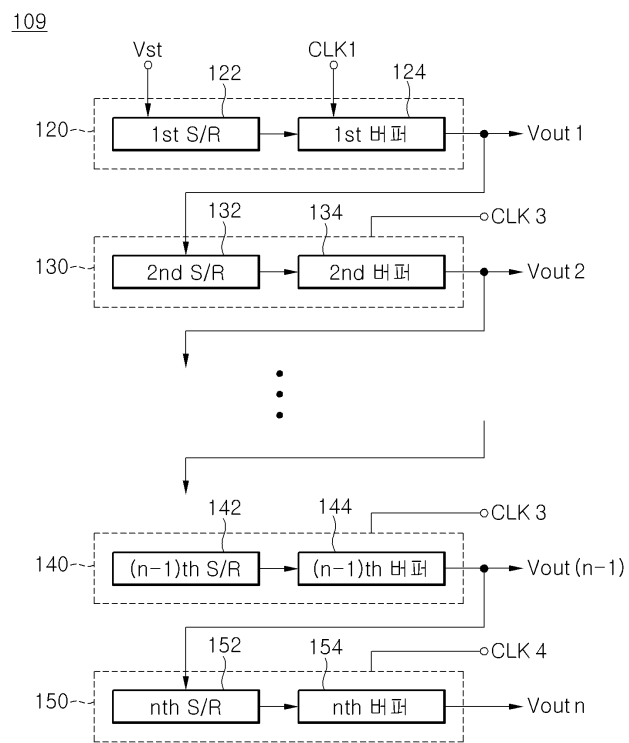
- [0085] 제13 트랜지스터(M13)는 로우 레벨의 제3 노드(NQ2)에 의해 턴온되고, 로우 레벨의 제2 클럭 신호(GCLK2)가 제13 트랜지스터(M13)를 경유하여 제2 출력 라인으로 출력된다. 제2 출력 라인은 액정 패널(101)의 제2 게이트 라인에 접속될 수 있다.
- [0086] 제14 트랜지스터(M14)는 제2 노드(NQB), 제2 출력 라인 및 제1 공급 전압(VDD)의 라인 사이에 접속된다.
- [0087] 제14 트랜지스터(M14)는 로우 레벨의 제2 노드(NQB)의 전압에 의해 턴온되고, 하이 레벨의 제1 공급 전압(VDD)이 제14 트랜지스터(M14)를 경유하여 제2 출력 라인으로 출력된다.
- [0088] 따라서, 제2 버퍼(26b)는 제3 및 제2 노드(NQ2, NQB)의 전압들에 따라 로우 레벨의 제2 클럭 신호(GCLK2)와 하이 레벨의 제1 공급 전압(VDD)을 선택적으로 출력한다.
- [0089] 본 발명의 제1 내지 제14 트랜지스터들(M1 내지 M14)은 PMOS 타입이지만, 본 발명은 이에 한정하지 않고 NMOS 타입에도 적용될 수 있다.
- [0090] 제1 내지 제14 트랜지스터들이 NMOS 타입인 경우, 개시 신호는 1 수평 기간의 하이 레벨을 가지고, 제1 내지 제4 클럭 신호들은 각각 1수평 구간의 하이 레벨을 가지며, 제1 공급 전압은 로우 레벨의 직류 전압이고, 제2 공급 전압은 하이 레벨의 직류 전압일 수 있다.
- [0091] 이상과 같이 구성된 본 발명의 게이트 드라이버의 구동 방법을 도 5를 참조하여 설명한다.
- [0092] 제1 기간 동안, 서로 동기된 로우 레벨의 개시 신호(GVST)와 제4 클럭 신호(GCLK4)가 제1 스테이지(20)로 공급된다.
- [0093] 제4 클럭 신호(GCLK4)에 의해 제1 트랜지스터(M1)가 턴온되어, 로우 레벨의 개시 신호(GVST)가 제1 노드(NQ1)에 공급된다.
- [0094] 로우 레벨의 제1 노드(NQ1)의 전압에 의해 제11 트랜지스터(M11)가 턴온되어, 하이 레벨의 제1 클럭 신호(GCLK1)가 제1 출력 라인으로 출력될 수 있다.
- [0095] 로우 레벨의 제1 노드(NQ1)의 전압은 제8 트랜지스터(M8)를 경유하여 제3 노드(NQ2)에 공급되고, 제3 노드(NQ2)의 전압에 의해 제13 트랜지스터(M13)가 턴온되어 하이 레벨의 제2 클럭 신호(GCLK2)가 제2 출력 라인으로 출력된다.
- [0096] 아울러, 개시 신호(GVST)에 의해 제5 트랜지스터(M5)가 턴온되어, 하이 레벨의 제1 공급 전압(VDD)이 제2 노드(NQB)에 공급된다. 하이 레벨의 제2 노드(NQB)의 전압에 의해 제2, 제9, 제12 및 제14 트랜지스터들(M2, M9, M12, M14)은 턴 오프된다.
- [0097] 따라서, 제1 기간 동안, 로우 레벨의 개시 신호(GVST)와 제4 클럭 신호(GCLK4)에 의해, 제1 노드(NQ1)에는 로우 레벨의 전압(GVST)이 공급되고, 제2 노드(NQB)에는 하이 레벨의 전압(VDD)이 공급되고, 하이 레벨의 제1 클럭 신호(GCLK1)가 제11 트랜지스터(M11)를 경유하여 출력되며, 하이 레벨의 제2 클럭 신호(GCLK2)가 제13 트랜지스터(M13)를 경유하여 출력될 수 있다.
- [0098] 제2 기간 동안, 로우 레벨의 제1 클럭 신호(GCLK1)가 제1 스테이지(20)로 공급된다.
- [0099] 제1 노드(NQ1)가 로우 레벨로 유지되므로, 제3 노드(NQ2) 또한 로우 레벨로 유지된다.
- [0100] 아울러, 로우 레벨의 제1 클럭 신호(GCLK1)에 의해 브트스트랩이 발생하여, 제1 노드(NQ1)의 전압은 더욱 더 로우 레벨로 감소되게 된다. 따라서, 제11 트랜지스터(M11)는 완전하게 턴온되게 되므로, 로우 레벨의 제1 클럭 신호(GCLK1)가 제1 출력 라인으로 출력된다.
- [0101] 제3 노드(NQ2) 또한 브트스트랩으로 인해 제1 노드(NQ1)와 거의 유사한 로우 레벨로 감소되게 된다. 이에 따라, 제13 트랜지스터(M13)가 완전하게 턴온되어 하이 레벨의 제2 클럭 신호(GCLK2)가 제2 출력 신호로 출력된다.
- [0102] 개시 신호(GVST)는 하이 레벨이 되므로, 제5 트랜지스터(M5)가 턴오프되지만, 제2 노드(NQB)는 이전에 공급된 하이 레벨의 제1 공급 전압(VDD)으로 유지될 수 있다.
- [0103] 따라서, 제2 기간 동안, 로우 레벨의 제1 클럭 신호(GCLK1)가 제1 출력 신호(GVOUT1)로 하여 제1 출력 라인으로 출력될 수 있다.
- [0104] 제3 기간 동안, 로우 레벨의 제2 클럭 신호(GCLK2)가 제1 스테이지(20)로 공급된다.

도면

도면1

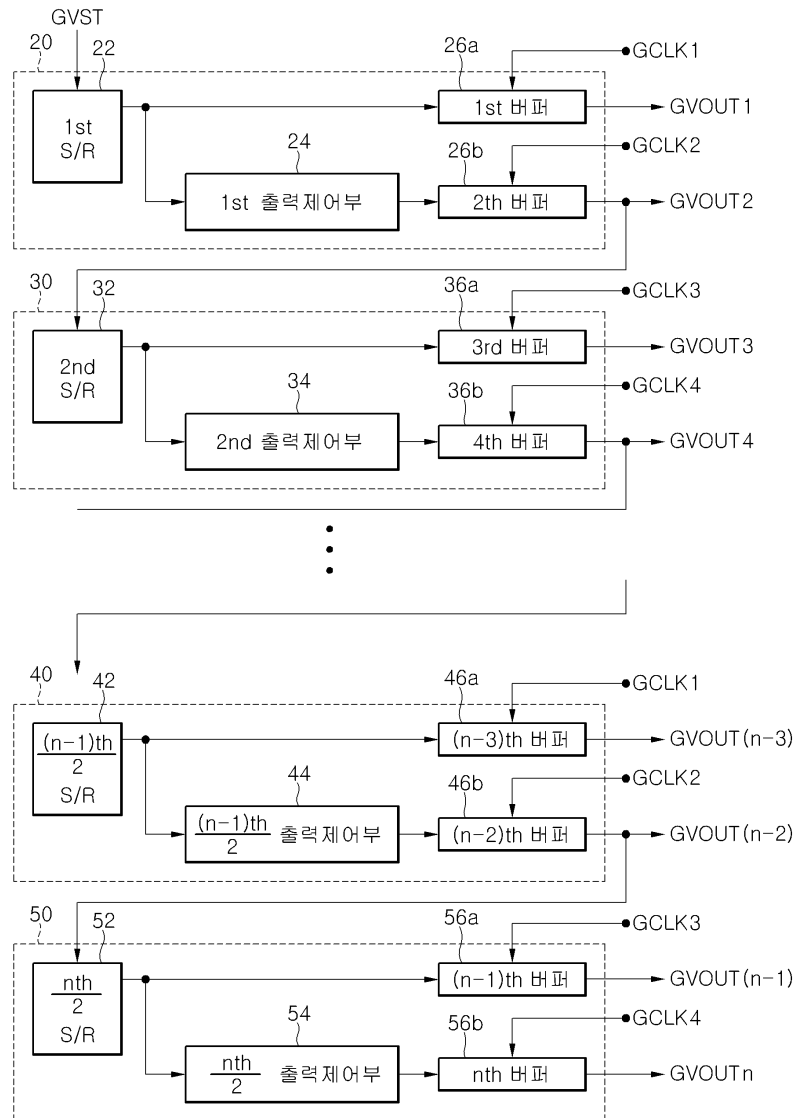


도면2

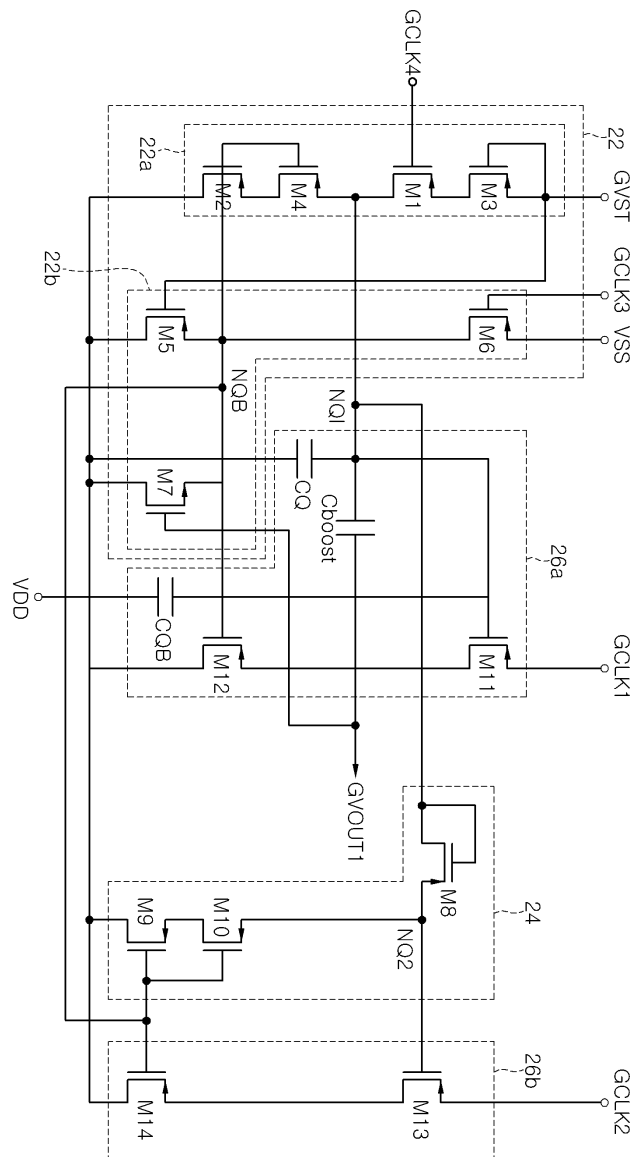


도면3

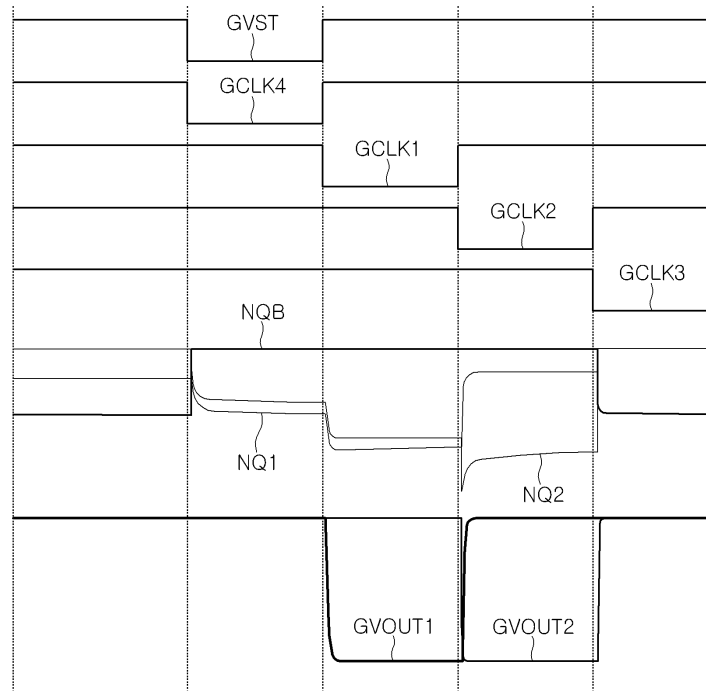
10



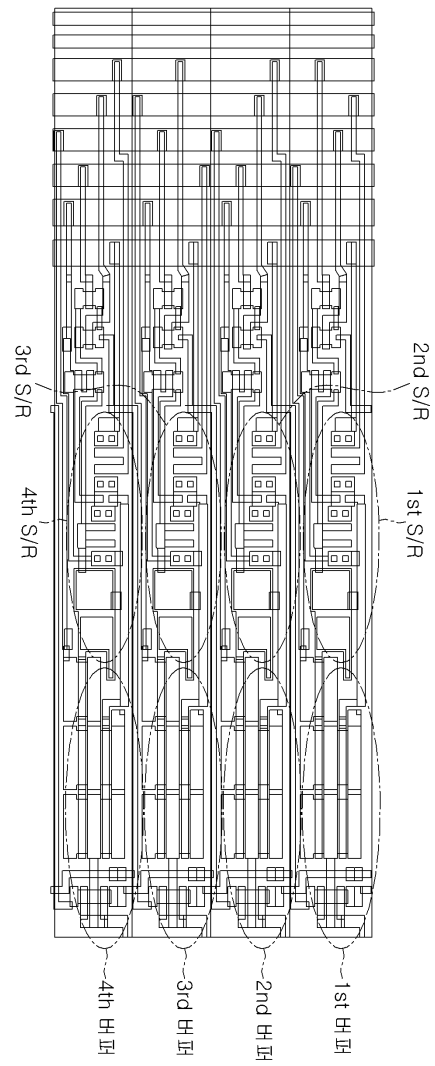
도면4



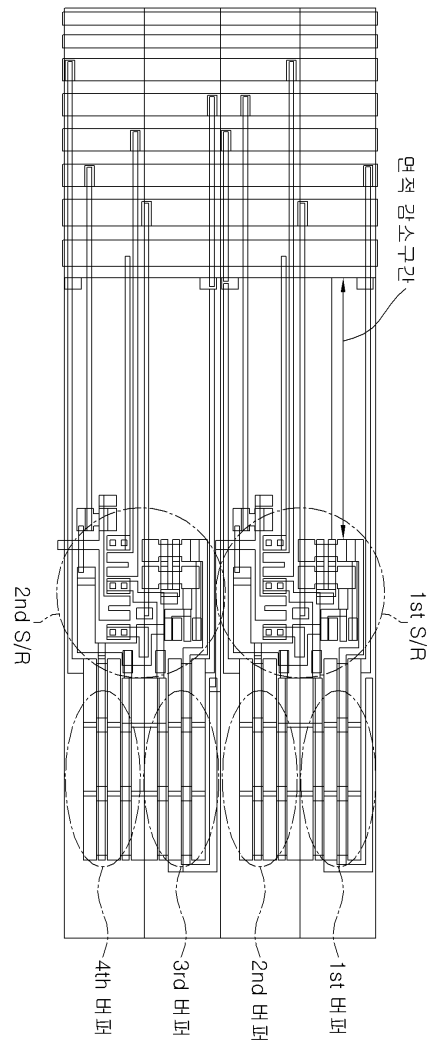
도면5



도면6a



도면6b



专利名称(译)	栅极驱动器和具有该栅极驱动器的液晶显示器件		
公开(公告)号	KR1020100070735A	公开(公告)日	2010-06-28
申请号	KR1020080129416	申请日	2008-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HUH JIN 허진 LEE MYEON SIK 이명식		
发明人	허진 이명식		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
外部链接	Espacenet		

摘要(译)

公开了栅极驱动器减小区域和包括该栅极驱动器减小区域的液晶显示器。它包括在本发明的栅极驱动器中，每级一个移位寄存器和两个缓冲器。并且在每个缓冲器中，可以输出输出信号。因此，级的横向的电路尺寸减小。此外，它还减少了栅极驱动器的面积。可以扩展液晶面板的显示区域。液晶显示器，GSP，载物台，区域，缓冲器。

