



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년01월09일
(11) 등록번호 10-1480842
(24) 등록일자 2015년01월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2013-0113441
(22) 출원일자 2013년09월24일
심사청구일자 2013년09월24일
(56) 선행기술조사문헌
KR1020100032110 A*
KR1020130039295 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강정호
경상북도 구미시 산호대로39길 25, 110동 1702호
(옥계동, e-편한세상아파트)
김현철
경상북도 칠곡군 석적읍 동중리9길 13, B동 225호
(LG디스플레이나래원기숙사)
(74) 대리인
박장원

전체 청구항 수 : 총 12 항

심사관 : 추장희

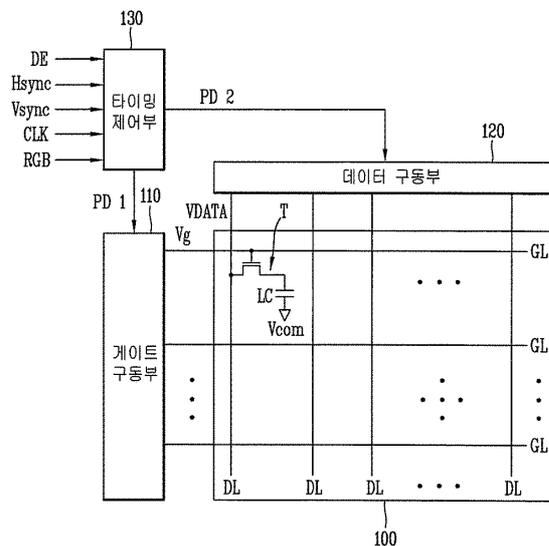
(54) 발명의 명칭 데이터 구동부 및 이를 포함하는 액정표시장치

(57) 요약

본 발명은 액정표시장치를 공개한다. 특히, 본 발명은 수신된 디지털 파형의 영상 데이터를 아날로그 파형의 데이터 전압으로 변환하여 화소에 공급하는 데이터 구동부의 소비전력을 저감하는 방안이 관한 것이다.

본 발명의 실시예에 따르면, 구동시 높은 소비전력을 소비하는 액정표시장치의 데이터 구동부를 블랭크 구간에서 아날로그 하이레벨의 전원전압(HVDD)를 이용하는 아날로그 블록을 비활성화하는 패킷을 추가함으로써 소비전력을 저감할 수 있는 특징이 있다.

대표도 - 도3



특허청구의 범위

청구항 1

복수의 제어신호 및 영상데이터가 포함된 패킷 데이터를 수신 및 분석하고, 샘플링 신호에 대응하여 일정단위로 상기 영상데이터를 래치하는 로직블록;

감마전압에 대응하여 래치된 영상데이터를 아날로그 파형으로 변환하여 데이터신호를 생성하고, 상기 데이터신호를 출력하는 아날로그블록; 및

외부로부터 공급되는 전원전압에 대응하여 상기 로직블록 및 아날로그블록에 바이어스 전류를 각각 공급하는 로우 및 하이 바이어스 회로를 포함하고,

상기 하이 바이어스 회로는,

액티브 구간동안 상기 아날로그블록에 하이 바이어스 전류를 공급하여 활성화하고, 블랭크 구간동안 상기 아날로그블록상기 바이어스 전류의 공급을 차단하여 비활성화 하는 것을 특징으로 하는 데이터 구동부.

청구항 2

제 1 항에 있어서,

상기 로우 및 하이 바이어스 회로는,

상기 로직블록 및 아날로그블록을 이루는 복수의 트랜지스터에 각각 로우 바이어스 전류 및 하이 바이어스를 전류를 공급하는 것을 특징으로 하는 데이터 구동부.

청구항 3

제 2 항에 있어서,

상기 패킷 데이터는,

상기 하이 바이어스 전류 공급을 제어하는 제1 제어 비트(ABD);

상기 하이 바이어스 전류의 공급차단 시작시점이 설정된 제2 제어비트(ABD_START); 및

상기 하이 바이어스 전류의 공급차단 종료시점이 설정된 제3 제어비트(ABD_END)

를 포함하는 것을 특징으로 하는 데이터 구동부.

청구항 4

제 3 항에 있어서,

상기 시작시점 및 종료시점은, 전 프레임의 마지막 데이터 신호의 출력종료 시점을 기준으로 결정되는 것을 특징으로 하는 데이터 구동부.

청구항 5

제 1 항에 있어서,

상기 패킷 데이터는,

EPI(Embedded Clock Point to Point Interface) 방식에 의해 수신되는 것을 특징으로 하는 데이터 구동부.

청구항 6

제 1 항에 있어서,

상기 로직블록은,

상기 패킷데이터에 대응하여 상기 영상데이터 및 데이터 제어신호와, 바이어스 제어신호를 추출하는 데이터 제

어부;

상기 샘플링 신호를 생성하는 시프트 레지스터;

상기 영상데이터를 입력받는 데이터 레지스터; 및

상기 샘플링 신호에 대응하여 상기 영상데이터를 일정단위씩 래치하는 데이터 래치를 포함하는 데이터 구동부.

청구항 7

제 6 항에 있어서,

상기 아날로그 블록은,

감마전압을 생성하는 감마버퍼부;

래치된 영상데이터를 상기 감마전압에 대응하여 상기 데이터 신호로 변환하는 디코더부; 및

상기 데이터 신호를 출력하는 출력버퍼부

를 포함하는 데이터 구동부.

청구항 8

복수의 게이트 배선 및 데이터 배선이 교차 형성되고, 교차지점에 화소가 정의되는 액정패널;

상기 게이트 배선에 게이트 구동신호를 공급하는 게이트 구동부;

복수의 제어신호 및 영상데이터가 포함된 패킷 데이터를 수신 및 분석하고, 상기 영상데이터를 아날로그 파형의 데이터 신호로 변환 및 출력하는 로직블록 및 아날로그블록을 포함하는 복수의 블록과, 블랭크 구간에 대응하여 상기 복수의 블록을 선택적으로 활성화 또는 비활성화 하는 바이어스 회로를 포함하는 데이터 구동부; 및

타이밍 신호에 대응하여 상기 패킷 데이터를 생성하는 상기 게이트 구동부 및 데이터 구동부에 공급하는 타이밍 제어부를 포함하고,

상기 하이 바이어스 회로는,

액티브 기간동안 상기 아날로그 블록을 활성화하고, 블랭크 구간동안 상기 상기 아날로그 블록을 비활성화 하는 것

을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 바이어스 회로는,

상기 로직블록 및 아날로그블록을 이루는 복수의 트랜지스터에 각각 로우 바이어스 전류 및 하이 바이어스를 전류를 공급하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 패킷 데이터는,

상기 하이 바이어스 전류 공급을 제어하는 제1 제어 비트(ABD);

상기 하이 바이어스 전류의 공급차단 시작시점이 설정된 제2 제어비트(ABD_START);

상기 하이 바이어스 전류 공급차단 종료시점이 설정된 제3 제어비트(ABD_END)

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 시작시점 및 종료시점은, 전 프레임의 마지막 데이터 신호의 출력종료 시점을 기준으로 결정되는 것을 특징으로 하는 액정표시장치.

청구항 12

제 8 항에 있어서,

상기 패킷 데이터는,

EPI(Embedded Clock Point to Point Interface) 방식에 의해 수신되는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 수신된 디지털 파형의 영상 데이터를 아날로그 파형의 데이터 전압으로 변환하여 화소에 공급하는 데이터 구동부의 소비전력을 저감하는 방안에 관한 것이다.

배경기술

[0002] 휴대폰(Mobile Phone), 노트북컴퓨터와 같은 각종 포터블기기(portable device)와, HDTV 등의 고해상도 및 고품질의 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 적용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 활발히 연구되었지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 현재에는 액정표시장치(LCD)가 각광을 받고 있다.

[0003] 액정표시장치는, 입력되는 데이터 신호에 대응하여 액정패널에 형성된 복수의 화소의 광 투과율을 제어함으로써 영상을 표시하는 것으로, 영상을 구현하는 액정패널과, 액정패널을 구동하는 구동회로들로 이루어진다.

[0004] 일반적으로 액정표시장치의 구동회로에는 액정패널에 형성된 게이트 배선에 게이트 구동신호를 인가함으로써 박막트랜지스터를 도통하는 게이트 구동부와, 도통된 박막트랜지스터의 일 전극에 아날로그 파형의 데이터 신호를 인가하여 화소를 충전하는 데이터 구동부와, 두 구동부를 제어하는 타이밍 제어부가 있다.

[0005] 최근 타이밍 제어부의 기능이 다양해지면서 외부에서 제어할 수 있는 IC 핀의 개수가 증가하여 타이밍 제어부의 면적이 증가하게 되고, 전력소모가 증가하는 문제점이 있었다.

[0006] 이러한 문제점을 해결하기 위해, 타이밍 제어부와 데이터 구동부를 연결하는 인터페이스 방식으로서 데이터 구동부의 제어신호 및 영상데이터를 포함하는 정보를 패킷(packet)형태로 전달하는 EPI(Embedded Clock Point to Point Interface) 방식이 제안되었다.

[0007] 이러한 EPI 방식에서 데이터 구동부(30)는 도 1에 도시된 바와 같이, 패킷을 인가받아 이를 분석하는 로직블록(31)과, 패킷분석결과에 따라 파워를 각 블록에 할당하는 파워블록(32)과, 패킷분석결과에 따라 감마전압을 생성하는 감마블록(33)과, 생성된 감마전압을 통해 영상데이터를 디지털 파형의 데이터신호로 변환하는 디코더블록(34)과, 데이터신호를 출력하는 버퍼 블록(35)으로 구성된다.

[0008] 이러한 구조의 데이터 구동부(30)는 도 2에 도시된 타이밍을 통해 데이터 신호를 출력하게 된다. 도 2를 참조하면, 액정표시장치의 타이밍 신호 중, 데이터인에이블신호(DE)는 하나의 라인의 유효 디지털 영상 데이터들이 입력되는 기간을 정의하는 타이밍 신호이고, 수직동기신호(Vsync)는 한 프레임의 화면을 표시하는 데 걸리는 시간을 정의하는 타이밍 신호로서, 데이터 신호(Vdata)는 데이터 인에이블신호(DE)가 하이레벨구간에서 출력된다. 이중, 데이터인에이블신호(DE)는 액티브 기간(active time)동안 연속적으로 액정표시장치의 타이밍 제어부로 인가되며, 이에 동기하여 유효 영상 데이터에 의한 데이터 신호가 입력되어 영상을 표시하게 된다. 액티브 구간 사이에는 유효 영상 데이터가 인가되지 않는 블랭크 구간(blank time)이 정의된다.

[0009] 여기서, 블랭크 구간(blank time)은 다음 프레임이 시작하기 전까지 이전 영상이 유지되는 구간으로서, 이 구간

에서는 데이터 구동부(30)로부터 데이터 신호가 출력되어도 화소에 기입되지 않지만 데이터 구동부(30)는 마지막 수평라인의 화소들에 대한 데이터 신호의 전압레벨을 그대로 유지하게 된다. 이에 따라, 종래의 데이터 구동부(30)는 블랭크 구간(blank time)동안 불필요한 구동으로 인하여 전력을 소비하는 문제가 있다. 특히, 데이터 구동부(30)를 구성하는 블록 중, 아날로그 블록(analog block)인 감마블록(33), 디코더블록(34) 및 출력버퍼 블록들은 전압레벨이 높은 전원전압(VDD)를 이용한 하이레벨 전압 바이어스를 통해 동작하기 때문에 데이터 구동부(30)전체 소비전류의 70 % ~ 80 %를 소모하는 것으로 알려져 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 타이밍 제어부와 데이터 구동부가 EPI 방식으로 통신하는 액정표시장치에서 블랭크 간에 불필요하게 소모되는 전력낭비를 최소화하는 것이다.

과제의 해결 수단

[0011] 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 데이터 구동부는, 복수의 제어신호 및 영상데이터가 포함된 패킷 데이터를 수신 및 분석하고, 샘플링 신호에 대응하여 일정단위로 상기 영상데이터를 래치하는 로직블록; 상기 감마전압에 대응하여 래치된 영상데이터를 아날로그 파형으로 변환하여 데이터신호를 생성하고, 상기 데이터신호를 출력하는 아날로그 블록; 상기 로직 블록에 로우 바이어스 전류를 공급하는 로우 바이어스 회로; 및 상기 아날로그 블록에 하이 바이어스 전류를 공급하되, 각 프레임이 사이 전 프레임 영상이 유지되는 블랭크 기간 동안 상기 하이 바이어스 전류를 차단하는 하이 바이어스 회로를 포함한다.

[0012] 또한, 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 데이터 구동부를 포함하는 액정표시장치는, 복수의 게이트 배선 및 데이터 배선이 교차 형성되고, 교차지점에 화소가 정의되는 액정패널; 상기 게이트 배선에 게이트 구동신호를 공급하는 게이트 구동부; 복수의 제어신호 및 영상데이터가 포함된 패킷 데이터를 수신 및 분석하고, 상기 영상데이터를 아날로그 파형의 데이터 신호로 변환 및 출력하되, 상기 데이터신호의 처리를 위한 아날로그 블록에 하이 바이어스 전류의 공급을 블랭크 기간 동안 차단하는 하이 바이어스 회로를 포함하는 데이터 구동부; 및 타이밍 신호에 대응하여 상기 패킷 데이터를 생성하는 상기 게이트 구동부 및 데이터 구동부에 공급하는 타이밍 제어부를 포함한다.

발명의 효과

[0013] 본 발명의 실시예에 따르면, 구동시 블랭크 구간에서 데이터 구동부를 이루는 복수의 블록 중, 일부에 공급되는 바이어스 전류를 차단함으로써, 구동을 일시 중지시켜 소비전력을 저감할 수 있는 효과가 있다.

[0014] 삭제

[0015] 또한, 블록 제어신호를 패킷형태로 데이터 구동부에 공급함으로써, D-IC의 개수를 줄이고 소비전력을 저감할 수 있는 효과가 있다.

도면의 간단한 설명

- [0016] 도 1은 종래의 액정표시장치에 포함된 데이터 구동부의 블록구조를 나타낸 도면이다.
- 도 2는 종래의 액정표시장치의 신호파형 중 일부를 나타낸 도면이다.
- 도 3은 본 발명의 실시예에 따른 데이터 구동부를 포함하는 액정표시장치의 전체 구성을 나타낸 도면이다.
- 도 4는 본 발명의 실시예에 따른 액정표시장치의 타이밍 제어부와 데이터 구동부의 연결구조를 나타낸 도면이다.
- 도 5는 본 발명의 실시예에 따른 EPI 패킷 데이터의 시퀀스(sequence)를 나타낸 도면이다.
- 도 6은 본 발명의 EPI 패킷 데이터 중, 콘트롤 스타트 패킷의 구성을 나타내는 도면이다.
- 도 7은 본 발명의 실시예에 따른 EPI 패킷 데이터 중, 제1 콘트롤 패킷(CTR 1)을 설명하기 위한 도면이다.

도 8은 본 발명의 실시예에 따른 액정표시장치의 데이터 구동부를 나타낸 도면이다.

도 9는 본 발명의 실시예에 따른 액정표시장치의 입출력 신호 중 일부를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 도면을 참조하여 본 발명의 실시예에 따른 데이터 구동부 및 이를 포함하는 액정표시장치를 설명한다.
- [0018] 도 3은 본 발명의 실시예에 따른 데이터 구동부를 포함하는 액정표시장치의 전체 구성을 나타낸 도면이다.
- [0019] 도 3을 참조하면, 본 발명의 액정표시장치는 복수의 게이트 배선(GL) 및 데이터 배선(DL)이 교차 형성되고, 교차지점에 화소가 정의되는 액정패널(100)과, 타이밍 신호에 대응하여 패킷 데이터(PD1, PD2)를 생성하여 게이트 구동부(120) 및 데이터 구동부(130)에 공급하는 타이밍 제어부(110)와, 게이트 배선(GL)에 게이트 구동신호(VG)를 공급하는 게이트 구동부(120)와, 복수의 제어신호 및 영상데이터가 포함된 패킷 데이터(PD1, PD2)를 수신 및 분석하고, 영상데이터(RGB)를 아날로그 파형의 데이터 신호(VDATA)로 변환 및 출력하되, 데이터신호(VDATA)의 처리를 위한 아날로그 블록에 하이 바이어스 전류의 공급을 블랭크 기간 동안 차단하는 하이 바이어스 회로를 포함하는 데이터 구동부(130)를 포함한다.
- [0020] 액정패널(100)은 유리 또는 플라스틱 재질의 두 투명기판이 소정거리 이격되어 합착되고, 그 사이에 액정층이 개재된다. 상기 두 기판 중, 일 기판상에는 게이트 배선(GL), 그리고 게이트 배선(GL)과 수직하는 방향으로 다수의 데이터 배선(DL)이 매트릭스 형태로 교차 배치되고 그 교차지점에 화소가 정의된다. 화소는 다수개가 표시영역을 이루게 되며, 각 화소에는 스위칭 소자의 역할을 하는 적어도 하나의 박막트랜지스터(T)가 형성되어 있다.
- [0021] 박막트랜지스터(T)의 게이트는 게이트 배선(GL)과 연결되어 게이트 구동신호에 의해 턴-온/오프 구동하며, 드레인온 데이터 배선(DL)과 연결되어 소스는 화소전극과 연결되어 있다. 또한, 화소전극은 공통전압(Vcom)이 인가되는 공통전극과 대향하여 액정캐패시터(LC)를 이루게 되며, 데이터 배선(DL)을 통해 인가되는 데이터 신호에 대응하는 전하가 액정캐패시터(LC)에 충전됨에 따라 액정층의 광 투과율이 변화하여 영상을 표시하게 된다. 도시되어 있진 않지만, 액정캐패시터(LC)은 충전된 데이터 신호가 다음 프레임까지 충전된 전압레벨을 안정적으로 유지하기 위해 저장캐패시터(미도시)와 더 연결될 수 있다.
- [0022] 타이밍 제어부(110)는 외부로부터 인가되는 영상데이터(RGB)와 소정의 타이밍 신호(Hsync, Vsync, DE, CLK)를 수신하고, 영상데이터(RGB)를 데이터 구동부(120)가 처리할 수 있는 형태로 정렬하며, 게이트 및 데이터 제어신호(GCS, DCS)를 생성하여 이를 패킷 데이터(PD1, PD2) 형태로 각 구동부(120, 130)에 인가한다.
- [0023] 여기서, 수평동기신호(Hsync)는 화면의 한 수평라인을 표시하는 데 걸리는 시간을 정의하는 신호이고, 수직동기신호(Vsync)는 한 프레임의 화면을 표시하는 데 걸리는 시간을 정의하는 신호이다. 그리고, 데이터인에이블신호(DE)는 액정패널(100)의 화소전극에 화소전압을 공급하는 기간을 정의하는 신호이며, 클럭신호(CLK)는 전체 시스템의 동기화를 위한 신호이다.
- [0024] 또한, 본 발명의 실시예에 따른 타이밍 제어부(110)는 도 4에 도시된 바와 같이, 각 구동부(120, 130)와 EPI(Embedded Clock Point to Point Interface) 방식으로 연결된다. 여기서, 타이밍 제어부(110)는 데이터 구동부(130)의 제어를 위한 데이터 제어신호(DCS) 및 정렬된 영상 데이터(RGB)를 패킷 데이터(packet data)에 포함시켜 공급하게 되며, 이를 위해 타이밍 제어부(110)는 데이터 구동부(130)를 이루는 D-IC(300)들과 각각 2개의 전송라인(500)을 통해 포인트-투-포인트(point-to-point) 방식으로 연결된다. 두 전송라인(500)중, 제1 전송라인(RL)은 기준전압을 전송하는 기능을 수행하며, 제2 전송라인(PL)은 패킷 데이터를 전송하는 기능을 수행한다. 이에 따라, 데이터 구동부(130)는 수신한 패킷 데이터를 통해 데이터 제어신호(DCS)를 분석하여 구동하게 된다.
- [0025] 다시 도 3을 참조하면, 게이트 구동부(120)는 게이트 배선(GL)을 통해 액정패널(100)과 연결되는 복수의 스테이지로 이루어지는 쉬프트 레지스터로서, 액정패널(100)의 일 기판에 형성되는 복수의 박막트랜지스터로 구성된다. 타이밍 제어부(110)로부터 제1 패킷 데이터(PD1)를 인가받으면, 이에 포함된 게이트 제어신호(GCS)에 대응하여 게이트배선(GL)에 하이레벨의 게이트 구동신호(VG)를 순차적으로 출력하게 된다. 설계자의 의도에 따라, 제1 패킷 데이터(PD1)는 게이트 구동부(120)에 직접 전송되지 않고, 데이터 구동부(130)부에 전송되어 그로부터 분석된 게이트 제어신호(GCS)가 게이트 구동부(120)에 전달되는 형태로 구성될 수 있다.
- [0026] 전술한 게이트 제어신호(GCS)로는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate

Shift Clock, GSC) 및 게이트 출력 인에이블 신호(Source Output Enable, SOE)등이 포함된다.

- [0027] 특히, 게이트 구동부(120)는 하나의 프레임(1 frame)동안 1 수평기간(1H)마다 순차적으로 하이레벨의 게이트 구동신호(Vg)를 게이트 배선(GL)을 통해 출력하고, 나머지 기간 동안 로우레벨의 게이트 구동신호(Vg)를 출력하게 된다. 일반적으로, 게이트 배선(GL)간 하이레벨의 게이트 구동신호(Vg)는 중첩되지 않도록 설정되나, 액정패널(100)이 고해상도의 화상을 구현하고 대면적으로 형성되는 추세에 따라 게이트 배선(GL)의 충전시간의 부족으로 인하여 오작동되는 것을 방지하기 위해, 하이레벨 공급기간을 조절하여 이웃한 게이트 배선간 하이레벨 기간이 서로 중첩시키는 형태로 설정될 수도 있다.
- [0028] 데이터 구동부(130)는 타이밍 제어부(110)로부터 인가되는 제2 패킷 데이터(PD2)에 포함된 데이터 제어신호(DCS)에 대응하여 디지털형태의 영상데이터(RGB)를 순차적으로 수신하고, 감마전압에 따라 아날로그 형태의 데이터 신호(VDATA)으로 변환하여 데이터 배선(DL)을 통해 액정패널(100)에 인가한다. 이러한 데이터 신호(VDATA)는 하나의 수평구간(1H)만큼 래치되어 모든 데이터배선(DL)을 통해 동시에 액정패널(100)에 입력된다.
- [0029] 전술한 데이터 제어신호(DCS)로는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 쉬프트 클럭(Source Shift Clock, SSC), 소스 출력 인에이블 신호(Source Output Enable, SOE) 및 극성반전신호(polarity, SOE)등이 포함될 수 있다.
- [0030] 특히, 데이터 구동부(130)에 전송되는 제2 패킷 데이터(PD2)에는 데이터 구동부(130)에 포함된 아날로그 블록의 바이어스 전류를 제어하는 바이어스 제어신호(Analog Block Disable Signal)가 포함되어 있으며, 데이터 구동부(130)는 바이어스 제어신호에 대응하여 블랭크 기간동안 내부에 구비되는 바이어스 회로를 통해 아날로그 블록의 바이어스 전류를 차단하여 데이터 신호의 출력을 중지하게 된다.
- [0031] 특히, 본 발명의 실시예에 따른 액정표시장치에서는 블랭크 구간동안 전력소비를 저감하기 위해, 외부의 전원공급부(미도시)로부터 데이터 구동부(130)에 인가되는 전원전압을 차단하여 데이터 구동부(130)의 전체 구동을 중지하는 것이 아닌, 데이터 구동부(130)에 포함된 블록 중 일부에 공급되는 바이어스 전류를 조절함으로써 구동을 유지한 상태에서 전력소비만을 저감하는 것을 특징으로 한다. 이러한 데이터 구동부(130)의 구체적인 구조에 대한 설명은 후술한다.
- [0032] 이하, 도 5 내지 도 7을 참조하여, 본 발명의 액정표시장치에서 이용하는 EPI 패킷 데이터에 대하여 설명한다.
- [0033] 도 5는 본 발명의 실시예에 따른 EPI 패킷 데이터의 시퀀스(sequence)를 나타낸 도면이다.
- [0034] 도 5를 참조하면, EPI 패킷 데이터는 일정한 비트수를 갖는 복수의 패킷으로 구성되며, 각 패킷은 28비트로 구성될 수 있다.
- [0035] 복수의 패킷은 EPI 스타트 패킷(CT), 콘트롤 스타트 패킷(CTR_START), 제1 콘트롤 패킷(CTR1), 제2 콘트롤 패킷(CTR2), 프리앰블 패킷(PREAMBLE), 데이터 스타트 패킷(DATA_START) 및 영상 데이터 패킷(RGB DATA)을 포함한다.
- [0036] EPI 스타트 패킷(CT)은 패킷 데이터의 시작을 알려주는 패킷이며, 콘트롤 스타트 패킷(CTR_START)은 콘트롤 패킷의 시작을 알려주는 패킷이다. 그리고, 제1 및 제2 콘트롤 패킷(CTR1, CTR2)는 데이터 구동부의 각종 제어신호가 인코딩된 패킷이며, 프리앰블 패킷(PREAMBLE)은 데이터 구동부의 초기화를 위한 신호가 인코딩된 패킷이다. 또한, 데이터 스타트 패킷(DATA_START)은 다음 패킷이 영상데이터 패킷의 시작을 알려주는 패킷이며, 영상 데이터 패킷(RGB DATA)은 영상 데이터가 인코딩된 패킷이다.
- [0037] 이 중, 본 발명의 데이터 구동부를 제어하기 위한 바이어스 제어신호는 콘트롤 스타트 패킷(CTR_START) 및 제1 콘트롤 패킷(CTR1)에 인코딩된다.
- [0038] 도 6은 본 발명의 EPI 패킷 데이터 중, 콘트롤 스타트 패킷의 구성을 나타내는 도면이다.
- [0039] 도 6을 참조하면, 콘트롤 스타트 패킷(CTR_START)은 0 ~ 27 비트로 구성되며, CK 비트는 임베디드 클럭을 나타내며 2비트가 할당된다. 또한 CTR_START 비트는 다음 패킷이 제어와 관련된 패킷임을 알려주는 비트로서 6비트가 할당된다. 이어서, PDEC2, PDEC3, PDEC4 비트는 감마 디코더 설정비트로 각각 4비트씩 총 12비트가 할당된다.
- [0040] 또한, ABD 비트는 본 발명의 데이터 구동부의 아날로그 블록에 바이어스 전류를 제어하는 바이어스 회로의 제어신호로서 3비트가 할당되며, 'LLL'의 비활성화 및 'HHH'의 활성화 두 상태로 설정된다. 즉, ABD 비트값이 'LLL'일 경우 아날로그 블록에 대한 바이어스 전류의 차단기능이 비활성화 됨으로서, 아날로그 블록에 정상적으로

바이어스 전류는 공급된다. 반면, ABD 비트값이 'HHH'일 경우 바이어스 전류 차단기능이 활성화 됨으로서, 아날로그 블록에 바이어스 전류는 차단되고 데이터 구동부가 더 이상 데이터 신호를 출력하지 않게 된다. 여기서, 바이어스 전류 기능을 제어하기 위해 3 비트를 할당하는 것은 노이즈(noise)의 유입에 의해 오작동하는 것을 최소화하기 위함이다.

[0041] 다음으로, ABDRS 비트는 바이어스 전류 차단기능을 액정패널의 해상도에 대응하도록 설정하기 위한 비트이다. 액정패널의 해상도에 따라 D-IC의 개수가 결정되므로, 바이어스 전류 차단기능 제어에 해상도(resolution) 정보가 요구된다.

[0042] 이러한 ABDRS 비트는 3비트가 할당되며, 'LLL' 일 경우 액정패널의 해상도는 WUXGA(1200 × 1920)으로 설정되고, 'HHH' 경우 액정패널의 해상도는 QHD(2560 × 1440)으로 설정된다. 나머지 DMY 비트는 더미비트로서 2비트가 할당된다.

[0043] 이하, 도면을 참조하여 제1 콘트롤 패킷(CTR1)의 구성을 설명한다.

[0044] 도 7은 본 발명의 실시예에 따른 EPI 패킷 데이터 중, 제1 콘트롤 패킷(CTR 1)을 설명하기 위한 도면이다.

[0045] 도 7을 참조하면, 제1 콘트롤 패킷(CTR 1)은 0 ~ 27 비트로 구성되며, CK 비트는 임베디드 클록을 나타내며 2비트가 할당된다.

[0046] SOE_START 비트 및 SOE_END 비트는 데이터 제어신호(DCS) 중, 소스출력인에이블(SOE)의 출력시점 및 종료시점을 설정하기 위한 비트로서, 4비트 및 6비트가 할당된다.

[0047] ABD_START 비트는 본 발명의 아날로그 블록 바이어스 차단 기능의 활성화시, 그 시작시점을 설정하는 비트로서 총 3비트가 할당된다. 시작 시점은 마지막 데이터 신호가 출력된 이후부터 소정의 단위시간씩 증가하는 형태로 설정되며, 상기 단위시간은 1 수평기간(1H)일 수 있다. 예를 들면, ABD_START 비트값이 'LLL'일 경우, 마지막 데이터 신호가 출력되고 1H 이후 ABD 신호가 하이레벨로 출력된다. 또한, ABD_START 비트값이 'HHH'일 경우, 마지막 데이터 신호가 출력되고 8H 이후 ABD 신호가 하이레벨로 출력된다.

[0048] ABD_END 비트는 바이어스 차단 기능이 종료되는 시점을 설정하는 비트로서 총 5비트가 할당된다. 종료시점 또한 마지막 데이터 신호가 출력된 이후를 기준으로 하여 단위시간씩 증가하는 형태로 설정된다. 예를 들면, ABD_END 비트값이 'LLLLL'일 경우, 마지막 데이터 신호가 출력되고 1H 이후 ABD 신호가 로우레벨로 천이된다. 또한, ABD_END 비트값이 'HHHHH'일 경우, 마지막 데이터 신호가 출력되고 32H 이후 ABD 신호가 로우레벨로 천이된다.

[0049] TEST_P1 내지 TEST_P4는 테스트 비트이며, 26번째 비트(25 bit)는 기능이 할당되지 않은 미사용 비트이며, 나머지 DMY 비트는 더미비트로서 2비트가 할당된다.

[0050] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 데이터 구동부를 설명한다.

[0051] 도 8은 본 발명의 실시예에 따른 액정표시장치의 데이터 구동부를 나타낸 도면이다.

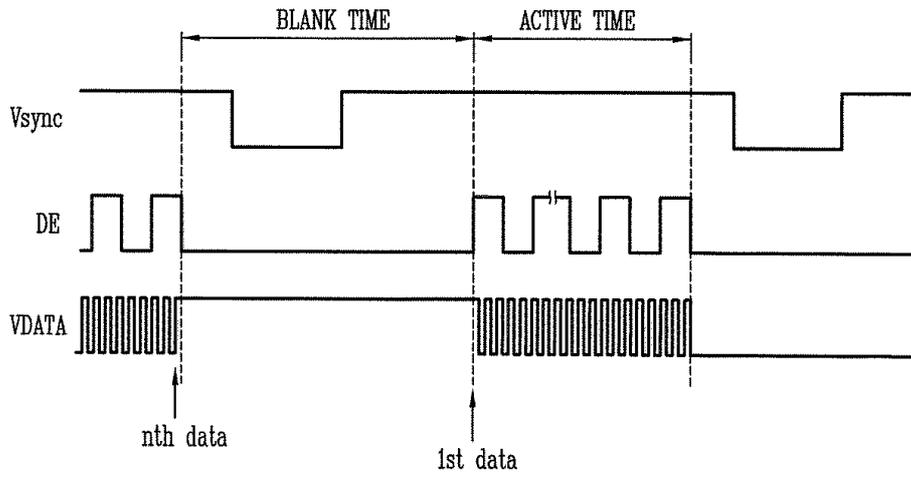
[0052] 도 8을 참조하면, 본 발명의 데이터 구동부(130)는 복수의 제어신호 및 영상데이터가 포함된 패킷 데이터(PD2)를 수신 및 분석하고, 샘플링 신호에 대응하여 일정단위로 영상데이터를 래치하는 로직블록(131, 132, 133)과, 감마전압에 대응하여 래치된 영상데이터를 아날로그 파형으로 변환하여 데이터신호(VDATA)를 생성하고, 데이터신호(VDATA)를 출력하는 아날로그 블록(134, 135, 136, 137)과, 상기 로직 블록(131, 132, 133)에 각각 로우 바이어스 전류(LV)를 공급하는 로우 바이어스 회로(138) 및 상기 아날로그 블록(134, 135, 136, 137)에 하이 바이어스(HV) 전류를 공급하는 로우 바이어스 회로(138) 및 하이 바이어스 회로(139)를 포함한다. 여기서, 바이어스 회로(138, 139)는 블랭크 구간동안 로직블록(131 내지 133) 및 아날로그블록(134 내지 137)을 선택적으로 활성화 또는 비활성화 하는 기능을 수행한다. 로직블록(131, 132, 133)은 데이터 제어부(131)와, 시프트 레지스터(132)와, 데이터 레지스터(133)로 이루어진다.

[0053] 데이터 제어부(131)는 타이밍 제어부(미도시)로부터 전송되는 패킷 데이터(PD2)를 디코딩하여 패킷내에 포함된 데이터 제어신호(DCS)와 영상 데이터(RGB)를 추출한다. 또한 패킷 데이터(PD2)에는 각 블록에 바이어스 전류를 공급하는 바이어스 제어비트가 포함되어 있으며, 바이어스 제어비트는 각 프레임 사이 영상이 유지되고, 데이터 신호가 출력되지 않는 구간인 블랭크 기간(BLANK TIME)동안 바이어스 회로의 동작을 중지시키는 비트값이 포함되어 있다. 이에 따라 데이터 제어부(131)는 블랭크 기간동안 특정 바이어스 회로의 구동을 중지시키게 된다.

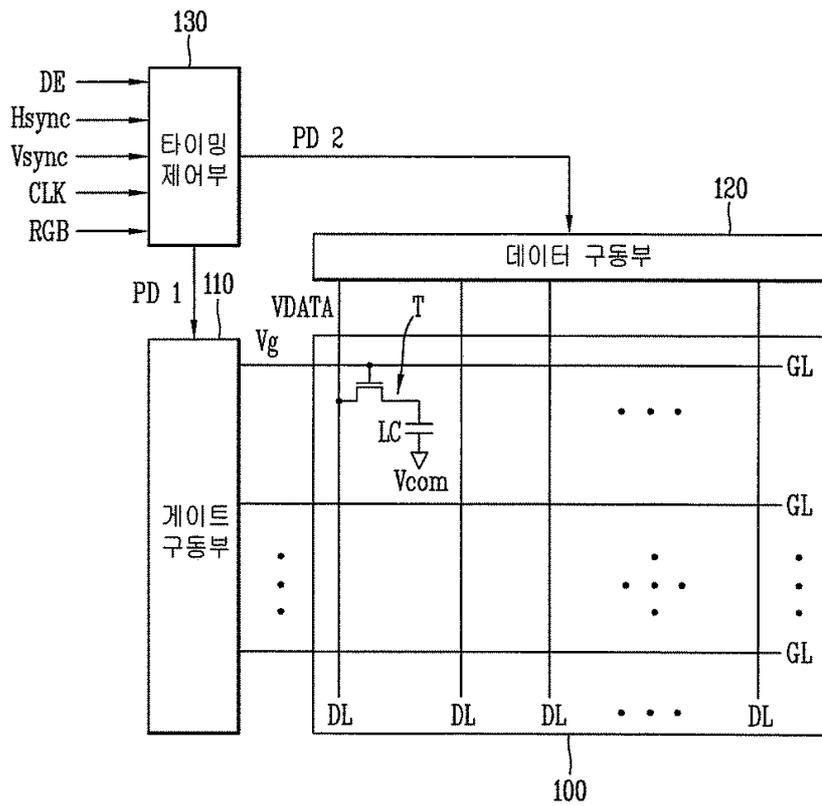
[0054] 시프트 레지스터(132)는 데이터 제어신호(DCS) 중, 소스스타트펄스(SSP)를 소스 샘플링 클록(SSC)에 따라 순차적으로 쉬프트 시켜 샘플링신호를 데이터 래치(134)에 출력하게 된다.

- [0055] 데이터 레지스터(133)는 데이터 제어부(131)에 의해 디코딩된 영상데이터(RGB)를 순차적으로 데이터 래치(134)에 출력한다.
- [0056] 데이터 래치(134)는 샘플링 신호에 응답하여 데이터 레지스터(133)로부터 출력되는 디코딩된 영상데이터(RGB)를 일정단위씩 순차적으로 샘플링 하여 래치하게 된다. 이를 위해 데이터 래치(134)는 영상 데이터의 비트수에 대응하는 크기로 구비된다.
- [0057] 상기의 데이터 제어부(131), 쉬프트 레지스터(132), 데이터 레지스터(133) 및 데이터 래치(134)는 로직 블록에 해당하는 것으로, 데이터 구동부(130) 전체로 보아 구동시 소비전력은 20 % ~ 30 % 정도이고, 로우레벨의 전원 전압(LVDD)에 의한 낮은 바이어스 전류로 구동한다. 이에 따라, 파워블록 중, 로우 바이어스 회로(138)로부터 로우 바이어스 전류(LV)를 공급받아 구동하며, 데이터 구동부(130)의 구동 기간중에는 항상 파워가 공급된다.
- [0058] 다음으로, 감마 버퍼부(135)는 데이터 제어부(131)로부터 공급되는 정극성 및 부극성 감마전압(P-GAMMA, N-GAMMA)을 디코더부(136)에 공급한다.
- [0059] 디코더부(136)는 데이터 래치(134)로부터 출력되는 1 수평라인분의 디지털 파형의 영상데이터를 정극성 및 부극성 감마전압(P-GAMMA, N-GAMMA)를 이용하여 정극성 및 부극성의 아날로그 데이터로 변환하여 출력하게 된다. 이를 위해, 디코더부(136)는 데이터 래치(134)에 공통 접속된 정극성 및 부극성 디코더(미도시)와, 두 디코더로부터의 출력신호를 선택하기 위한 멀티플렉서(multiplexer)를 포함할 수 있다.
- [0060] 출력버퍼부(137)는 복수의 전압팔로워(voltage)를 포함하고, 각각 데이터라인(DL)과 연결되어 디코더부(136)로부터 출력되는 아날로그 데이터 신호(VDATA)를 액정패널(100)의 각 화소에 공급하게 된다.
- [0061] 전술한 감마 버퍼부(135), 디코더부(136) 및 출력버퍼부(137)는 데이터 구동부(130)의 아날로그 블록에 해당하는 것으로, 데이터 구동부(130) 전체로 보아 구동시 소비전력은 70 % ~ 80 % 정도이고, 높은 바이어스 전류로 구동한다. 이에 따라, 파워블록 중, 하이 바이어스 회로(139)로부터 하이레벨의 전원전압(HVDD)에 의한 하이 바이어스 전류(HV)를 공급받아 구동하며, 데이터 구동부(130)의 구동 기간 중, 액티브 기간(Active Time)에서는 구동되나, 블랭크 기간(Blank Time)중에서는 파워 차단으로 인하여 바이어스 전류 차단에 의해 동작이 중지된다.
- [0062] 로우 바이어스 회로(138) 및 하이 바이어스 회로(139)는 데이터 구동부(130)내에서 전원(power supply)역할을 하는 파워 블록에 해당하는 것으로, 외부로부터 인가되는 전원전압 및 접지전압에 따라, 각각 로직블록 및 아날로그 블록의 구동을 위한 적절한 바이어스 전류를 공급하는 역할을 하며, 데이터 제어부(131)로부터 인가되는 ABD 신호에 의해 제어될 수 있다.
- [0063] 외부로부터 인가되는 전원전압은 액정표시장치의 파워-온 시점 이후 항상 데이터 구동부에 안정적으로 인가되며, 상기 로우 바이어스 회로(138) 및 하이 바이어스 회로(139)는 외부 전원으로부터 공급되는 각각 낮은 전원전압(VCC)과 통상의 전원전압(VDD)에 따른 로우 바이어스 전류 및 하이 바이어스 전류를 로직블록 및 아날로그 블록에 공급하게 된다.
- [0064] 여기서, 상기 로직블록 및 아날로그블록은 복수의 트랜지스터로 이루어질 수 있으며, 로우 바이어스 회로(138) 및 하이 바이어스 회로(139)는 상기 복수의 트랜지스터의 동작점을 결정하는 바이어스 전류를 공급하되, 블랭크 구간에서는 하이 바이어스 회로(139)가 공급하는 하이 바이어스 전류를 차단하여 연결된 트랜지스터들을 턴-오프 시킴으로서 데이터 신호의 출력을 중단하게 된다.
- [0065] 특히, 하이 바이어스 회로(139)에 인가되는 ABD 신호에는 블랭크 기간과 대응하는 아날로그 블록 바이어스 차단 여부 및 차단 기간이 정의되어 있으며, 이는 패킷 데이터(PD2)의 제어비트에 포함되어 있다.
- [0066] 이러한 구조에 따라, 본 발명의 데이터 구동부는 블랭크 기간 중, 로직블록에 공급되는 로우 바이어스 전류를 유지하고, 이를 제외한 나머지 블록들, 즉 하이 바이어스 전류가 요구되는 아날로그 블록에 공급되는 바이어스 전류만을 일시 차단하여 동작을 중지시킴으로서, 데이터 구동부 자체는 구동상태를 유지하고 데이터 신호의 출력기능에 대응하는 블록들이 소모하는 불필요한 소비전력을 저감하게 된다.
- [0067] 즉, 데이터 구동부(130)를 이루는 복수의 블록 중, 로우 바이어스 전류를 소모하는 로직블록은 블랭크 구간에 종속적이지 않으며 계속 구동상태를 유지하게 되고, 하이 바이어스 전류가 공급되는 아날로그블록은 액티브 구간에는 종래와 동일하게 구동하고, 블랭크 구간에 진입함에 따라 하이 바이어스 전류의 공급이 일시 중단되어 아날로그 블록이 비활성화됨에 따라 전력소모가 최소화 된다.

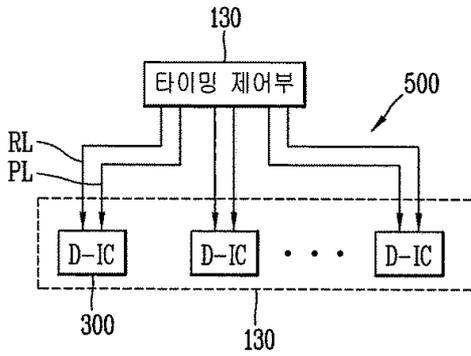
도면2



도면3



도면4



도면5

CT	CTR_START	CTR 1	CTR 2	PREAMBLE	DATA_START	RGB DATA
----	-----------	-------	-------	----------	------------	----------

[EPI 패킷 시퀀스]

도면6

BIT #	NAME	DEFAULT	DESCRIPTION
0,1	CK	HH	임베디드 클럭
2 ~ 7	CTR_START	HLHLHL	다음 패킷이 제어 패킷임을 알려주는 비트
8 ~ 11	PDEC 2<0:3>	HHHH	감마 디코더 설정 비트
12 ~ 15	PDEC 3<0:3>	HHHH	감마 디코더 설정 비트
16 ~ 19	PDEC 4<0:3>	HHHH	감마 디코더 설정 비트
20 ~ 22	ABD	LLL	ABD 제어비트 'LLL' 비활성화, 'HHH' 활성화
23 ~ 25	ABDRS	LLL	ABD 해상도 설정비트 'LLL', 'HHH'
26,27	DMY	LL	더미 비트

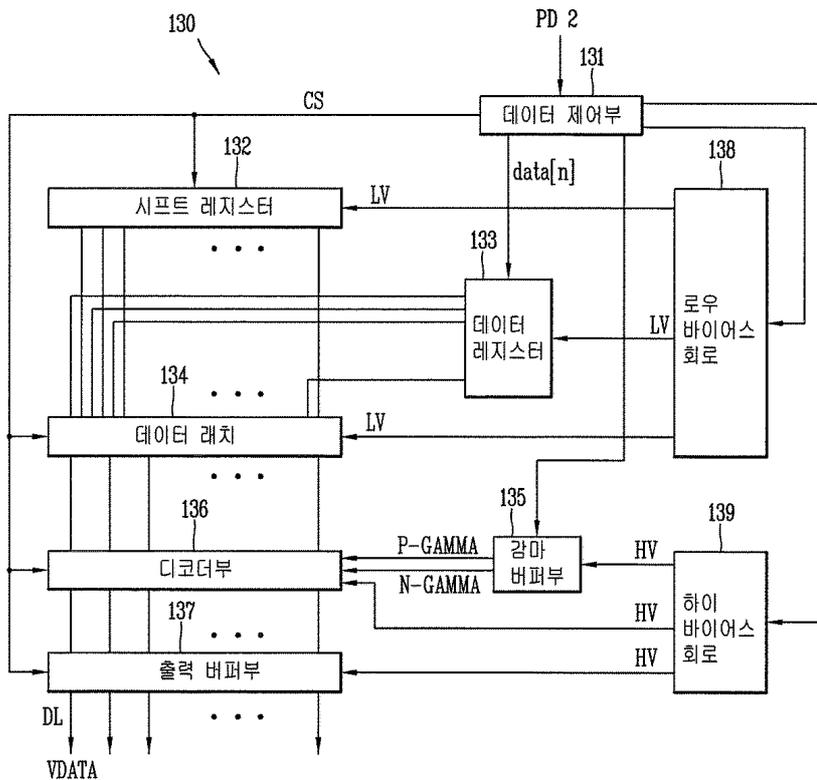
[CTR_START]

도면7

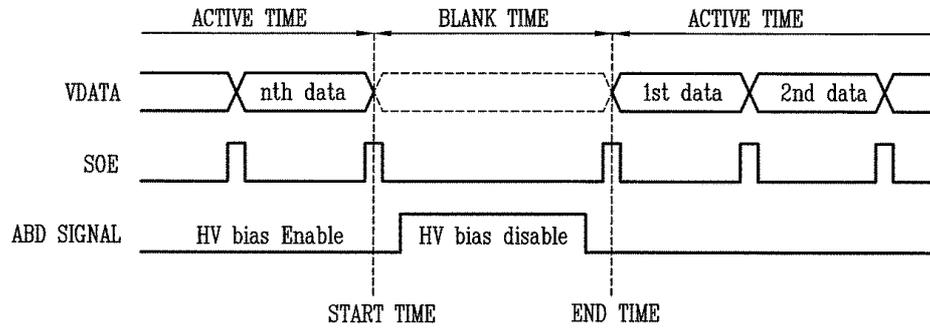
BIT #	NAME	DEFAULT	DESCRIPTION
0,1	CK	HH	임베디드 클럭
2 ~ 5	SOE_START<0:3>	HHHH	SOE 시작시점 설정 비트
6 ~ 11	SOE_END<0:5>	LLLLL	SOE 끝지점 설정 비트
12 ~ 14	ABD_START<0:2>	LLL	ABD 시작시점 설정 비트
15 ~20	ABD_END<0:5>	LLLLL	ABD 끝지점 설정 비트
21	TEST_P1	L	테스트 비트
22	TEST_P2	L	테스트 비트
23	TEST_P3	L	테스트 비트
24	TEST_P4	L	테스트 비트
25	-	L	미사용
26,27	DMY	LL	더미 비트

[CTR 1]

도면8



도면9



专利名称(译)	标题数据驱动单元和包括其的液晶显示器		
公开(公告)号	KR101480842B1	公开(公告)日	2015-01-09
申请号	KR1020130113441	申请日	2013-09-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG JEONG HO 강정호 KIM HYUN CHUL 김현철		
发明人	강정호 김현철		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G02F1/13306 G09G2310/08 G09G2330/021		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示装置。特别地，本发明涉及一种能够降低数据驱动单元的功耗的方法，该数据驱动单元将接收的数字波形的图像数据转换为模拟波形的数据电压并将其提供给像素。根据本发明的实施例，通过使用空白部分中的模拟高电平的电源电压 (HVDD) 将模拟块去激活的分组到液晶显示装置的数据驱动单元，可以降低功耗。在驾驶中消耗高功耗。数据驱动单元包括：接收和分析包括多个控制信号和图像数据的分组数据的逻辑块，并且响应于采样信号，通过预定单元锁存图像数据;模拟块，它通过将响应于伽马电压而锁存的图像数据转换成模拟波形来产生数据信号，并输出数据信号;低压和高压偏置电路，分别为逻辑块和模拟模块提供偏置电流，以响应外部供电。COPYRIGHT KIPO 2015

