



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0030885  
(43) 공개일자 2011년03월24일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0088536

(22) 출원일자 2009년09월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

김종우

경북 구미시 원평동 937-68(6/12)

주공아파트110-106

남현택

대구 동구 신암1동 프란체 106동 1003호

문명국

대구 달서구 본리동 성당 레미안 e편한세상

204-504

(74) 대리인

특허법인로알

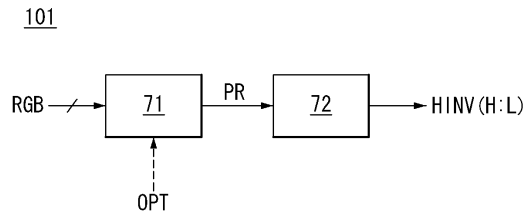
전체 청구항 수 : 총 10 항

(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 입력 영상의 디지털 비디오 데이터를 분석하여 제1 문제패턴의 데이터가 입력될 때 데이터 구동회로부터 출력되는 데이터전압의 수평 극성을 수평 2 도트 인버전으로 제어하고, 제2 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로부터 출력되는 상기 데이터전압의 수평 극성을 수평 1 도트 인버전으로 제어하는 타이밍 컨트롤러를 구비한다.

대표도 - 도7



## 특허청구의 범위

### 청구항 1

데이터라인들과 게이트라인들이 교차되는 액정표시패널;

디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들로 출력하는 데이터 구동회로;

상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로; 및

입력 영상의 디지털 비디오 데이터를 상기 데이터 구동회로에 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하며, 상기 입력 영상의 디지털 비디오 데이터를 분석하여 제1 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 수평 2 도트 인버전으로 제어하고, 상기 제2 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 수평 1 도트 인버전으로 제어하는 타이밍 콘트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 타이밍 콘트롤러는,

상기 제1 및 제2 문제패턴들 각각에 대한 RGB별 문턱값들을 저장하고, 상기 입력 영상의 RGB 데이터 각각에 대하여 화이트-블랙 패턴과 블랙-화이트 패턴을 카운트하여 그 카운트 총합들을 소정의 RGB별 문턱값과 비교하여 상기 제1 및 제2 문제패턴을 구분하는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 1 항에 있어서,

상기 타이밍 콘트롤러는,

상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 제어하기 위한 수평 극성제어신호와, 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수직 극성을 제어하기 위한 수직 극성제어신호를 이용하여 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 극성을 제어하는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 3 항에 있어서,

상기 타이밍 콘트롤러는,

상기 제1 문제패턴의 데이터가 입력될 때 상기 수평 극성제어신호를 제1 논리로 출력하고, 상기 제2 문제패턴의 데이터가 입력될 때 상기 수평 극성제어신호를 제2 논리로 출력하는 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 4 항에 있어서,

상기 타이밍 콘트롤러는,

상기 입력 영상에서 소정 크기의 샘플 데이터를 추출하여, 상기 샘플 데이터의 RGB 각각에 대하여 화이트-블랙 패턴과 블랙-화이트 패턴의 개수를 카운트하고, 그 RGB별 카운트 총합들이 미리 저장된 문턱값들과 비교하여 문제패턴 여부와 문제패턴 유형을 인식하여 문제패턴 플래그를 출력하는 문제패턴 인식부; 및

상기 문제패턴 플래그의 논리값이 바뀔 때 상기 수평 극성제어신호의 논리를 반전시키는 극성 제어부를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제 5 항에 있어서

상기 문제패턴 인식부는,

상기 샘플 데이터에서 R 데이터만을 대상으로 하여 화이트-블랙 패턴과 블랙-화이트 패턴 각각의 개수를 카운트 하여 그 카운트 총합들을 출력하는 R 카운터;

상기 R 카운터로부터 입력된 상기 카운트 총합들을 상기 제1 및 제2 문제패턴들의 문턱값들을 비교하여 R 카운트 총합이 상기 문턱값들 중 어느 하나와 동일하다면, 하이 논리의 출력을 발생하는 R 문제패턴 판정부;

상기 R 카운터로부터 입력된 상기 카운트 총합들을 상기 제2 문제패턴의 R 문턱값들과 동일하면, 하이 논리를 출력하는 R 예외 조건 판정부;

상기 샘플 데이터에서 G 데이터만을 대상으로 하여 상기 화이트-블랙 패턴과 상기 블랙-화이트 패턴 각각의 개수를 카운트하여 그 카운트 총합들을 출력하는 G 카운터;

상기 G 카운터로부터 입력된 상기 카운트 총합들을 상기 제1 및 제2 문제패턴들의 문턱값들을 비교하여 G 카운트 총합이 상기 문턱값들 중 어느 하나와 동일하다면, 하이 논리의 출력을 발생하는 G 문제패턴 판정부;

상기 G 카운터로부터 입력된 상기 카운트 총합들을 상기 제2 문제패턴의 G 문턱값들과 동일하면, 하이 논리를 출력하는 G 예외 조건 판정부;

상기 샘플 데이터에서 B 데이터만을 대상으로 하여 상기 화이트-블랙 패턴과 상기 블랙-화이트 패턴 각각의 개수를 카운트하여 그 카운트 총합들을 출력하는 B 카운터;

상기 B 카운터로부터 입력된 상기 카운트 총합들을 상기 제1 및 제2 문제패턴들의 문턱값들을 비교하여 B 카운트 총합이 상기 문턱값들 중 어느 하나와 동일하다면, 하이 논리의 출력을 발생하는 B 문제패턴 판정부;

상기 B 카운터로부터 입력된 상기 카운트 총합들을 상기 제2 문제패턴의 B 문턱값들과 동일하면, 하이 논리를 출력하는 B 예외 조건 판정부;

상기 문제패턴 판정부들의 출력들을 논리합 연산하는 OR 게이트;

상기 예외 조건 판정부들의 출력들을 부정 논리곱 연산하는 NAND 게이트; 및

상기 OR 게이트의 출력과 상기 NAND 게이트의 출력들을 논리곱 연산하여 그 결과를 상기 문제패턴 플래그로써 출력하는 AND 게이트를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 7

데이터라인들과 게이트라인들이 교차되는 액정표시패널, 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들로 출력하는 데이터 구동회로, 상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비하는 액정표시장치의 구동방법에 있어서,

상기 입력 영상의 디지털 비디오 데이터를 분석하여 상기 입력 영상에서 제1 문제패턴과 제2 문제패턴을 판정하는 단계;

상기 제1 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 수평 2 도트 인버전으로 제어하는 단계; 및

상기 제2 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 수평 1 도트 인버전으로 제어하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

### 청구항 8

제 7 항에 있어서,

상기 입력 영상의 디지털 비디오 데이터를 분석하여 상기 입력 영상에서 제1 문제패턴과 제2 문제패턴을 판정하는 단계는,

상기 제1 및 제2 문제패턴들 각각에 대한 RGB별 문턱값들을 저장하는 단계;

상기 입력 영상의 RGB 데이터 각각에 대하여 화이트-블랙 패턴과 블랙-화이트 패턴을 카운트하여 그 카운트 총합들을 소정의 RGB별 문턱값과 비교하여 상기 제1 및 제2 문제패턴을 구분하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

**청구항 9**

제 7 항에 있어서,

상기 데이터 구동회로부터 출력되는 상기 데이터전압의 수평 극성을 제어하기 위한 수평 극성제어신호와, 상기 데이터 구동회로부터 출력되는 상기 데이터전압의 수직 극성을 제어하기 위한 수직 극성제어신호를 발생하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 10**

제 9 항에 있어서,

상기 제1 문제패턴의 데이터가 입력될 때 상기 수평 극성제어신호를 제1 논리로 출력하는 단계; 및

상기 제2 문제패턴의 데이터가 입력될 때 상기 수평 극성제어신호를 제2 논리로 출력하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

**배경기술**

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치의 액정셀들은 화소전극에 공급되는 데이터전압과 공통전극에 공급되는 공통전압의 전위차에 따라 투과율을 변화시킴으로써 화상을 표시한다. 액정표시장치는 일반적으로 액정의 열화를 방지하기 위하여 액정에 인가되는 데이터전압의 극성을 주기적으로 반전시키는 인버전 방식으로 구동되고 있다. 액정표시장치가 인버전 방식으로 구동되면 액정셀들에 충전되는 데이터전압의 극성과 입력 영상의 데이터 패턴의 상관 관계에 따라 액정표시장치의 화질이 떨어질 수 있다. 이는 액정셀에 충전되는 데이터전압에 따라 액정셀들에 충전되는 데이터 전압들의 극성이 정극성과 부극성이 균형을 맞추지 않고 어느 한 극성이 우세 극성으로 되고, 그로 인하여 공통전극에 인가되는 공통전압이 쉬프트되기 때문이다. 공통전압이 쉬프트되면 액정셀들의 기준 전위가 흔들리기 때문에 관찰자는 액정표시장치에 표시된 화상에서 플리커(flicker)나 스메어(smear) 현상을 느낄 수 있다.

[0004] 도 1은 액정표시장치를 도트 인버전으로 구동할 때, 화질이 떨어질 수 있는 문제패턴(problem pattern)의 데이터 예들을 나타낸다.

[0005] 문제패턴 중에서 도 1과 같이 화이트 계조의 픽셀 데이터(백색)와 블랙 계조의 픽셀 데이터(흑색)가 1 픽셀 단위로 교번하는 패턴을 셋다운 패턴(Shutdown pattern)이라 한다. 픽셀 데이터 각각은 적색 서브픽셀 데이터(R), 녹색 서브픽셀 데이터(G) 및 청색 서브픽셀 데이터(B)를 포함한다. 셋다운 패턴의 검출방법은 입력 영상에 포함된 셋다운 패턴을 카운트하여 그 카운트값에 따라 셋다운 패턴 여부를 판단할 수 있다. 예컨대, 셋다운 패턴의 검출방법은 N(N은 양의 정수) 번째 픽셀 데이터가 화이트 계조의 픽셀 데이터이고 N+1 번째 픽셀 데이터가 블랙 계조의 픽셀 데이터일 때 문제 픽셀 카운터의 카운트값을 1씩 증가시키고 그 카운트값이 소정의 문턱값 이상일 때 입력 영상의 데이터를 셋다운 패턴으로 판단한다.

[0006] 셋다운 패턴을 인식하기 위해서는 도 2와 같이 6 개의 서브픽셀들에서 나타날 수 있는 최대  $(2^3-1) \times 2 = 14$  개

의 패턴들을 사전에 정의하여야 하고, 그 패턴들 각각을 검출하기 위한 검출 로직이 필요하다. 스메어 패턴의 경우에는, 12 개의 서브픽셀 데이터들에서 나타날 수 있는 최대  $(2^6 - 1) \times 2 = 126$  개의 패턴들을 사전에 정의하여야 하고, 그 패턴들 각각을 검출하기 위한 검출 로직 모듈이 필요하다.

[0007] 문제패턴에는 셋다운 패턴 이외에도 도트 인버전에서 화질을 떨어뜨리는 다양한 유형의 패턴들이 존재하며 그 중 하나는 플리커 패턴이 있다.

[0008] 한편, 입력 영상으로부터 플리커 패턴을 인식하면 도트 인버전의 극성 반전 주기를 다르게 하여 플리커를 방지할 수 있는 방법이 고려될 수 있다. 이러한 방법의 일례로는 본원 출원인에 의해 기출원된 대한민국 특허출원 제10-2009-0075382호(2009.08.14)에 개시되어 있다. 그런데, 이 방법에서 플리커 패턴의 인식 방법이 전술한 셋다운 패턴으로 인식하여 도트 인버전을 변경하면 플리커가 나타나지 않으므로 공통전압 쉬프트를 판단할 수 없다. 따라서, 플리커 패턴이 입력될 때 도트 인버전을 변경하면 공통전압 튜닝 공정에서 공통전압의 쉬프트 정도를 알기가 어렵기 때문에 공통전압을 최적화하기가 어렵다.

### 발명의 내용

#### 해결 하고자하는 과제

[0009] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 문제 패턴들이 입력될 때 화질이 좋은 도트 인버전으로 자동 변경하고, 공통전압의 튜닝이 가능하도록 한 액정표시장치와 도트 인버전 제어방법을 제공하는데 있다.

#### 과제 해결수단

[0010] 상기 목적을 달성하기 위하여, 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되는 액정표시패널; 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 상기 데이터라인들로 출력하는 데이터 구동회로; 상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로; 및 입력 영상의 디지털 비디오 데이터를 상기 데이터 구동회로에 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하며, 상기 입력 영상의 디지털 비디오 데이터를 분석하여 제1 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 수평 2도트 인버전으로 제어하고, 상기 제2 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 수평 1도트 인버전으로 제어하는 타이밍 컨트롤러를 구비한다.

[0011] 본 발명의 액정표시장치의 구동방법은 상기 입력 영상의 디지털 비디오 데이터를 분석하여 상기 입력 영상에서 제1 문제패턴과 제2 문제패턴을 판정하는 단계; 상기 제1 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 수평 2도트 인버전으로 제어하는 단계; 및 상기 제2 문제패턴의 데이터가 입력될 때 상기 데이터 구동회로로부터 출력되는 상기 데이터전압의 수평 극성을 수평 1도트 인버전으로 제어하는 단계를 포함한다.

#### 효과

[0012] 본 발명은 다양한 유형의 문제패턴들을 사전에 정의하고 이 중에서 플리커 패턴을 제외한 다른 문제패턴들이 입력될 때 자동으로 수평 2도트 인버전으로 액정표시장치를 구동하여 화질을 높이고, 문제패턴들 중에서 예외적으로 플리커 패턴이 입력될 때 액정표시장치를 수직 1도트 인버전으로 구동하여 공통전압 튜닝을 가능하게 한다.

#### 발명의 실시를 위한 구체적인 내용

[0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능

혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

- [0014] 이하, 도 3 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0015] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 컨트롤러(101), 데이터 구동회로(102), 및 게이트 구동회로(103)를 구비한다. 데이터 구동회로(102)는 다수의 소스 드라이브 IC들(Integrated Circuit)을 포함한다. 게이트 구동회로(103)는 다수의 게이트 드라이브 IC들을 포함한다.
- [0016] 액정표시패널(100)은 두 장의 유리기판 사이에 액정층이 형성된다. 액정표시패널(100)은 데이터라인들(105)과 게이트라인들(106)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(C1c)을 포함한다.
- [0017] 액정표시패널(100)의 하부 유리기판에는 화소 어레이가 형성된다. 화소 어레이는 데이터라인들(105)과 게이트라인들(106)의 교차부에 형성된 액정셀들(C1c), 액정셀들의 화소전극(1)에 접속된 TFT들, 및 스토리지 커패시터(Cst)를 포함한다. 화소 어레이는 도 4 내지 도 6과 같이 다양한 형태로 구현될 수 있다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(100)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 등이 형성된다. 액정표시패널(100)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0018] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다.
- [0019] 본 발명에서 적용 가능한 액정표시패널(100)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0020] 타이밍 컨트롤러(101)는 시스템 보드(104)로부터 입력된 입력 영상의 디지털 비디오 데이터(RGB)를 데이터 구동회로(102)에 공급한다. 타이밍 컨트롤러(101)는 시스템 보드(104)로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(102)와 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 데이터 구동회로(102)의 동작 타이밍과 데이터전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 타이밍 컨트롤러(101)는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터가 60×i(i는 양의 정수) Hz의 프레임 주파수로 액정표시패널의 화소 어레이(PA)에서 재생될 수 있도록 게이트 타이밍 제어신호와 데이터 타이밍 제어신호의 주파수를 60×i(i는 2 이상의 양의 정수) Hz의 프레임 주파수 기준으로 체배할 수 있다.
- [0021] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생시키는 게이트 드라이브 IC에 인가되어 첫 번째 게이트펄스가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다.
- [0022] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 수직 극성제어신호(Polarity : POL), 수평 극성제어신호(HINV), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(102)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 수직 극성제어신호(POL)는 소스 드라이브 IC들 각각으로부터 순차적으로 출력되는 데이터전압들의 수직 극성을 제어한다. 수평 극성제어신호(HINV)는 소스 드라이브 IC들 각각의 H<sub>2</sub>DOT 옵션단자에 공급되어 소스 드라이브 IC들 각각으로부터 동시에 출력되는 데이터전압들의 수평 극성을 제어한다. 수직 극성제어신호(POL)는 수직 2 도트 인버전으로 데이터 구동회로(102)를 제어할 때 2 수평기간 주기로 논리가 반전되고, 수직 1 도트 인버전으로 데이터 구동회로(102)를 제어할 때 1 수평기간 주기로 논리가 반전된다. 수평 극성제어신호(HINV)는 수평 2 도트 인버전으로 데이터 구동회로(102)를 제어할

때 하이논리로 발생되며, 수평 1 도트 인버전으로 데이터 구동회로(102)를 제어할 때 로우 논리가 발생된다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(102)의 출력 타이밍을 제어한다. 데이터 구동회로(102)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

[0023] 타이밍 컨트롤러(101)는 입력 영상 데이터에서 다양한 유형의 문제패턴들을 인식하고, 그 문제패턴들이 검출될 때 도트 인버전을 변경한다. 예컨대, 타이밍 컨트롤러(101)는 문제패턴들 중에서 셋다운 패턴이나 스메어 패턴이 인식되면 수평 극성제어신호(HINV)를 하이논리로 반전시켜 액정표시패널(100)의 도트 인버전을 수평 2 도트 인버전으로 변경한다. 예외적으로, 타이밍 컨트롤러(101)는 도 11 및 도 12와 같은 플리커 패턴을 인식하면 도트 인버전을 변경하지 않는다. 이는 공통전압 튜닝 공정에서 공통전압(Vcom)의 쉬프트 정도를 인식할 수 있도록 하기 위함이다.

[0024] 데이터 구동회로(102)의 소스 드라이브 IC들 각각은 쉬프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 데이터 구동회로(102)는 타이밍 컨트롤러(101)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(102)는 수직 극성제어신호(POL)에 응답하여 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 데이터전압의 극성을 반전시키고, 수평 극성제어신호(HINV)에 따라 결정된 수평 도트 인버전의 극성패턴을 갖는 데이터전압들을 동시에 출력한다.

[0025] 게이트 구동회로(103)는 쉬프트 레지스터와 레벨 쉬프터를 이용하여 게이트 타이밍 제어신호들에 따라 게이트펄스를 게이트라인들(106)에 순차적으로 공급한다.

[0026] 도 4 내지 도 6은 화소 어레이의 다양한 예를 보여 주는 등가 회로들이다.

[0027] 도 4의 화소 어레이는 대부분의 액정표시장치에서 적용되는 화소 어레이로써 데이터라인들(D1~D6)과 게이트라인들(G1~G4)이 교차된다. 이 화소 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼 방향을 따라 배치된다. TFT 각각은 게이트라인(G1~G4)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 4에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향과 직교하는 로우 방향(또는 라인 방향)을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B)을 포함한다. 도 4에 도시된 화소 어레이의 해상도가  $m \times n$  일 때,  $m \times 3$ (여기서, 3은 RGB) 개의 데이터라인들과  $n$  개의 게이트라인들이 필요하다. 이 화소 어레이의 게이트라인들 각각에는 데이터전압과 동기되는 1 수평기간의 게이트펄스가 순차적으로 공급된다.

[0028] 도 5에 도시된 화소 어레이는 도 4에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/2로 줄일 수 있다. 이 화소 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼 방향을 따라 배치된다. 도 5에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향과 직교하는 라인방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 5에 도시된 화소 어레이에서 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 공유하여 그 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 데이터라인(D1~D4)의 좌측에 배치된 액정셀과 TFT를 각각 제1 액정셀과 제1 TFT(T1)로 정의하고, 데이터라인(D1~D4)의 우측에 배치된 액정셀과 TFT를 각각 제2 액정셀과 제2 TFT(T2)로 정의하여 TFT들의 접속관계를 설명하면 다음과 같다. 제1 TFT(T1)는 기수 게이트라인(G1, G3, G5, G7)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제1 액정셀의 화소전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3, G5, G7)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 화소전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4, G6, G8)로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제2 액정셀의 화소전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4, G6, G8)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 화소전극에 접속된다. 도 6에 도시된 화소 어레이의 해상도가  $m \times n$  일 때,  $\{m \times 3$ (여기서, 3은 RGB)} / 2 개의 데이터라인들과  $2n$  개의 게이트라인들이 필요하다. 이 화소 어레이(PA)의 게이트라인들 각각에는 데이터전압과 동기되는 1/2 수평기간의 게이트펄스가 순차적으로 공급된다.

[0029] 도 6에 도시된 화소 어레이는 도 4에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/3로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/3로 줄일 수 있다. 이 화소 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 라인 방향을 따라 배치된다. 도 6에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. TFT 각각은 게이트라인(G1~G6)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이

터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 6에 도시된 화소 어레이(PA)의 해상도가  $m \times n$  일 때,  $m$  개의 데이터라인들과  $3n$  개의 게이트라인들이 필요하다. 이 화소 어레이(PA)의 게이트라인들 각각에는 데이터전압과 동기되는 1/3 수평기간의 게이트펄스가 순차적으로 공급된다.

- [0030] 도 7은 타이밍 콘트롤러(101)에서 문제패턴 인식과 극성 제어 부분을 보여 주는 블록도이다.
- [0031] 도 7을 참조하면, 타이밍 콘트롤러(101)는 입력 영상 데이터로부터 다양한 문제패턴들을 검출하는 문제패턴 인식부(71), 및 극성 제어부(72)를 구비한다.
- [0032] 문제패턴 인식부(71)는 입력 영상의 1 프레임 데이터 중에서 소정 크기의 데이터 예를 들면, 도 9와 같이 8 픽셀  $\times$  12 라인의 샘플 데이터를 추출한다. 그리고 문제패턴 인식부(71)는 샘플 데이터의 RGB 각각에 대하여 화이트-블랙 패턴과 블랙-화이트 패턴의 개수를 카운트하고 그 RGB 각각에 대한 카운트 총합이 미리 저장된 문턱값들과 비교하여 문제패턴 여부와 문제패턴 유형을 인식한다. 화이트-블랙 패턴은 도 2와 같이 화이트 계조의  $N$  번째 픽셀 데이터와, 블랙 계조의  $N+1$  번째 픽셀 데이터를 포함하는 수평으로 이웃한 2 개의 픽셀 데이터들이다. 블랙-화이트 패턴은 도 3과 같이 화이트 계조의  $N$  번째 픽셀 데이터와, 블랙 계조의  $N+1$  번째 픽셀 데이터를 포함하는 수평으로 이웃한 2 개의 픽셀 데이터들이다. 문제패턴 인식부(71)는 입력 영상 데이터에서 플리커 패턴이 검출되면 문제패턴 플래그(PR)를 제1 논리로 발생하는 반면, 그 이외의 문제패턴들이 검출되면 문제패턴 플래그(PR)를 제2 논리로 발생한다. 이하에서 문제패턴 플래그(PR)의 제1 논리는 로우 논리(L)로, 제2 논리는 하이 논리(H)로 설명된다.
- [0033] 극성 제어부(72)는 문제패턴 인식부(71)로부터 입력되는 문제패턴 플래그(PR)에 따라 수평 극성제어신호(HINV)를 출력한다. 극성 제어부(72)는 문제패턴 플래그(PR)가 제1 논리이면 수평 극성제어신호(HINV)를 로우 논리(L)로 출력하여 소스 드라이브 IC로부터 출력되는 데이터전압들의 수평 극성을 수평 1 도트 인버전으로 제어한다. 극성 제어부(72)는 문제패턴 플래그(PR)가 제2 논리이면 도 12와 같이 수평 극성제어신호(HINV)를 하이 논리(H)로 출력하여 소스 드라이브 IC로부터 출력되는 데이터전압들의 수평 극성을 수평 2 도트 인버전(H2)으로 제어한다. 극성 제어부(72)는 문제패턴 플래그(PR)의 논리에 따라 수평 극성제어신호(HINV)의 변경과 함께 수직 극성제어신호(POL)의 논리 반전 주기를 다르게 변경할 수도 있다.
- [0034] 도 8은 도 7에 도시된 문제패턴 인식부(71)를 상세히 보여 주는 회로도이다. 도 9는 8 픽셀  $\times$  12 라인의 플리커 패턴 샘플을 보여 주는 도면이다. 도 10a 및 도 10b는 도 9에 도시된 플리커 패턴 샘플에 대한 RGB 별 카운트 예를 보여 주는 도면이다.
- [0035] 도 8 내지 도 10b를 참조하면, 문제패턴 인식부(71)는 카운터(81R, 81G, 81B), 문제패턴 판정부(82R, 82G, 82B), 예외 조건 판정부(83R, 83G, 83B), OR 게이트(84), NAND 게이트(85), 및 AND 게이트(86)을 구비한다.
- [0036] 문제패턴 인식부(71)는 입력 영상 데이터에서 도 9와 같은 크기(8 픽셀  $\times$  12 라인)의 샘플 데이터를 추출한다. 그리고 문제패턴 인식부(71)는 R(Red) 데이터, G(Green) 데이터, B(Blue) 데이터 각각에 대하여 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW)을 카운트하고 그 카운트 총합과 문턱값들을 비교한다. 문턱값들은 문제패턴 유형에 따라 RGB 별로 사전에 정의되어 문제패턴 인식부(71)의 레지스터에 미리 저장된다.
- [0037] R 카운터(81R)는 샘플 데이터에서 R 데이터만을 대상으로 하여 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 개수를 도 10a 및 도 10b와 같이 카운트하고 그 총합을 R 문제패턴 판정부(82R)와 R 예외 조건 판정부(83R)에 입력한다. R 문제패턴 판정부(82R)는 R 카운터(81R)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 R 카운트 총합과 문제패턴 유형에 따라 정의된 문턱값들을 비교하여 R 카운트 총합이 문턱값들 중 어느 하나와 동일하다면 하이 논리의 출력을 발생한다. 반면에, R 문제패턴 판정부(82R)는 R 카운트 총합이 문턱값들 중 어느 하나와도 동일하지 않다면 로우 논리의 출력을 발생한다. R 예외 조건 판정부(83R)는 R 카운터(81R)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 R 카운트 총합을 플리커 패턴의 R 문턱값들과 비교한다. R 예외 조건 판정부(83R)는 R 카운터(81R)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 R 카운트 총합이 플리커 패턴의 R 문턱값들과 동일하면, 현재 입력되는 영상 데이터를 플리커 패턴으로 판단하여 하이 논리의 출력을 발생한다. R 예외 조건 판정부(83R)는 R 카운터(81R)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 R 카운트 총합이 플리커 패턴의 R 문턱값들과 다르다면, 로우 논리의 출력을 발생한다.
- [0038] G 카운터(81G)는 샘플 데이터에서 G 데이터만을 대상으로 하여 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 개수를 도 10a 및 도 10b와 같이 카운트하고 그 총합을 G 문제패턴 판정부(82G)와 G 예외 조건 판정부(83G)에 입력한다. G 문제패턴 판정부(82G)는 G 카운터(81G)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트

트 패턴(BW) 각각의 G 카운트 총합과 문제패턴 유형에 따라 정의된 문턱값들을 비교하여 G 카운트 총합이 문턱값들 중 어느 하나와 동일하다면 하이 논리의 출력을 발생한다. 반면에, G 문제패턴 판정부(82G)는 G 카운트 총합이 문턱값들 중 어느 하나와도 동일하지 않다면 로우 논리의 출력을 발생한다. G 예외 조건 판정부(83G)는 G 카운터(81G)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 G 카운트 총합을 플리커 패턴의 G 문턱값들과 비교한다. G 예외 조건 판정부(83G)는 G 카운터(81G)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 G 카운트 총합이 플리커 패턴의 G 문턱값들과 동일하면, 현재 입력되는 영상 데이터를 플리커 패턴으로 판단하여 하이 논리의 출력을 발생한다. G 예외 조건 판정부(83G)는 G 카운터(81G)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 G 카운트 총합이 플리커 패턴의 G 문턱값들과 다르다면, 로우 논리의 출력을 발생한다.

[0039] B 카운터(81B)는 샘플 데이터에서 B 데이터만을 대상으로 하여 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 개수를 도 10a 및 도 10b와 같이 카운트하고 그 총합을 B 문제패턴 판정부(82B)와 B 예외 조건 판정부(83B)에 입력한다. B 문제패턴 판정부(82B)는 B 카운터(81B)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 B 카운트 총합과 문제패턴 유형에 따라 정의된 문턱값들을 비교하여 B 카운트 총합이 문턱값들 중 어느 하나와 동일하다면 하이 논리의 출력을 발생한다. 반면에, B 문제패턴 판정부(82B)는 B 카운트 총합이 문턱값들 중 어느 하나와도 동일하지 않다면 로우 논리의 출력을 발생한다. B 예외 조건 판정부(83B)는 B 카운터(81B)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 B 카운트 총합을 플리커 패턴의 B 문턱값들과 비교한다. B 예외 조건 판정부(83B)는 B 카운터(81B)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 B 카운트 총합이 플리커 패턴의 B 문턱값들과 동일하면, 현재 입력되는 영상 데이터를 플리커 패턴으로 판단하여 하이 논리의 출력을 발생한다. B 예외 조건 판정부(83B)는 B 카운터(81B)로부터 입력된 화이트-블랙 패턴(WB)과 블랙-화이트 패턴(BW) 각각의 B 카운트 총합이 플리커 패턴의 B 문턱값들과 다르다면, 로우 논리의 출력을 발생한다.

[0040] 플리커 패턴의 R 문턱값들은 도 9 내지 도 10b와 같이 화이트-블랙 패턴(WB)의 문턱값 '12'와, 블랙-화이트 패턴(BW)의 문턱값 '12'를 포함한다. 따라서, R 예외 조건 판정부들(83R)는 샘플 데이터에서 R 데이터의 화이트-블랙(WB) 카운트 총합이 '12'이고 R 데이터의 블랙-화이트 카운트 총합이 '12'일 때 하이 논리의 출력을 발생한다.

[0041] 플리커 패턴의 G 문턱값들은 도 9 내지 도 10b와 같이 화이트-블랙 패턴(WB)의 문턱값 '12'와, 블랙-화이트 패턴(BW)의 문턱값 '12'를 포함한다. 따라서, G 예외 조건 판정부들(83G)는 샘플 데이터에서 G 데이터의 화이트-블랙(WB) 카운트 총합이 '12'이고 G 데이터의 블랙-화이트 카운트 총합이 '12'일 때 하이 논리의 출력을 발생한다.

[0042] 플리커 패턴의 B 문턱값들은 도 9 내지 도 10b와 같이 화이트-블랙 패턴(WB)의 문턱값 '0'과, 블랙-화이트 패턴(BW)의 문턱값 '0'을 포함한다. 따라서, B 예외 조건 판정부들(83B)는 샘플 데이터에서 B 데이터의 화이트-블랙(WB) 카운트 총합이 '0'이고 B 데이터의 블랙-화이트 카운트 총합이 '0'일 때 하이 논리의 출력을 발생한다.

[0043] OR 게이트(84)는 문제패턴 판정부들(82R, 82G, 82B)의 출력들을 논리합 연산하여 그 결과를 AND 게이트(86)에 입력한다. OR 게이트(84)는 문제패턴 판정부들(82R, 82G, 82B)의 출력들 중 어느 하나라도 하이 논리이면 하이 논리의 출력을 발생하는 반면, 문제패턴 판정부들(82R, 82G, 82B)의 출력들 모두가 로우 논리일 때만 로우 논리의 출력을 발생한다.

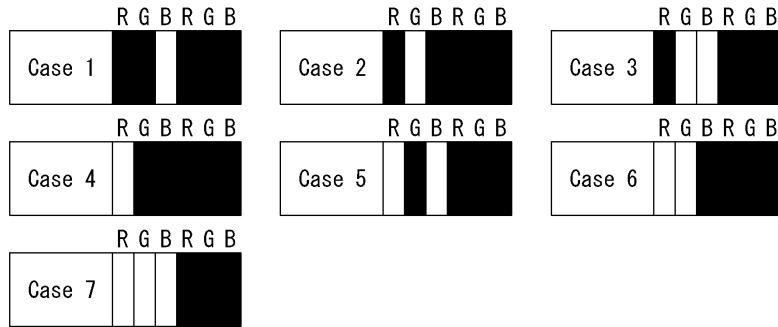
[0044] NAND 게이트(85)는 예외 조건 판정부들(83R, 83G, 83B)의 출력들을 부정 논리곱 연산하여 그 결과를 AND 게이트(86)에 입력한다. NAND 게이트(85)는 예외 조건 판정부들(83R, 83G, 83B) 모두의 출력이 하이논리일 때 즉, 플리커 패턴일 때만 로우 논리의 출력을 발생하고, 그 이외의 경우에는 하이 논리의 출력을 발생한다.

[0045] AND 게이트(86)는 OR 게이트(84)의 출력과 NAND 게이트(85)의 출력들을 논리곱 연산하여 그 결과를 문제패턴 플래그(PR)로써 출력한다. AND 게이트(86)는 플리커 패턴을 제외한 다른 유형의 문제패턴들의 데이터가 입력될 때 문제패턴 플래그(PR)를 하이 논리로 발생하고, 플리커 패턴이나 문제패턴이 아닌 데이터가 입력될 때 문제패턴 플래그(PR)를 로우 논리로 발생한다. 따라서, 극성 제어부(72)는 플리커 패턴 이외의 문제패턴들이 입력될 때 도 12와 같이 도트 인버전을 수평 2 도트 인버전(H2)으로 제어하고, 문제패턴으로 정의되지 않은 정상 데이터나 문제패턴들 중에서 예외적으로 플리커 패턴이 입력될 때 도트 인버전을 수평 1 도트 인버전(H1)으로 제어한다.

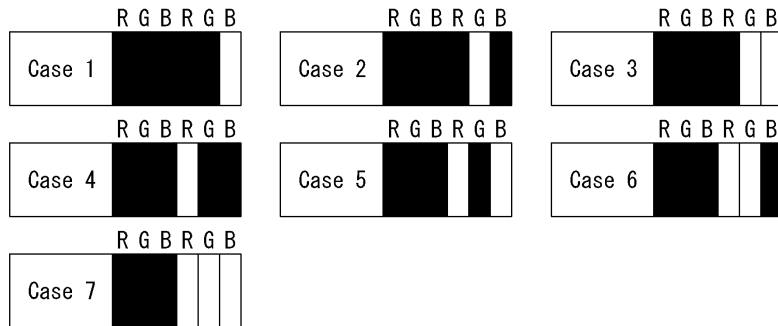


도면2

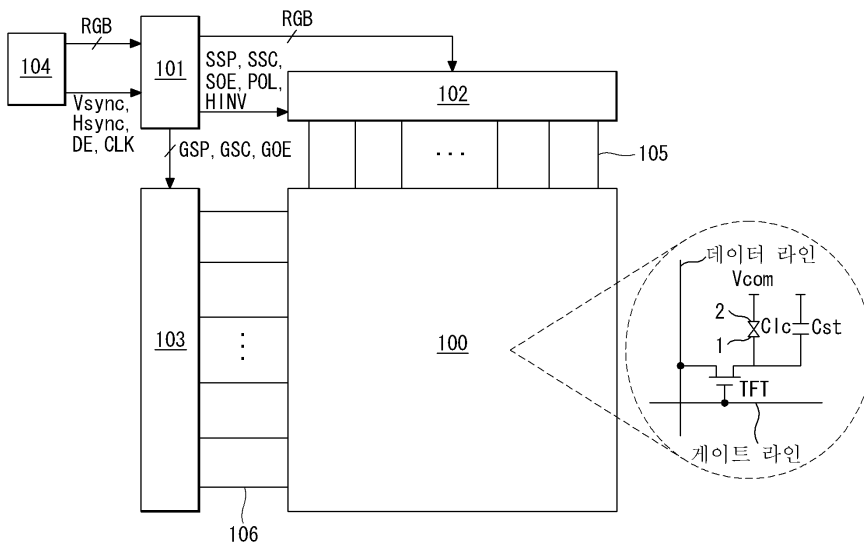
White-Black pattern



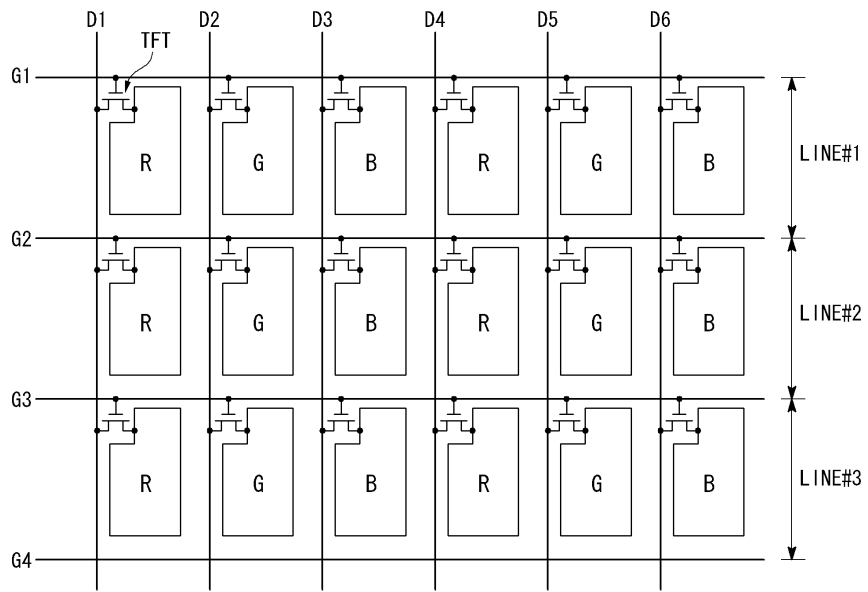
Black-White pattern



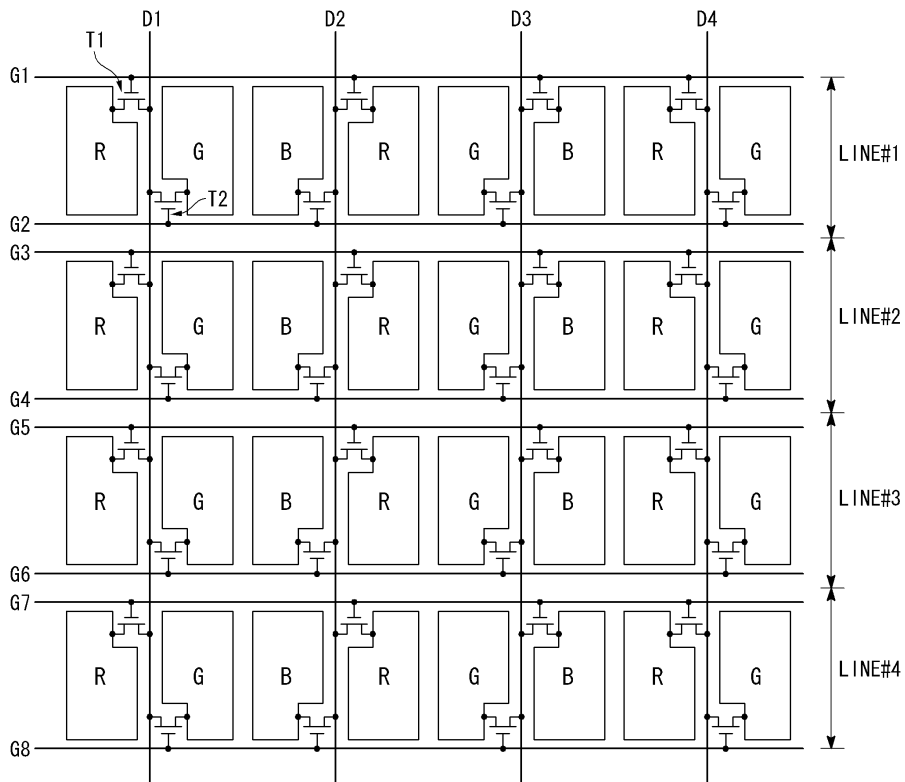
도면3



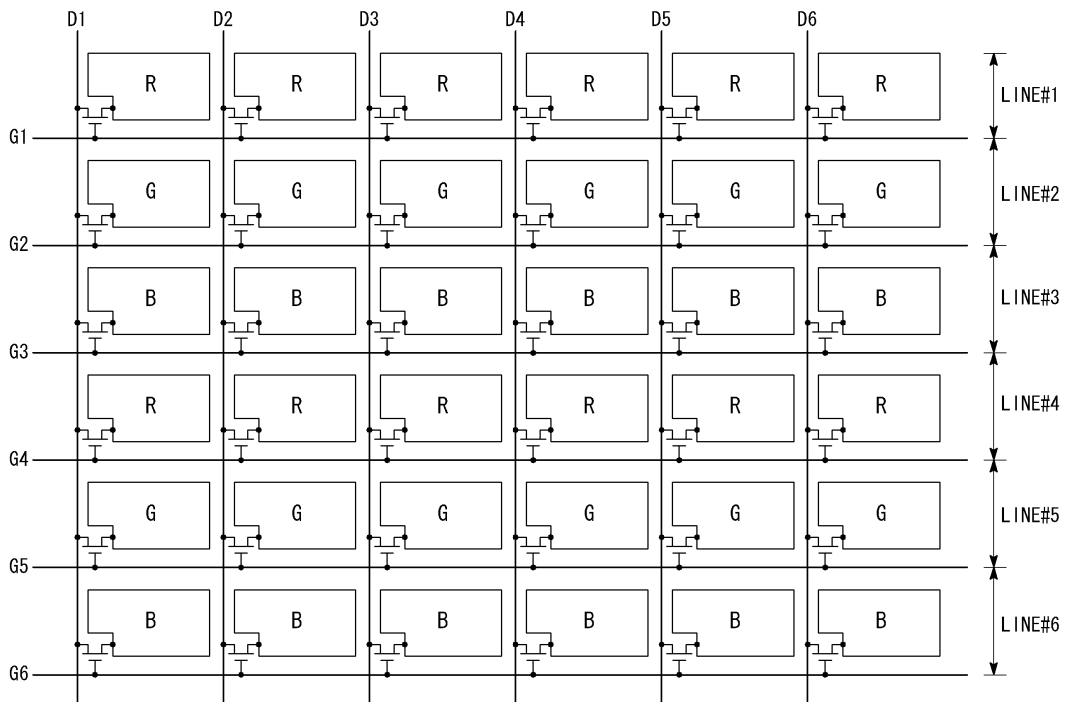
도면4



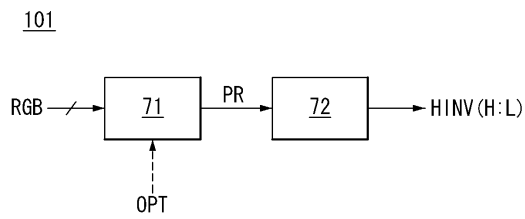
도면5



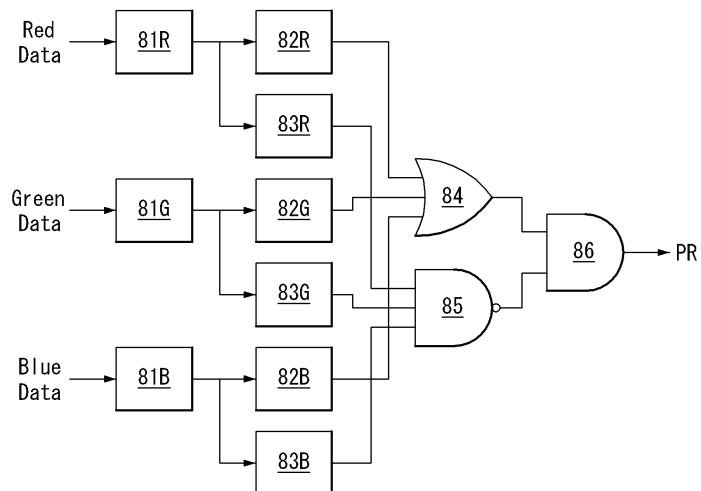
도면6



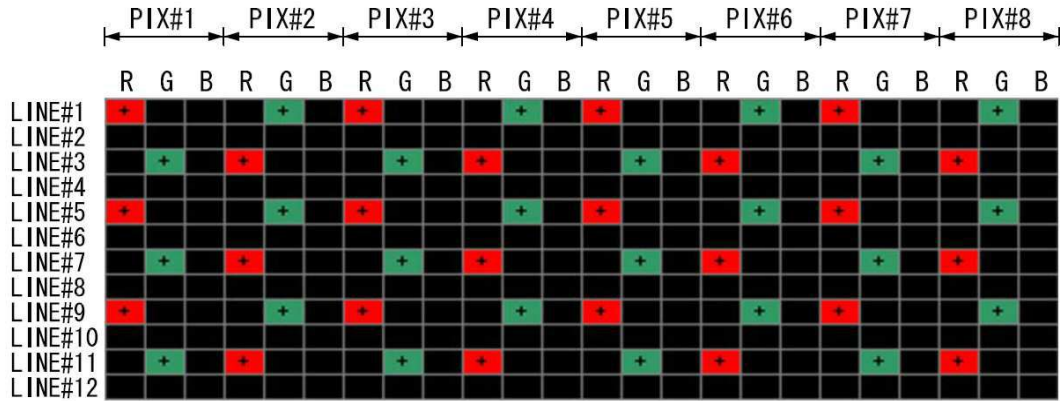
도면7



도면8



도면9



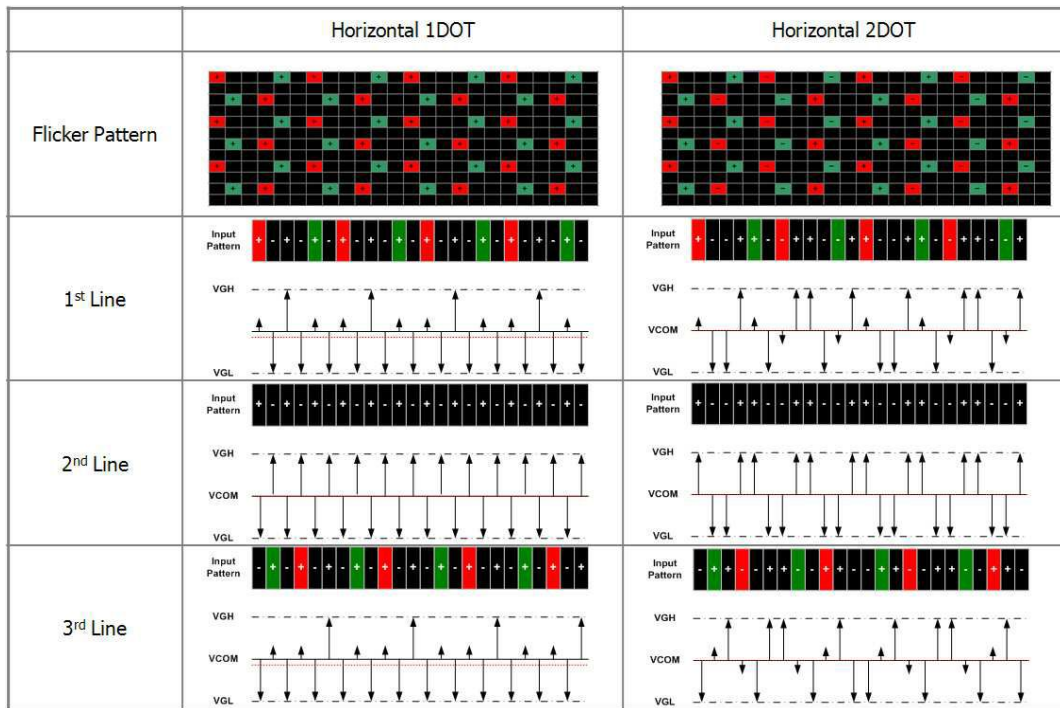
도면10a

		R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	
		+			+			+			+			+			+			+			LINE#1
RED	WB		1			2			3			4											
RED	BW		0			0			0			0											
GREEN	WB		0			0			0			0											
GREEN	BW		1			2			3			4											
BLUE	WB		0			0			0			0											
BLUE	BW		0			0			0			0											
																							LINE#2
RED	WB		4			4			4			4											
RED	BW		0			0			0			0											
GREEN	WB		0			0			0			0											
GREEN	BW		4			4			4			4											
BLUE	WB		0			0			0			0											
BLUE	BW		0			0			0			0											
			+			+			+			+					+			+			LINE#3
RED	WB		4			4			4			4					4			4			
RED	BW		1			2			3			4											
GREEN	WB		1			2			3			4											
GREEN	BW		4			4			4			4											
BLUE	WB		0			0			0			0											
BLUE	BW		0			0			0			0											
																							LINE#4
RED	WB		4			4			4			4					4			4			
RED	BW		4			4			4			4					4			4			
GREEN	WB		4			4			4			4					4			4			
GREEN	BW		4			4			4			4					4			4			
BLUE	WB		0			0			0			0					0			0			
BLUE	BW		0			0			0			0					0			0			
			+			+			+			+					+			+			LINE#5
RED	WB		5			6			7			8											
RED	BW		4			4			4			4											
GREEN	WB		4			4			4			4											
GREEN	BW		5			6			7			8											
BLUE	WB		0			0			0			0											
BLUE	BW		0			0			0			0											

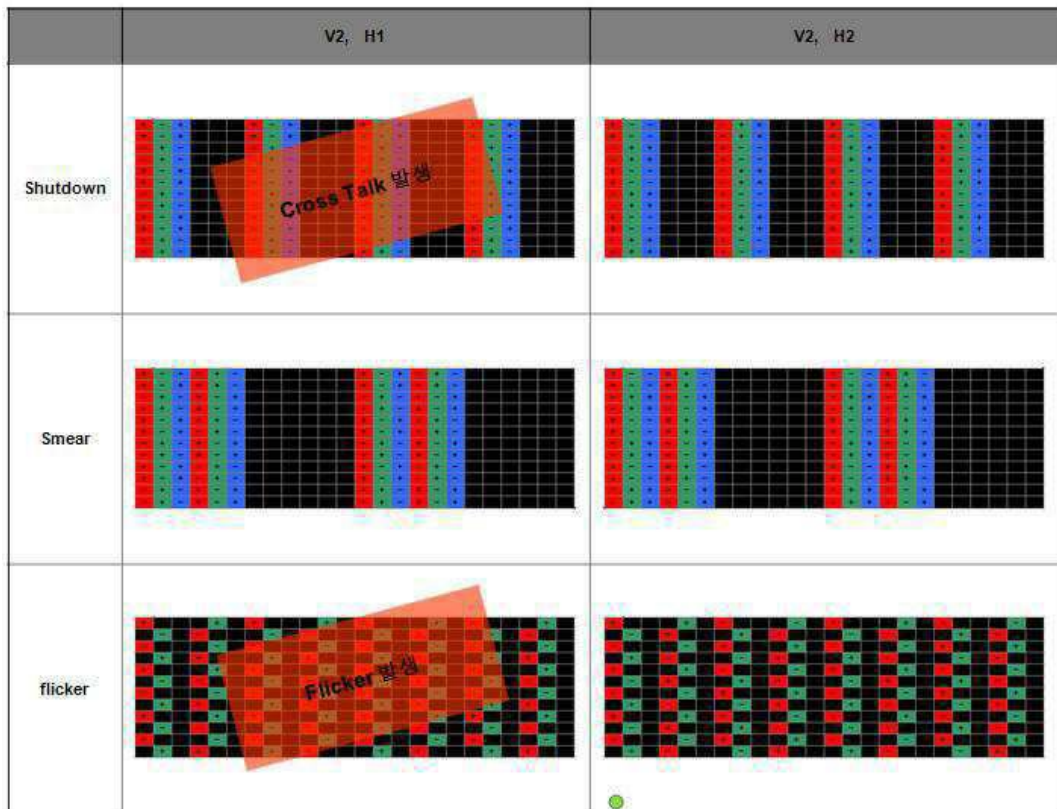
도면10b

		R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B	R	G	B		
																						LINE#6		
RED	WB		8																				8	
RED	BW		4																				4	
GREEN	WB		4																				4	
GREEN	BW		8																				8	
BLUE	WB		0																				0	
BLUE	BW		0																				0	
			+	-			+	-			+	-			+	-			+	-			LINE#7	
RED	WB		8																				8	
RED	BW		5																				6	
GREEN	WB		5																				7	
GREEN	BW		8																				8	
BLUE	WB		0																				0	
BLUE	BW		0																				0	
																						LINE#8		
RED	WB		8																				8	
RED	BW		8																				8	
GREEN	WB		8																				8	
GREEN	BW		8																				8	
BLUE	WB		0																				0	
BLUE	BW		0																				0	
		-		+		-		+		-		+		-		+		-		+		-	LINE#9	
RED	WB		9																				10	
RED	BW		8																				8	
GREEN	WB		8																				8	
GREEN	BW		9																				10	
BLUE	WB		0																				0	
BLUE	BW		0																				0	
																						LINE#10		
RED	WB		12																				12	
RED	BW		8																				8	
GREEN	WB		8																				8	
GREEN	BW		12																				12	
BLUE	WB		0																				0	
BLUE	BW		0																				0	
		+		-		+		-		+		-		+		-		+		-		+	LINE#11	
RED	WB		12																				12	
RED	BW		9																				10	
GREEN	WB		9																				10	
GREEN	BW		12																				12	
BLUE	WB		0																				0	
BLUE	BW		0																				0	
																						LINE#12		
RED	WB		12																				12	
RED	BW		12																				12	
GREEN	WB		12																				12	
GREEN	BW		12																				12	
BLUE	WB		0																				0	
BLUE	BW		0																				0	

도면11



도면12



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">KR1020110030885A</a>	公开(公告)日	2011-03-24
申请号	KR1020090088536	申请日	2009-09-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JONG WOO 김종우 NAM HYUN TAEK 남현택 MOON MYUNG KOOK 문명국		
发明人	김종우 남현택 문명국		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3655 G09G2300/0814 G09G2300/0823		
其他公开文献	KR101604486B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，其在输入第一问题图案的数据时分析输入图像的数字视频数据并控制从数据驱动电路输出的数据电压的水平极性，并且，当输入第二问题模式的数据时，用于控制从数据驱动电路输出的数据电压的水平极性到水平单点版本的定时控制器。

