



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0011777
(43) 공개일자 2020년02월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3677 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2018-0086645
(22) 출원일자 2018년07월25일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
이민훈
서울특별시 서초구 강남대로6길 66-10, 601호(양재동, 그라시아빌)

이재문
경기도 용인시 수지구 진산로 90, 513동 601호(풍덕천동, 진산마을삼성래미안5차아파트)
(뒷면에 계속)

(74) 대리인
정홍식, 김태현

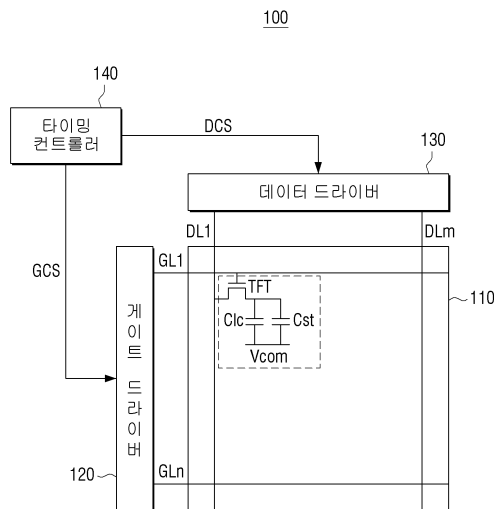
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 디스플레이 장치 및 그 영상 표시 방법

(57) 요약

디스플레이 장치가 개시된다. 본 디스플레이 장치는 복수의 픽셀들을 포함하는 디스플레이 패널, 디스플레이 패널의 복수의 게이트 라인을 통해 게이트 온(gate on) 신호를 인가하기 위한 게이트 드라이버, 디스플레이 패널의 복수의 데이터 라인을 통해 데이터 신호를 인가하기 위한 데이터 드라이버 및 제1 프레임 주파수로 영상 프레임이 표시되도록 게이트 드라이버 및 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함하며, 디스플레이 패널은 제1 프레임 주파수보다 높은 제2 프레임 주파수로 구동하고, 타이밍 컨트롤러는 복수의 게이트 라인에 제2 프레임 주파수에 기초하여 결정된 시간 동안 게이트 온 신호가 인가되도록 제어하고, 복수의 데이터 라인에 오버드라이빙(over driving)된 데이터 신호가 인가되도록 데이터 드라이버를 제어한다.

대표도 - 도1



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/0248 (2013.01)

G09G 2310/061 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0252 (2013.01)

G09G 2320/0257 (2013.01)

(72) 발명자

김병관

서울특별시 구로구 경인로 643, 201동 102호(신도림동, 신도림2차동아아파트)

김창훈

경기도 수원시 영통구 매탄로140번길 55, 202호(매탄동)

임성진

경기도 수원시 영통구 태장로71번길 19, 207동 1404호(망포동, 망포마을동수원엘지빌리지)

명세서

청구범위

청구항 1

디스플레이 장치에 있어서,

복수의 픽셀들을 포함하는 디스플레이 패널;

상기 디스플레이 패널의 복수의 게이트 라인을 통해 게이트 온(gate on) 신호를 인가하기 위한 게이트 드라이버;

상기 디스플레이 패널의 복수의 데이터 라인을 통해 데이터 신호를 인가하기 위한 데이터 드라이버; 및

제1 프레임 주파수로 영상 프레임이 표시되도록 상기 게이트 드라이버 및 상기 데이터 드라이버를 제어하는 타이밍 컨트롤러;를 포함하며,

상기 디스플레이 패널은 상기 제1 프레임 주파수보다 높은 제2 프레임 주파수로 구동 가능하고,

상기 타이밍 컨트롤러는,

상기 복수의 게이트 라인에 상기 제2 프레임 주파수에 기초하여 결정된 시간 동안 상기 게이트 온 신호가 인가되도록 상기 게이트 드라이버를 제어하고, 상기 복수의 데이터 라인에 오버드라이빙된 데이터 신호가 인가되도록 상기 데이터 드라이버를 제어하는, 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 데이터 신호가 인가되는 시간은,

상기 제2 프레임 주파수 및 상기 복수의 게이트 라인의 개수에 기초하여 결정되는 것을 특징으로 하는 디스플레이 장치.

청구항 3

제1항에 있어서,

상기 타이밍 컨트롤러는,

상기 복수의 게이트 라인에 상기 게이트 온 신호를 순차적으로 인가하도록 상기 게이트 드라이버를 제어하고, 상기 복수의 픽셀 중 상기 게이트 온 신호가 인가된 픽셀들에 상기 데이터 신호를 인가하도록 상기 데이터 드라이버를 제어하여, 상기 제1 프레임 주파수로 상기 영상 프레임을 표시하는 것을 특징으로 하는 것을 특징으로 하는 디스플레이 장치.

청구항 4

제3항에 있어서,

상기 데이터 신호는,

상기 픽셀들의 오버 드라이빙을 위한 상기 제1 데이터 신호 및 상기 오버 드라이빙 전에 상기 픽셀들의 프리 차징(pre-charging)을 위한 제2 데이터 신호를 포함하는 것을 특징으로 하는 디스플레이 장치.

청구항 5

제4항에 있어서,

상기 타이밍 컨트롤러는,

일정한 시간 간격을 갖는 복수의 펄스로 구성된 상기 게이트 온 신호를 게이트 라인에 인가하도록 상기 게이트

드라이버를 제어하고, 상기 복수의 펄스 중 마지막 펄스를 제외한 나머지 펄스가 상기 게이트 라인에 인가되는 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고, 상기 마지막 펄스가 상기 게이트 라인에 인가되는 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하도록 상기 데이터 드라이버를 제어하며,

상기 복수의 펄스 각각의 펄스 폭은, 상기 제2 프레임 주파수에 기초하여 결정되는 것을 특징으로 하는 디스플레이 장치.

청구항 6

제4항에 있어서,

상기 타이밍 컨트롤러는,

특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 제공하도록 상기 게이트 드라이버를 제어하고, 상기 게이트 라인에 상기 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고 상기 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하도록 상기 데이터 드라이버를 제어하며,

상기 제1 시간 구간의 길이는, 상기 제1 프레임 주파수에 기초하여 결정되는 것을 특징으로 하는 디스플레이 장치.

청구항 7

제4항에 있어서,

상기 타이밍 컨트롤러는,

특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 제공하도록 상기 게이트 드라이버를 제어하고, 상기 게이트 라인에 상기 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하도록 상기 데이터 드라이버를 제어하며,

상기 제1 시간 구간의 길이는, 상기 제2 프레임 주파수에 기초하여 결정되는 것을 특징으로 하는 디스플레이 장치.

청구항 8

복수의 픽셀들을 포함하는 디스플레이 패널을 포함하는 디스플레이 장치의 영상 표시 방법에 있어서,

상기 디스플레이 패널의 복수의 게이트 라인을 통해 게이트 온(gate on) 신호를 인가하는 단계; 및

상기 디스플레이 패널의 복수의 데이터 라인을 통해 데이터 신호를 인가하여 제1 프레임 주파수로 영상 프레임을 표시하는 단계;를 포함하며,

상기 디스플레이 패널은 상기 제1 프레임 주파수보다 높은 제2 프레임 주파수로 구동 가능하고,

상기 표시하는 단계는,

상기 복수의 게이트 라인에 상기 제2 프레임 주파수에 기초하여 결정된 시간 동안 상기 게이트 온 신호를 인가하고, 상기 복수의 데이터 라인에 오버드라이빙된 데이터 신호를 인가하는 영상 표시 방법.

청구항 9

제8항에 있어서,

상기 데이터 신호가 인가되는 시간은,

상기 제2 프레임 주파수 및 상기 복수의 게이트 라인의 개수에 기초하여 결정되는 것을 특징으로 하는 영상 표시 방법.

청구항 10

제8항에 있어서,

상기 인가하는 단계는, 상기 복수의 게이트 라인에 상기 게이트 온 신호를 순차적으로 인가하고,
 상기 표시하는 단계는, 상기 복수의 픽셀들 중 상기 게이트 온 신호가 인가된 픽셀들에 상기 데이터 신호를 인가하는 것을 특징으로 하는 영상 표시 방법.

청구항 11

제10항에 있어서,
 상기 데이터 신호는,
 상기 픽셀들의 오버 드라이빙을 위한 상기 제1 데이터 신호 및 상기 오버 드라이빙 전에 상기 픽셀들의 프리 차징(pre-charging)을 위한 제2 데이터 신호를 포함하는 것을 특징으로 하는 영상 표시 방법.

청구항 12

제11항에 있어서,
 상기 인가하는 단계는,
 일정한 시간 간격을 갖는 복수의 펄스로 구성된 상기 게이트 온 신호를 게이트 라인에 인가하고,
 상기 표시하는 단계는,
 상기 복수의 펄스 중 마지막 펄스를 제외한 나머지 펄스가 상기 게이트 라인에 인가되는 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고, 상기 마지막 펄스가 상기 게이트 라인에 인가되는 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하며,
 상기 복수의 펄스 각각의 펄스 폭은, 상기 제2 프레임 주파수에 기초하여 결정되는 것을 특징으로 하는 영상 표시 방법.

청구항 13

제11항에 있어서,
 상기 인가하는 단계는,
 특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 인가하고,
 상기 표시하는 단계는,
 상기 게이트 라인에 상기 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고, 상기 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하며,
 상기 제1 시간 구간의 길이는, 상기 제1 프레임 주파수에 기초하여 결정되는 것을 특징으로 하는 영상 표시 방법.

청구항 14

제11항에 있어서,
 상기 인가하는 단계는,
 특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 인가하고,
 상기 표시하는 단계는,
 상기 게이트 라인에 상기 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고, 상기 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하며,
 상기 제1 시간 구간의 길이는, 상기 제2 프레임 주파수에 기초하여 결정되는 것을 특징으로 하는 영상 표시 방법.

발명의 설명

기술 분야

[0001] 본 개시는 디스플레이 장치 및 그 영상 표시 방법으로, 더욱 상세하게는 디스플레이 장치에 포함된 디스플레이 패널의 게이트 온(gate on) 시간을 줄이는 디스플레이 장치 및 그 영상 표시 방법에 관한 발명이다.

배경 기술

[0002] 일반적으로 디스플레이 장치는 순차 구동 방식으로 화면에 영상을 디스플레이한다. 이는 게이트 라인(또는 스캔 라인)을 순차적으로 구동한다고 하여 스캔 방식이라 하기도 한다. 스캔 방식은 복수의 게이트 라인으로 이루어진 디스플레이 패널에 하나의 게이트 라인씩 정보를 디스플레이한다.

[0003] 구체적으로, 디스플레이 장치의 디스플레이 패널에 포함된 복수의 셀들은 복수의 게이트 라인으로부터 순차적으로 게이트 온(gate on) 신호를 인가 받고, 게이트 온 신호가 인가된 셀들은 데이터 라인으로부터 데이터 전압을 인가 받게 된다.

[0004] 이때, 데이터 전압을 인가 받은 셀은 인가 받은 전압을 충전하여 셀의 전압을 일정하게 유지하면서 셀의 밝기를 유지할 수 있게 된다.

[0005] 즉, 디스플레이 패널의 밝기는 충전된 전압의 양에 따라 결정될 수 있으며, 충전된 전압의 양은 충전 시간에 따라 결정된다는 점에서, 게이트 온 시간에 따라 디스플레이 패널의 밝기가 결정된다.

[0006] 한편, 디스플레이 패널의 게이트 라인의 수가 많아지면 각 게이트 라인별 구동 시간은 짧아지고, 반대로 게이트 라인의 수가 적으면 각 게이트 라인별 구동 시간이 늘어난다.

[0007] 종래에는 게이트 라인별 구동시간의 장단에 관계없이, 게이트 라인의 구동시간 전부를 셀의 충전 시간으로 사용하였는바, 셀의 충전 시간을 줄일 수 있음에도 불구하고 충전 시간을 모두 사용하여 액정의 응답 속도가 낮아지는 문제가 발생하였다.

발명의 내용

해결하려는 과제

[0008] 본 개시는 상술한 문제점에서 도출된 것으로, 본 개시의 목적은 디스플레이 장치의 응답 시간을 줄여 액정의 반응 속도를 높이는 디스플레이 장치 및 그 영상 표시 방법을 제공함에 있다.

과제의 해결 수단

[0009] 이와 같은 과제를 해결하기 위한 본 개시의 일 실시 예에 따른 디스플레이 장치는 복수의 픽셀들을 포함하는 디스플레이 패널, 상기 디스플레이 패널의 복수의 게이트 라인을 통해 게이트 온(gate on)신호를 인가하기 위한 게이트 드라이버, 상기 디스플레이 패널의 복수의 데이터 라인을 통해 데이터 신호를 인가하기 위한 데이터 드라이버 및 제1 프레임 주파수로 영상 프레임이 표시되도록 상기 게이트 드라이버 및 상기 데이터 드라이버를 제어하는 타이밍 컨트롤러를 포함하며, 상기 디스플레이 패널은 상기 제1 프레임 주파수보다 높은 제2 프레임 주파수로 구동 가능하고, 상기 타이밍 컨트롤러는 상기 복수의 게이트 라인에 상기 제2 프레임 주파수에 기초하여 결정된 시간 동안 상기 게이트 온 신호가 인가되도록 상기 게이트 드라이버를 제어하고, 상기 복수의 데이터 라인에 오버드라이빙된 데이터 신호가 인가되도록 상기 데이터 드라이버를 제어할 수 있다.

[0010] 여기에서, 상기 데이터 신호가 인가되는 시간은 상기 제2 프레임 주파수 및 상기 복수의 게이트 라인의 개수에 기초하여 결정될 수 있다.

[0011] 한편, 상기 타이밍 컨트롤러는 상기 복수의 게이트 라인에 상기 게이트 온 신호를 순차적으로 인가하도록 상기 게이트 드라이버를 제어하고, 상기 복수의 픽셀 중 상기 게이트 온 신호가 인가된 픽셀들에 상기 데이터 신호를 인가하도록 상기 데이터 드라이버를 제어하여, 상기 제1 프레임 주파수로 상기 영상 프레임을 표시할 수 있다.

[0012] 여기에서, 상기 데이터 신호는 상기 픽셀들의 오버 드라이빙을 위한 상기 제1 데이터 신호 및 상기 오버 드라이빙 전에 상기 픽셀들의 프리 차징(pre-charging)을 위한 제2 데이터 신호를 포함할 수 있다.

[0013] 또한, 상기 타이밍 컨트롤러는 일정한 시간 간격을 갖는 복수의 펄스로 구성된 상기 게이트 온 신호를 게이트

라인에 인가하도록 상기 게이트 드라이버를 제어하고, 상기 복수의 펄스 중 마지막 펄스를 제외한 나머지 펄스가 상기 게이트 라인에 인가되는 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고, 상기 마지막 펄스가 상기 게이트 라인에 인가되는 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하도록 상기 데이터 드라이버를 제어하며, 상기 복수의 펄스 각각의 펄스 폭은 상기 제2 프레임 주파수에 기초하여 결정될 수 있다.

[0014] 그리고, 상기 타이밍 컨트롤러는 특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 제공하도록 상기 게이트 드라이버를 제어하고, 상기 게이트 라인에 상기 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고 상기 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하도록 상기 데이터 드라이버를 제어하며, 상기 제1 시간 구간의 길이는 상기 제1 프레임 주파수에 기초하여 결정될 수 있다.

[0015] 또한, 상기 타이밍 컨트롤러는 특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 제공하도록 상기 게이트 드라이버를 제어하고, 상기 게이트 라인에 상기 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하도록 상기 데이터 드라이버를 제어하며, 상기 제1 시간 구간의 길이는 상기 제2 프레임 주파수에 기초하여 결정될 수 있다.

[0016] 한편, 본 개시의 일 실시 예에 따른 복수의 픽셀들을 포함하는 디스플레이 패널을 포함하는 디스플레이 장치의 영상 표시 방법은 상기 디스플레이 패널의 복수의 게이트 라인을 통해 게이트 온(gate on) 신호를 인가하는 단계 및 상기 디스플레이 패널의 복수의 데이터 라인을 통해 데이터 신호를 인가하여 제1 프레임 주파수로 영상 프레임을 표시하는 단계를 포함하며, 상기 디스플레이 패널은 상기 제1 프레임 주파수보다 높은 제2 프레임 주파수로 구동 가능하고, 상기 표시하는 단계는 상기 복수의 게이트 라인에 상기 제2 프레임 주파수에 기초하여 결정된 시간 동안 상기 게이트 온 신호가 인가되도록 제어하고, 상기 복수의 데이터 라인에 오버드라이빙된 데이터 신호가 인가되도록 할 수 있다.

[0017] 여기에서, 상기 데이터 신호가 인가되는 시간은 상기 제2 프레임 주파수 및 상기 복수의 게이트 라인의 개수에 기초하여 결정될 수 있다.

[0018] 한편, 상기 인가하는 단계는 상기 복수의 게이트 라인에 상기 게이트 온 신호를 순차적으로 인가하고, 상기 표시하는 단계는 상기 복수의 픽셀들 중 상기 게이트 온 신호가 인가된 픽셀들에 상기 데이터 신호를 인가할 수 있다.

[0019] 여기에서, 상기 데이터 신호는 상기 픽셀들의 오버 드라이빙을 위한 상기 제1 데이터 신호 및 상기 오버 드라이빙 전에 상기 픽셀들의 프리 차징(pre-charging)을 위한 제2 데이터 신호를 포함할 수 있다.

[0020] 또한, 상기 인가하는 단계는 일정한 시간 간격을 갖는 복수의 펄스로 구성된 상기 게이트 온 신호를 게이트 라인에 인가하고, 상기 표시하는 단계는 상기 복수의 펄스 중 마지막 펄스를 제외한 나머지 펄스가 상기 게이트 라인에 인가되는 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고, 상기 마지막 펄스가 상기 게이트 라인에 인가되는 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하며, 상기 복수의 펄스 각각의 펄스 폭은, 상기 제2 프레임 주파수에 기초하여 결정될 수 있다.

[0021] 그리고, 상기 인가하는 단계는 특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 인가하고, 상기 표시하는 단계는 상기 게이트 라인에 상기 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고, 상기 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하며, 상기 제1 시간 구간의 길이는 상기 제1 프레임 주파수에 기초하여 결정될 수 있다.

[0022] 또한, 상기 인가하는 단계는 특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 인가하고, 상기 표시하는 단계는 상기 게이트 라인에 상기 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 상기 픽셀들에 상기 제2 데이터 신호를 인가하고, 상기 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 상기 픽셀들에 상기 제1 데이터 신호를 인가하며, 상기 제1 시간 구간의 길이는 상기 제2 프레임 주파수에 기초하여 결정될 수 있다.

발명의 효과

[0023] 본 개시의 목적은 디스플레이 패널에 포함된 셀들의 게이트 온(gate on) 시간을 줄여 디스플레이 패널에 포함된 액정의 응답 속도를 빠르게 하고 화면 끌림을 최소화하는데 있다.

도면의 간단한 설명

- [0024] 도 1 및 2는 본 개시의 일 실시 예에 따른 디스플레이 장치의 구성을 설명하기 위한 블록도,
 도 3 내지 5는 본 개시의 다양한 실시 예에 따른 게이트 라인 및 데이터 라인에 인가되는 신호를 설명하기 위한 도면, 및
 도 6는 본 개시의 일 실시 예에 따른 디스플레이 장치의 영상 표시 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 명세서에서 사용되는 용어에 대해 간략히 설명하고, 본 개시에 대해 구체적으로 설명하기로 한다.
- [0026] 본 개시의 실시 예에서 사용되는 용어는 본 개시에서의 기능을 고려하면서 가능한 현재 널리 사용되는 일반적인 용어들을 선택하였으나, 이는 당 분야에 종사하는 기술자의 의도 또는 관례, 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 개시의 설명 부분에서 상세히 그 의미를 기재할 것이다. 따라서 본 개시에서 사용되는 용어는 단순한 용어의 명칭이 아닌, 그 용어가 가지는 의미와 본 개시의 전반에 걸친 내용을 토대로 정의되어야 한다.
- [0027] 본 개시의 실시 예들은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나 이는 특정한 실시 형태에 대해 범위를 한정하려는 것이 아니며, 개시된 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 실시 예들을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0028] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0029] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "구성되다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0030] 본 개시에서 "모듈" 혹은 "부"는 적어도 하나의 기능이나 동작을 수행하며, 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다. 또한, 복수의 "모듈" 혹은 복수의 "부"는 특정한 하드웨어로 구현될 필요가 있는 "모듈" 혹은 "부"를 제외하고는 적어도 하나의 모듈로 일체화되어 적어도 하나의 프로세서(미도시)로 구현될 수 있다.
- [0031] 아래에서는 첨부한 도면을 참고하여 본 개시의 실시 예에 대하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 개시는 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 개시를 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0032] 이하에서는 도면을 참조하면 본 개시의 다양한 실시 예들에 대하여 구체적으로 설명하도록 한다.
- [0033] 도 1은 본 개시의 일 실시 예에 따른 디스플레이 장치의 구성도이다.
- [0034] 도 1을 참조하면, 디스플레이 장치(100)는 디스플레이 패널(110), 게이트 드라이버(120), 데이터 드라이버(130) 및 타이밍 컨트롤러(140)를 포함할 수 있다.
- [0035] 디스플레이 패널(110)은 액정 디스플레이 패널로 구현될 수 있다. 이 경우, 디스플레이 패널(110)은 복수의 데이터 라인(DL1 내지 DLm), 복수의 게이트 라인(GL1 내지 GLn) 및 복수의 데이터 라인(DL1 내지 DLm)과 복수의 게이트 라인(GL1 내지 GLn)이 교차하는 지점에 형성되는 복수의 픽셀들을 포함할 수 있다. 그리고, 각 픽셀은 액정(또는, 액정 셀), 트랜지스터(Thin Film Transistor, TFT) 및 트랜지스터에 연결된 액정 커패시터(C1c) 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0036] 이 경우, 게이트 라인을 통해 게이트 온(gate on) 신호(또는, 게이트 온 전압)가 트랜지스터에 인가되면 트랜지스터는 온되고, 이후, 영상 프레임의 계조 값에 대응하는 데이터 신호(또는, 데이터 전압)가 데이터 라인을 통

해 인가되어, 데이터 신호는 트랜지스터를 거쳐 액정 커패시터 및 스토리지 커패시터에 충전될 수 있다.

- [0037] 이에 따라, 충전된 전압의 크기에 따라 액정들이 움직여 비틀어지게 되고, 그 정도에 따라 디스플레이 장치(100)의 백라이트(미도시)를 통해 조사되는 광의 투광율이 조절되어, 영상 프레임이 디스플레이 패널(110)을 통해 표시될 수 있다.
- [0038] 게이트 드라이버(120)는 디스플레이 패널의 복수의 게이트 라인(GL1 내지 GLn)을 통해 게이트 온 신호를 인가한다. 그리고, 데이터 드라이버(130)는 디스플레이 패널의 복수의 데이터 라인(DL1 내지 DLm)을 통해 데이터 신호를 인가한다.
- [0039] 타이밍 컨트롤러(140)는 디스플레이 패널(110)이 영상 프레임을 표시하도록 게이트 드라이버(120) 및 데이터 드라이버(130)를 제어할 수 있다.
- [0040] 구체적으로, 타이밍 컨트롤러(140)는 디스플레이 패널(110)의 제1 프레임 주파수로 영상 프레임이 표시되도록 게이트 드라이버(120) 및 데이터 드라이버(130)를 제어할 수 있다.
- [0041] 이 경우, 복수의 픽셀은 제2 프레임 주파수로 구동 가능한 복수의 액정들을 포함할 수 있다.
- [0042] 이때, 제1 프레임 주파수는 제2 프레임 주파수보다 작을 수 있으며, 일 예로, 제1 프레임 주파수는 60Hz이고, 제2 프레임 주파수는 120Hz일 수 있다.
- [0043] 먼저, 액정들이 제2 프레임 주파수로 구동 가능하다는 것은 액정들이 1 초 동안 제2 프레임 주파수에 대응되는 수의 영상 프레임을 최대로 표시할 수 있다는 것을 의미할 수 있으며, 이는 액정의 특성 가령, 반응 속도에 따라 결정될 수 있다. 전술한 예와 같이, 액정이 120Hz로 구동 가능한 경우, 디스플레이 패널(110)은 액정을 통해 1 초 동안 120 개의 영상 프레임을 표시할 수 있게 된다.
- [0044] 한편, 타이밍 컨트롤러(140)는 디스플레이 패널(110)이 제1 프레임 주파수로 영상 프레임을 표시하도록 게이트 드라이버(120) 및 데이터 드라이버(130)를 제어할 수 있다.
- [0045] 이를 위해, 타이밍 컨트롤러(140)는 복수의 게이트 라인에 순차적으로 게이트 온 신호를 인가하도록 게이트 드라이버(130)를 제어할 수 있다.
- [0046] 여기에서, 게이트 온 신호가 순차적으로 복수의 게이트 라인에 인가되는 시간 차이는 제1 프레임 주파수 및 복수의 게이트 라인의 수에 기초하여 결정될 수 있는데, 이에 대한 구체적인 설명은 후술하도록 한다.
- [0047] 그리고, 타이밍 컨트롤러(140)는 복수의 픽셀 중 게이트 온 신호가 인가된 픽셀들에 데이터 신호를 인가하도록 데이터 드라이버(130)를 제어하여, 제1 프레임 주파수로 상기 영상 프레임을 표시할 수 있다.
- [0048] 이때, 데이터 신호는 픽셀들의 오버 드라이빙(over driving)을 위한 제1 데이터 신호 및 오버 드라이빙 전에 픽셀들의 프리 차징(pre-charging)을 위한 제2 데이터 신호를 포함할 수 있다.
- [0049] 여기에서, 오버 드라이빙은 액정의 응답 속도를 빠르게 하기 위해, 영상 프레임의 계조에 대응되는 전압보다 큰 전압을 인가하여 영상 프레임의 계조를 표현하는 기술을 의미할 수 있다. 이러한 오버 드라이빙 기술은 이미 공지된 바 있다는 점에서, 구체적인 설명은 생략하도록 한다.
- [0050] 한편, 전술한 바와 같이, 본 개시의 일 실시 예에 따르면, 디스플레이 패널(110)의 액정들은 제2 프레임 주파수로 구동 가능함에 반해, 해당 액정들을 통해 영상 프레임을 제1 프레임 주파수로 표시하게 된다.
- [0051] 이와 같은 경우, 본 개시의 일 실시 예에 따르면, 특정한 경우에 비해, 오버 드라이빙을 위한 데이터 신호가 인가되는 시간을 줄이는 대신에, 더 큰 값을 갖는 데이터 신호를 이용하여 오버 드라이빙을 수행하게 된다.
- [0052] 여기에서, 특정한 경우란, 제1 프레임 주파수로 구동 가능한 액정들을 포함하는 디스플레이 패널을 통해 영상 프레임을 제1 프레임 주파수로 표시하는 경우를 의미할 수 있다.
- [0053] 즉, 본 개시의 일 실시 예에 따르면, 액정들이 특정한 경우에 비해 높은 응답 속도를 갖는다는 점에서, 상대적으로 더 짧은 시간만으로도 액정들을 구동할 수 있게 된다는 점에서, 게이트 신호가 인가된 픽셀들에 오버 드라이빙을 위한 데이터 신호가 인가되는 시간을 줄일 수 있게 된다. 한편, 오버 드라이빙을 통해 원하는 계조를 표현하기 위해서는 오버 드라이빙을 위한 데이터 신호가 인가되는 동안, 특정한 크기의 전압이 해당 픽셀들에 인가되어야 한다. 따라서, 오버 드라이빙을 위한 데이터 신호가 인가되는 시간이 줄어든 만큼을 고려하여, 특정한 경우에 비해, 더 큰 값을 갖는 오버 드라이빙을 위한 데이터 신호를 게이트 온 신호가 인가된 픽셀들에 인가하

게 된다.

- [0054] 이에 따라, 본 개시의 일 실시 예에 따르면, 오버 드라이빙을 최대한 활용하여 응답 속도를 빠르게 할 수 있고, 제2 프레임 주파수로 구동 가능한 액정들을 이용하여 영상 프레임을 표시한다는 점에서, 화면 끌림(즉, 모션 블러(motion blur))현상을 최소화할 수 있다.
- [0055] 한편, 전술한 바와 같이, 본 개시의 일 실시 예에 따른 오버 드라이빙을 위해 데이터 신호가 인가되는 시간은 전술한 특정한 경우에서 오버 드라이빙을 위해 데이터 신호가 인가되는 시간보다 작는데, 이때, 본 개시의 일 실시 예에 따른 오버 드라이빙을 위해 데이터 신호가 인가되는 시간은 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0056] 이 경우, 타이밍 컨트롤러(140)는 복수의 게이트 라인에 제2 프레임 주파수에 기초하여 결정된 시간 동안 게이트 온 신호가 인가되도록 게이트 드라이버를 제어하고, 복수의 데이터 라인에 오버드라이빙된 데이터 신호가 인가되도록 데이터 드라이버를 제어할 수 있다.
- [0057] 여기에서, 데이터 신호가 인가되는 시간은 제2 프레임 주파수 및 복수의 게이트 라인의 개수에 기초하여 결정될 수 있다.
- [0058] 예를 들어, 게이트 라인이 2160 개이고, 영상 프레임을 120Hz 프레임 주파수로 표시하는 경우를 가정한다.
- [0059] 이 경우, 1/120 초 당 하나의 영상 프레임이 표시되므로, 2160 개의 게이트 라인을 통해 하나의 영상 프레임을 표시하기 위해서는, 각 게이트 라인 별로, 오버 드라이빙을 위한 데이터 신호는 $(1/120)/(2160) = \text{약 } 3.8 \mu\text{s}$ 동안 인가될 수 있다.
- [0060] 다만, 오버 드라이빙을 위한 데이터 신호가 인가되는 시간은 블랭크 타임(blank time)이 더 고려되어 결정될 수 있다.
- [0061] 여기에서, 블랭크 타임은 영상 프레임을 표시하는 경우에 있어, 타이밍 컨트롤러(140)가 영상 프레임 정보를 수신한 이후, 수신된 영상 프레임을 표시하기 위해 게이트 라인에 첫 번째 게이트 온 신호를 인가하기까지 소요되는 시간을 의미할 수 있다.
- [0062] 이에 따라, 블랭크 타임을 고려하여, 각 게이트 라인 별로, 오버 드라이빙을 위한 데이터 신호가 인가될 수 있는 시간은 약 $3.8 \mu\text{s}$ 보다 작아질 수 있다.
- [0063] 이 경우, 블랭크 타임을 고려하기 위해, 게이트 라인이 2160 개보다 20% 더 많은 것을 전제로, 상술한 방식을 이용하여 오버 드라이빙을 위한 데이터 신호가 인가될 수 있는 시간을 결정할 수 있으며, 이 경우, $(1/120)/(2160*1.2) = \text{약 } 3.6 \mu\text{s}$ 와 같이 결정될 수 있다.
- [0064] 이와 같이, 제1 데이터 신호 즉, 오버 드라이빙을 위한 데이터 신호가 인가되는 시간은 제2 프레임 주파수 및 게이트 라인의 개수에 기초하여 결정될 수 있다. 다만, 이는 일 예일 뿐이고, 경우에 따라, 오버 드라이빙을 위한 데이터 신호가 인가되는 시간은 약 $3.6 \mu\text{s}$ 보다 더 작아질 수 있음은 물론이다.
- [0065] 이에 따라, 타이밍 컨트롤러(140)는 디스플레이 패널(110)이 제1 프레임 주파수로 영상 프레임을 표시하도록 게이트 드라이버(120) 및 데이터 드라이버(130)를 제어할 수 있다.
- [0066] 이 경우, 타이밍 컨트롤러(140)는 오버 드라이빙을 통해 영상 프레임의 계조를 표현하기 위한 제1 데이터 신호를 제2 프레임 주파수에 기초하여 결정된 시간 동안 상기 복수의 데이터 라인에 인가할 수 있다.
- [0067] 이하에서는 제1 프레임 주파수는 60Hz이고, 제2 프레임 주파수는 120Hz인 것을 가정하도록 한다.
- [0068] 먼저, 타이밍 컨트롤러(140)는 복수의 게이트 라인에 게이트 신호를 순차적으로 인가하도록 게이트 드라이버(120)를 제어할 수 있다.
- [0069] 이 경우, 게이트 신호는 게이트 라인에 연결된 트랜지스터의 게이트를 온시키기 위한 게이트 온 신호를 포함할 수 있으며, 게이트 온 신호에 의해 게이트가 온되는 동안, 데이터 신호가 트랜지스터를 통해 커패시터에 입력될 수 있다.
- [0070] 여기에서, 본 개시의 일 실시 예에 따르면, 60Hz의 프레임 주파수로 영상 프레임을 표시한다는 점에서, 타이밍 컨트롤러(140)는 약 $7.2\mu\text{s}(=2*3.6 \mu\text{s})$ 의 시간 차이로 복수의 게이트 라인에 순차적으로 게이트 온 신호를 인가할 수 있다.

- [0071] 그리고, 타이밍 컨트롤러(140)는 복수의 픽셀 중 게이트 온 신호가 인가된 픽셀들에 데이터 신호를 인가하도록 데이터 드라이버(130)를 제어할 수 있다.
- [0072] 구체적으로, 타이밍 컨트롤러(140)는 각 게이트 라인에 대해 게이트 온 신호가 인가되는 시간 구간 중 일정 시간 동안은 커패시터에 전압을 프리 차징하기 위한 제2 데이터 신호를 인가하고, 이후 일정 시간 동안은 오버 드라이빙을 위한 제1 데이터 신호를 인가할 수 있다.
- [0073] 여기에서, 오버 드라이빙을 위한 제1 데이터 신호를 인가하기 위해, 게이트 온 신호가 인가되는 시간 구간은 전술한 바와 같이 약 $3.6\mu s$ 가 될 수 있다.
- [0074] 한편, 프리 차징을 위한 제2 데이터 신호를 인가하기 위해, 게이트 온 신호가 인가되는 시간 구간은 다양하게 설정될 수 있는데, 이와 관련된 다양한 실시 예에 대해서는 도 3 내지 도 5와 함께 후술하도록 한다.
- [0075] 이와 같이, 타이밍 컨트롤러(140)는 디스플레이 패널(110)에 포함된 복수의 픽셀이 제1 프레임 주파수에 따라 영상을 표시하되, 해당 픽셀이 제2 프레임 주파수로 구동하도록 게이트 드라이버 및 데이터 드라이버를 제어할 수 있게 된다.
- [0076] 도 2는 본 개시의 일 실시 예에 따른 디스플레이 장치의 세부 구성을 설명하기 위한 블록도이다.
- [0077] 도 2를 참조하면, 디스플레이 장치(1000)는 디스플레이 패널(100), 게이트 드라이버(110), 데이터 드라이버(120), 타이밍 컨트롤러(140), 통신부(200), 수신부(300), 저장부(400), 조작부(500), 오디오 출력부(600) 및 프로세서(700)를 포함한다.
- [0078] 한편, 도 2를 설명함에 있어, 디스플레이 패널(100), 게이트 드라이버(110), 데이터 드라이버(120), 타이밍 컨트롤러(140)는 도 1에서 설명한 바와 동일하다는 점에서, 구체적인 중복 설명은 생략한다.
- [0079] 통신부(200)는 외부 장치와 통신을 수행한다. 그리고, 통신부(200)는 외부 장치(미도시)와 다양한 데이터를 송수신할 수 있다.
- [0080] 이 경우, 통신부(200)는 다양한 유형의 통신 방식을 통해 외부 장치(미도시)와 통신을 수행할 수 있다. 예를 들어, 통신부(230)는 통신 모듈을 이용하여, 블루투스, 와이파이 등과 같은 통신 표준에 따라 외부 장치(미도시)와 통신을 수행할 수 있다.
- [0081] 수신부(300)는 방송국 또는 위성으로부터 유선 또는 무선으로 방송을 수신하여 복조한다. 구체적으로, 수신부(300)는 안테나 또는 케이블을 통하여 전송 스트림을 수신하고 복조하여 디지털 전송 스트림 신호를 출력할 수 있다. 이 경우, 수신부(300)는 튜너(미도시) 및 복조기(미도시) 등과 같은 구성을 포함하는 형태로 구현될 수 있다. 다만, 이는 일 예일 뿐이고, 수신부(300)는 구현 예에 따라 다양한 형태로 구현될 수 있다.
- [0082] 저장부(400)는 영상 콘텐츠를 저장할 수 있다. 구체적으로, 저장부(400)는 오디오 처리부(미도시) 및 비디오 처리부(미도시)로부터 영상과 오디오가 압축된 영상 콘텐츠를 제공받아 저장할 수 있으며, 프로세서(700)의 제어에 따라 저장된 영상 콘텐츠를 오디오 처리부(미도시) 및 비디오 처리부(미도시)로 출력할 수 있다. 한편, 저장부(400)는 하드디스크, 휘발성 메모리, 비휘발성 메모리 등으로 구현될 수 있다.
- [0083] 조작부(500)는 터치 스크린, 터치패드, 키 버튼, 키패드 등으로 구현되어, 디스플레이 장치(1000)의 사용자 조작을 제공한다. 본 실시 예에서는 디스플레이 장치(1000)에 구비된 조작부(500)를 통하여 제어 명령을 입력받는 예를 설명하였지만, 조작부(500)는 외부 제어 장치(예를 들어, 리모컨)로부터 사용자 조작을 입력받을 수도 있다.
- [0084] 오디오 출력부(600)는 수신부(300) 및 저장부(400)로부터 입력된 오디오 데이터에 대해 디코딩 등의 신호처리를 수행하고, 오디오 데이터를 출력할 수 있다. 오디오 출력부(600)는 스피커 등으로 구현될 수 있다.
- [0085] 프로세서(700)는 디스플레이 장치(1000)의 전반적인 동작을 제어한다. 예를 들어, 프로세서(700)는 운영 체제 또는 응용 프로그램을 구동하여 프로세서(700)에 연결된 하드웨어 또는 소프트웨어 구성요소들을 제어할 수 있고, 각종 데이터 처리 및 연산을 수행할 수 있다. 또한, 프로세서(700)는 다른 구성요소들 중 적어도 하나로부터 수신된 명령 또는 데이터를 휘발성 메모리에 로드하여 처리하고, 다양한 데이터를 비휘발성 메모리에 저장할 수 있다.
- [0086] 이를 위해, 프로세서(700)는 해당 동작을 수행하기 위한 전용 프로세서(예, 임베디드 프로세서) 또는 메모리 디바이스에 저장된 하나 이상의 소프트웨어 프로그램을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세

서(예: CPU 또는 application processor)로 구현될 수 있다.

- [0087] 프로세서(700)는 통신부(200)를 통하여 외부 장치(미도시)로부터 수신한 영상 데이터를 디스플레이 패널(100)에 전송하거나 저장부(400)에 저장할 수 있다. 구체적으로 프로세서(700)는 수신부(300) 및 저장부(400)로부터 입력된 영상 데이터에 대해 디코딩 등의 신호 처리를 수행하고, 영상 데이터를 타이밍 컨트롤러(140)로 출력할 수 있다.
- [0088] 프로세서(700)는 제2 프레임 주파수로 구동 가능한 복수의 픽셀들을 포함하는 디스플레이 패널(110)이 제1 프레임 주파수로 영상 프레임을 표시할 수 있도록 타이밍 컨트롤러(140)를 제어할 수 있다.
- [0089] 이를 위하여, 프로세서(700)는 디스플레이 패널의 픽셀에 오버 드라이빙을 수행하여 액정 셀의 반응 시간이 단축될 수 있도록 타이밍 컨트롤러(140)를 제어할 수 있다.
- [0090] 프로세서(700)는 ROM(710), RAM(720), GPU(Graphic Processing Unit)(730), CPU(740) 및 버스를 포함할 수 있다. ROM(710), RAM(720), GPU(730), CPU(740) 등은 버스를 통해 서로 연결될 수 있다.
- [0091] CPU(740)는 저장부(400)에 액세스하여, 저장부(400)에 저장된 운영체제(O/S)를 이용하여 부팅을 수행한다. 그리고 CPU(740)는 저장부(400)에 저장된 각종 프로그램, 콘텐츠, 데이터 등을 이용하여 다양한 동작을 수행할 수 있다. 이러한 CPU(740)의 동작은 상술한 프로세서(700)의 동작 동일함바 중복 설명은 생략한다.
- [0092] ROM(710)에는 시스템 부팅을 위한 명령어 세트 등이 저장된다. 턴은 명령이 입력되어 전원이 공급되면, CPU(740)는 ROM(710)에 저장된 명령어에 따라 저장부(400)에 저장된 O/S를 RAM(720)에 복사하고, O/S를 실행시켜 시스템을 부팅시킨다. 부팅이 완료되면, CPU(740)는 저장부(400)에 저장된 각종 프로그램을 RAM(720)에 복사하고, RAM(720)에 복사된 프로그램을 실행시켜 각종 동작을 수행한다.
- [0093] GPU(730)는 디스플레이 장치(1000)의 부팅이 완료되면, 아이콘, 이미지, 텍스트 등과 같은 다양한 객체를 포함하는 화면을 생성할 수 있다.
- [0094] 한편, 상술한 예에서, 프로세서(700)는 메인 보드에 포함되고, 타이밍 컨트롤러(140)는 TCON 보드에 포함될 수 있다. 다만, 이는 일 예일 뿐이고, 메인 보드와 TCON 보드가 통합되어 구현되는 경우, 프로세서(700) 및 타이밍 컨트롤러(140)는 동일한 보드에 포함될 수 있다.
- [0095] 도 3 내지 도 5는 본 개시의 다양한 실시 예에 따라 게이트 라인 및 데이터 라인에 인가되는 신호를 설명하기 위한 도면이다.
- [0096] 구체적으로, 도 3 내지 도 5는 제1 프레임 주파수(예를 들어, 60Hz)로 영상 프레임을 표시하면서 제2 프레임 주파수(예를 들어, 120Hz)로 구동되는 디스플레이 패널(110)의 픽셀에 인가되는 게이트 온 신호 및 데이터 신호를 설명하기 위한 도면이다.
- [0097] 먼저, 도 3은 게이트 라인에 제2 프레임 주파수에 기초하여 펄스 폭이 결정된 게이트 온 신호가 인가되는 경우를 설명하기 위한 도면이다.
- [0098] 구체적으로, 타이밍 컨트롤러(140)는 일정한 시간 간격을 갖는 복수의 펄스로 구성된 게이트 온 신호를 게이트 라인에 인가하도록 게이트 드라이버(120)를 제어하고, 복수의 펄스 중 마지막 펄스를 제외한 나머지 펄스가 게이트 라인에 인가되는 동안 픽셀들에 제2 데이터 신호를 인가하고 마지막 펄스가 게이트 라인에 인가되는 동안 픽셀들에 제1 데이터 신호를 인가하도록 데이터 드라이버(130)를 제어할 수 있다.
- [0099] 이를 위해, 먼저, 하나의 영상 프레임을 디스플레이 패널(110)에 표시하기 이전에, 타이밍 컨트롤러(140)는 게이트 드라이버(120)에 수직 시작 신호(STV)를 전달할 수 있다.
- [0100] 타이밍 컨트롤러(140)가 게이트 드라이버(120)에 수직 시작 신호(STV)를 전달하면, 게이트 드라이버(120)는 수직 시작 신호(STV)를 수신한 시점으로부터 기설정된 시간이 경과된 후 게이트 라인에 순차적으로 게이트 온 신호를 인가할 수 있다.
- [0101] 구체적으로, 게이트 드라이버(120)는 도 3과 같이, 일정한 시간 간격을 갖는 복수의 펄스로 구성된 게이트 온 신호를 복수의 게이트 라인에 순차적으로 인가할 수 있다.
- [0102] 여기에서, 복수의 펄스 각각의 펄스 폭은 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0103] 예를 들어, 게이트 드라이버(120)는 2160 개의 게이트 라인 중 제1 게이트 라인에 게이트 온 신호(211, 212,

213, 220)를 인가할 수 있는데, 이때, 게이트 온 신호의 펄스 폭은 각각 약 $3.6\mu s$ 가 될 수 있다.

- [0104] 그리고, 게이트 드라이버(120)는 일정한 시간이 경과된 이후 가령, 약 $7.2\mu s$ 가 경과된 이후, 제1 게이트 라인에 인가한 게이트 온 신호와 동일한 게이트 온 신호를 제2 게이트 라인에 인가할 수 있다. 이러한 방식으로, 게이트 드라이버(120)는 전체 2160 개의 게이트 라인에 게이트 온 신호를 순차적으로 인가할 수 있다.
- [0105] 한편, 게이트 드라이버(120)는 도 3과 같이, 8 개의 게이트 온 신호를 생성하고, 8 개의 게이트 라인씩 순차적으로 인가하는 방식으로, 전체 2160 개의 게이트 라인에 게이트 온 신호를 인가할 수 있다.
- [0106] 한편, 데이터 드라이버(130)는 게이트 온 신호에 의해 게이트가 온되는 시간 동안, 복수의 데이터 라인을 통해 데이터 신호를 인가할 수 있다.
- [0107] 이때, 데이터 신호는 오버 드라이빙을 위한 제1 데이터 신호와 프리 차징을 위한 제2 데이터 신호를 포함할 수 있다.
- [0108] 예를 들어, 도 3과 같이, 각 게이트 라인에는 게이트 온 신호(211, 212, 213, 220)가 인가되는데, 이때, 데이터 드라이버(130)는 게이트 온 신호(211, 212, 213)가 인가되는 동안에는 프리 차징을 위한 제2 데이터 신호를 인가하고, 게이트 온 신호(220)가 인가되는 동안에는 오버 드라이빙을 위한 제1 데이터 신호를 인가할 수 있다.
- [0109] 이때, 오버 드라이빙을 위한 제1 데이터 신호의 크기는 픽셀에 표시되는 계조의 값에 따라 달라질 수 있으며, 계조에 따른 제1 데이터 신호의 크기는 미리 결정되어 저장부(400)에 기 저장되어 있을 수 있다.
- [0110] 한편, 게이트 온 신호가 게이트 라인에 순차적으로 인가된다는 점에서, 프리 차징을 위한 제2 데이터 신호의 크기는 제2 데이터 신호가 인가되는 게이트 라인의 이전 게이트 라인에 인가된 데이터 신호에 따라 결정될 수 있다.
- [0111] 예를 들어, 도 3을 참조하면, 제2 게이트 라인에 4 개의 펄스를 갖는 게이트 온 신호가 입력된다. 이때, 1 번째 펄스부터 3 번째 펄스가 인가되는 동안, 복수의 데이터 라인에 입력되는 데이터 신호는 제1 게이트 라인에 2 번째 펄스부터 4 번째 펄스의 게이트 온 신호가 각각 입력되는 동안, 복수의 데이터 라인에 인가되는 데이터 신호와 같게 된다.
- [0112] 결국, 이러한 방식을 통해, 타이밍 컨트롤러(140)는 디스플레이 패널(110)이 영상 프레임을 표시하도록 게이트 드라이버(120) 및 데이터 드라이버(130)를 제어할 수 있다.
- [0113] 이와 같이, 도 3의 경우, 프리 차징 및 오버 드라이빙을 위해, 게이트 온 신호가 인가되는 시간 구간은 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0114] 도 4는 게이트 라인에 제1 프레임 주파수 및 제2 프레임 주파수에 기초하여 펄스 폭이 결정된 게이트 온 신호가 인가되는 경우를 설명하기 위한 도면이다.
- [0115] 도 4를 설명함에 있어, 설명의 편의상 도 3 과 중복되는 부분에 대한 설명은 생략하도록 한다.
- [0116] 타이밍 컨트롤러(140)는 특정한 펄스 폭을 갖는 게이트 온 신호를 게이트 라인에 제공하도록 게이트 드라이버(120)를 제어할 수 있다.
- [0117] 이 경우, 게이트 드라이버(120)는 도 4와 같이, 특정한 펄스 폭을 갖는 게이트 온 신호를 복수의 게이트 라인에 순차적으로 인가할 수 있다.
- [0118] 예를 들어, 도 4와 같이, 게이트 드라이버(120)는 2160 개의 게이트 라인 중 제1 게이트 라인에 게이트 온 신호를 인가할 수 있는데, 이때, 게이트 라인에 인가되는 게이트 온 신호의 펄스 폭은 제1 프레임 주파수 및 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0119] 구체적으로, 게이트 온 신호(310, 320)의 펄스 폭은 {(제1 프레임 주파수에 기초한 펄스 폭 * n)(n은 자연수)(310) + (제2 프레임 주파수에 기초한 펄스 폭)(310)}과 같을 수 있다.
- [0120] 이때, 제1 프레임 주파수에 기초한 펄스 폭이 $7.2\mu s$ 이고, 제2 프레임 주파수에 기초한 펄스 폭이 $3.6\mu s$ 인 경우, 게이트 드라이버(120)는 $(7.2\mu s * 3) + 3.6\mu s = 25.2\mu s$ 의 펄스 폭을 가지는 게이트 온 신호를 제1 게이트 라인에 인가할 수 있다.
- [0121] 그리고, 게이트 드라이버(120)는 일정한 시간이 경과된 이후 가령, 약 $7.2\mu s$ 가 경과된 이후, 제1 게이트 라인에 인가한 게이트 온 신호와 동일한 게이트 온 신호를 제2 게이트 라인에 인가할 수 있다. 이러한 방식으로, 게이

트 드라이버(120)는 전체 2160 개의 게이트 라인에 게이트 온 신호를 순차적으로 인가할 수 있다.

- [0122] 그리고, 타이밍 컨트롤러(140)는 게이트 라인에 게이트 온 신호가 인가되는 시간 중 제1 시간 구간(310) 동안 픽셀들에 프리 차징을 위한 제2 데이터 신호를 인가하고 제1 시간 구간을 제외한 나머지 제2 시간 구간(320) 동안 픽셀들에 오버 드라이빙을 위한 제1 데이터 신호를 인가하도록 데이터 드라이버(130)를 제어할 수 있다. 이 경우, 제1 시간 구간의 길이는 전술한 바와 같이 제1 프레임 주파수에 기초하여 결정될 수 있다.
- [0123] 이때, 오버 드라이빙을 위한 제1 데이터 신호의 크기는 픽셀에 표시되는 계조의 값에 따라 달라질 수 있으며, 계조에 따른 제1 데이터 신호의 크기는 미리 결정되어 저장부(400)에 기 저장되어 있을 수 있다.
- [0124] 결국, 이러한 방식을 통해, 타이밍 컨트롤러(140)는 디스플레이 패널(110)이 영상 프레임을 표시하도록 게이트 드라이버(120) 및 데이터 드라이버(130)를 제어할 수 있다.
- [0125] 이와 같이, 도 4의 경우, 프리 차징을 위해 게이트 온 신호가 인가되는 시간 구간은 제1 프레임 주파수에 결정됨에 반해, 오버 드라이빙을 위해 게이트 온 신호가 인가되는 시간 구간은 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0126] 도 5는 본 개시의 일 실시 예로 제2 프레임 주파수에 기초하여 펄스 폭이 결정된 게이트 온 신호가 인가되는 경우를 설명하기 위한 도면이다.
- [0127] 도 5를 설명함에 있어, 설명의 편의상 도 3 및 도 4와 중복되는 내용에 관한 설명은 생략하도록 한다.
- [0128] 타이밍 컨트롤러(140)는 특정한 펄스 폭을 갖는 게이트 온 신호를 게이트 라인에 제공하도록 게이트 드라이버(120)를 제어할 수 있다.
- [0129] 이 경우, 게이트 드라이버(120)는 도 5와 같이, 특정한 펄스 폭을 갖는 게이트 온 신호를 복수의 게이트 라인에 순차적으로 인가할 수 있다.
- [0130] 예를 들어, 도 5와 같이, 게이트 드라이버(120)는 2160 개의 게이트 라인 중 제1 게이트 라인에 게이트 온 신호를 인가할 수 있는데, 이때, 게이트 라인에 인가되는 게이트 온 신호의 펄스 폭은 제2 프레임 주파수에 의하여 결정될 수 있다.
- [0131] 구체적으로, 게이트 온 신호(410, 420)의 펄스 폭은 (제2 프레임 주파수에 기초한 펄스 폭*n)(n은 자연수)과 같을 수 있다.
- [0132] 이때, 제2 프레임 주파수에 기초한 펄스 폭이 $3.6\mu s$ 인 경우, 게이트 드라이버(120)는 $3.6\mu s * 4 = 14.4\mu s$ 의 펄스 폭을 가지는 게이트 온 신호를 제1 게이트 라인에 인가할 수 있다.
- [0133] 그리고, 게이트 드라이버(120)는 일정한 시간이 경과된 이후 가령, 약 $7.2\mu s$ 가 경과된 이후, 제1 게이트 라인에 인가한 게이트 신호와 동일한 게이트 온 신호를 제2 게이트 라인에 인가할 수 있다. 이러한 방식으로, 게이트 드라이버(120)는 전체 2160 개의 게이트 라인에 게이트 신호를 순차적으로 인가할 수 있다.
- [0134] 그리고, 타이밍 컨트롤러(140)는 게이트 라인에 게이트 온 신호가 인가되는 시간 중 제1 시간 구간(410) 동안 픽셀들에 프리 차징을 위한 제2 데이터 신호를 인가하고 제1 시간 구간을 제외한 나머지 제2 시간 구간(420) 동안 픽셀들에 오버 드라이빙을 위한 제1 데이터 신호를 인가하도록 데이터 드라이버(130)를 제어할 수 있다. 이 경우, 제1 시간 구간의 길이는 전술한 바와 같이 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0135] 이때, 오버 드라이빙을 위한 제1 데이터 신호의 크기는 픽셀에 표시되는 계조의 값에 따라 달라질 수 있으며, 계조에 따른 제1 데이터 신호의 크기는 미리 결정되어 저장부(400)에 기 저장되어 있을 수 있다.
- [0136] 이와 같이, 도 5의 경우, 프리 차징 및 오버 드라이빙을 위해 게이트 온 신호가 인가되는 시간 구간은 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0137] 결국, 도 3 내지 도 5의 경우, 제2 프레임 주파수에 결정된 시간 동안 오버 드라이빙을 위한 데이터 신호가 인가된다는 점에서, 픽셀들의 반응 속도를 높일 수 있다.
- [0138] 도 6은 본 개시의 일 실시예에 따른 디스플레이 장치의 영상 표시 방법을 설명하기 위한 도면이다.
- [0139] 먼저, 디스플레이 패널의 복수의 게이트 라인을 통해 게이트 신호(gate on)를 인가한다(S610).
- [0140] 그리고, 디스플레이 패널의 복수의 데이터 라인을 통해 데이터 신호를 인가하여 제1 프레임 주파수로 영상 프레임을 표시한다(S620). 복수의 게이트 라인에 제2 프레임 주파수에 기초하여 결정된 시간 동안 게이트 온 신호를

인가하고, 복수의 데이터 라인에 오버드라이빙된 데이터 신호를 인가할 수 있다.

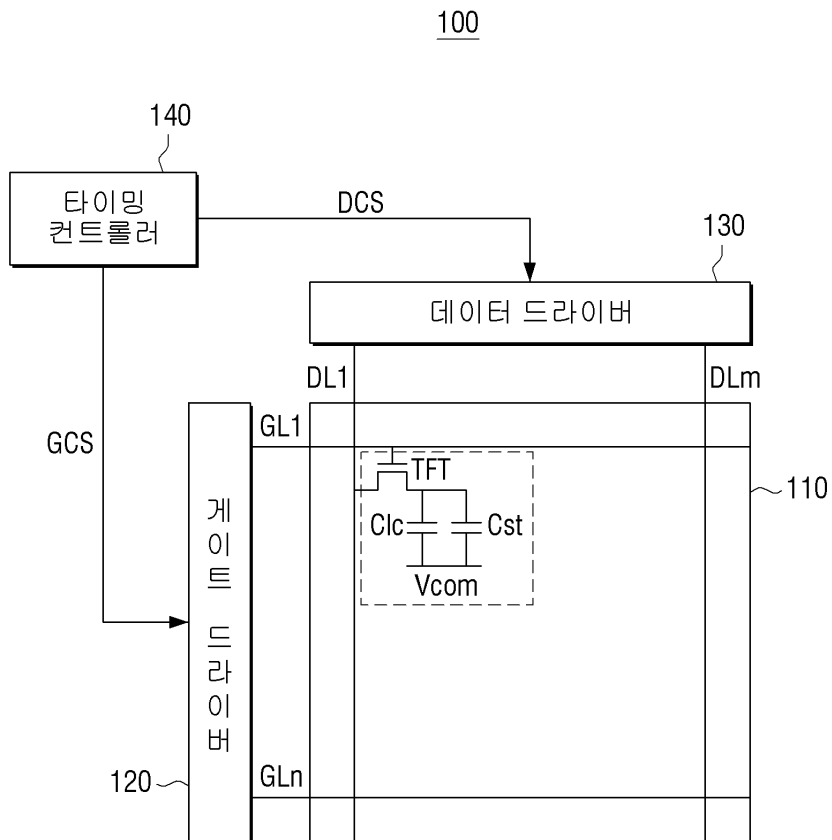
- [0141] 또한, 디스플레이 패널은 제1 프레임 주파수보다 높은 제2 프레임 주파수로 구동 가능하다.
- [0142] 한편, 데이터 신호가 인가되는 시간은 제2 프레임 주파수 및 복수의 게이트 라인의 개수에 기초하여 결정될 수 있다.
- [0143] 또한, 제1 프레임 주파수는 제2 프레임 주파수보다 작을 수 있다.
- [0144] 한편, S610 단계는 복수의 게이트 라인에 게이트 온 신호를 순차적으로 인가하고, S620 단계는 복수의 픽셀들 중 상기 게이트 온 신호가 인가된 픽셀들에 데이터 신호를 인가할 수 있다.
- [0145] 여기에서, 데이터 신호는 픽셀들의 오버 드라이빙을 위한 제1 데이터 신호 및 오버 드라이빙 전에 픽셀들의 프리 차징을 위한 제2 데이터 신호를 포함할 수 있다.
- [0146] 이 경우, S610 단계는 일정한 시간 간격을 갖는 복수의 펄스로 구성된 게이트 온 신호를 게이트 라인에 인가하고, S620 단계는 복수의 펄스 중 마지막 펄스를 제외한 나머지 펄스가 게이트 라인에 인가되는 동안 픽셀들에 제2 데이터 신호를 인가하고, 마지막 펄스가 게이트 라인에 인가되는 동안 픽셀들에 제1 데이터 신호를 인가할 수 있다. 이때, 복수의 펄스 각각의 펄스 폭은 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0147] 또한, S610 단계는 특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 인가하고, S620 단계는 게이트 라인에 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 픽셀들에 상기 제2 데이터 신호를 인가하고, 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 픽셀들에 제1 데이터 신호를 인가할 수 있다. 이때, 제1 시간 구간의 길이는 제1 프레임 주파수에 기초하여 결정될 수 있다.
- [0148] 또한, S610 단계는 특정한 펄스 폭을 갖는 상기 게이트 온 신호를 게이트 라인에 인가하고, S620 단계는 게이트 라인에 게이트 온 신호가 인가되는 시간 중 제1 시간 구간 동안 픽셀들에 제2 데이터 신호를 인가하고, 제1 시간 구간을 제외한 나머지 제2 시간 구간 동안 픽셀들에 제1 데이터 신호를 인가할 수 있다. 이때, 제1 시간 구간의 길이는 제2 프레임 주파수에 기초하여 결정될 수 있다.
- [0149] 한편, 이러한 방식으로 디스플레이 장치를 통해 영상을 표시하는 구체적인 방법에 전술한 바 있다.
- [0150] 한편, 이상에서 설명된 다양한 실시 예들은 소프트웨어(software), 하드웨어(hardware) 또는 이들의 조합된 것을 이용하여 컴퓨터(computer) 또는 이와 유사한 장치로 읽을 수 있는 기록 매체 내에서 구현될 수 있다. 하드웨어적인 구현에 의하면, 본 개시에서 설명되는 실시 예들은 ASICs(Application Specific Integrated Circuits), DSPs(digital signal processors), DSPDs(digital signal processing devices), PLDs(programmable logic devices), FPGAs(field programmable gate arrays), 프로세서(processors), 제어기(controllers), 마이크로 컨트롤러(micro-controllers), 마이크로 프로세서(microprocessors), 기타 기능 수행을 위한 전기적인 유닛(unit) 중 적어도 하나를 이용하여 구현될 수 있다. 일부의 경우에 본 명세서에서 설명되는 실시 예들이 프로세서 자체로 구현될 수 있다. 소프트웨어적인 구현에 의하면, 본 명세서에서 설명되는 절차 및 기능과 같은 실시 예들은 별도의 소프트웨어 모듈들로 구현될 수 있다. 상기 소프트웨어 모듈들 각각은 본 명세서에서 설명되는 하나 이상의 기능 및 작동을 수행할 수 있다.
- [0151] 한편, 상술한 본 개시의 다양한 실시 예들에 따른 디스플레이 장치에서의 동작을 수행하기 위한 컴퓨터 명령어(computer instructions)는 비일시적 컴퓨터 판독 가능 매체(non-transitory computer-readable medium)에 저장될 수 있다. 이러한 비일시적 컴퓨터 판독 가능 매체에 저장된 컴퓨터 명령어는 특정 기기의 프로세서에 의해 실행되었을 때 상술한 다양한 실시 예에 따른 디스플레이 장치에서의 처리 동작을 상기 특정 기기가 수행하도록 한다.
- [0152] 비일시적 컴퓨터 판독 가능 매체란 레지스터, 캐쉬, 메모리 등과 같이 짧은 순간 동안 데이터를 저장하는 매체가 아니라 반영구적으로 데이터를 저장하며, 기기에 의해 판독(reading)이 가능한 매체를 의미한다. 비일시적 컴퓨터 판독 가능 매체의 구체적인 예로는, CD, DVD, 하드 디스크, 블루레이 디스크, USB, 메모리카드, ROM 등이 있을 수 있다.
- [0153] 이상에서는 본 개시의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 개시는 상술한 특정의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 개시의 요지를 벗어남이 없이 당해 개시에 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 개시의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안될 것이다.

부호의 설명

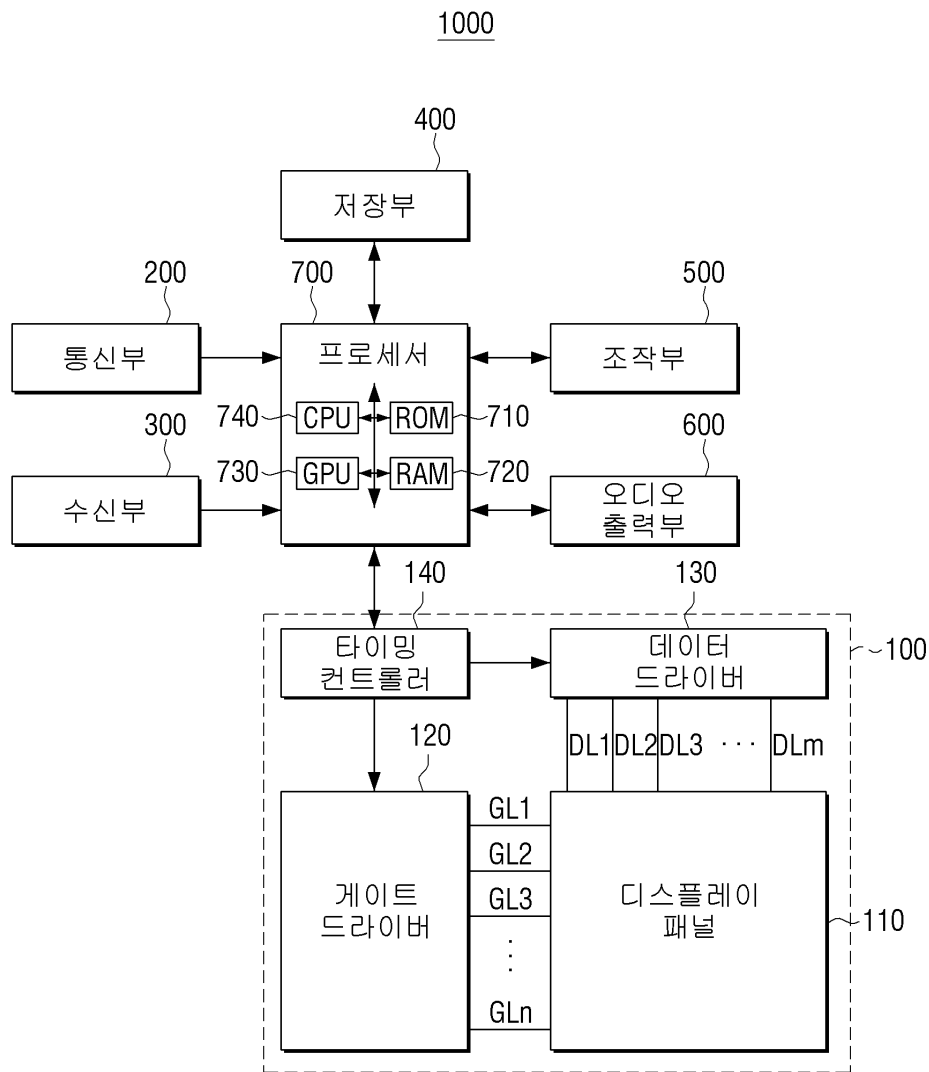
- [0155] 100: 디스플레이 장치 110: 디스플레이 패널
 120: 게이트 드라이버 130: 데이터 드라이버
 140: 타이밍 컨트롤러

도면

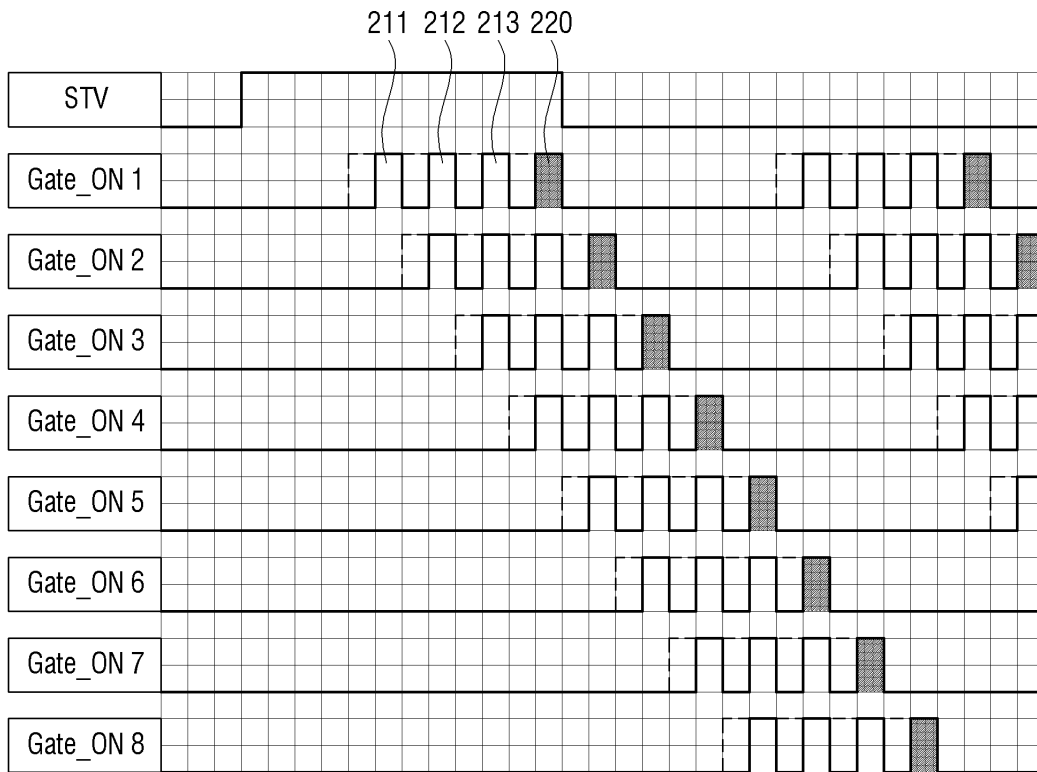
도면1



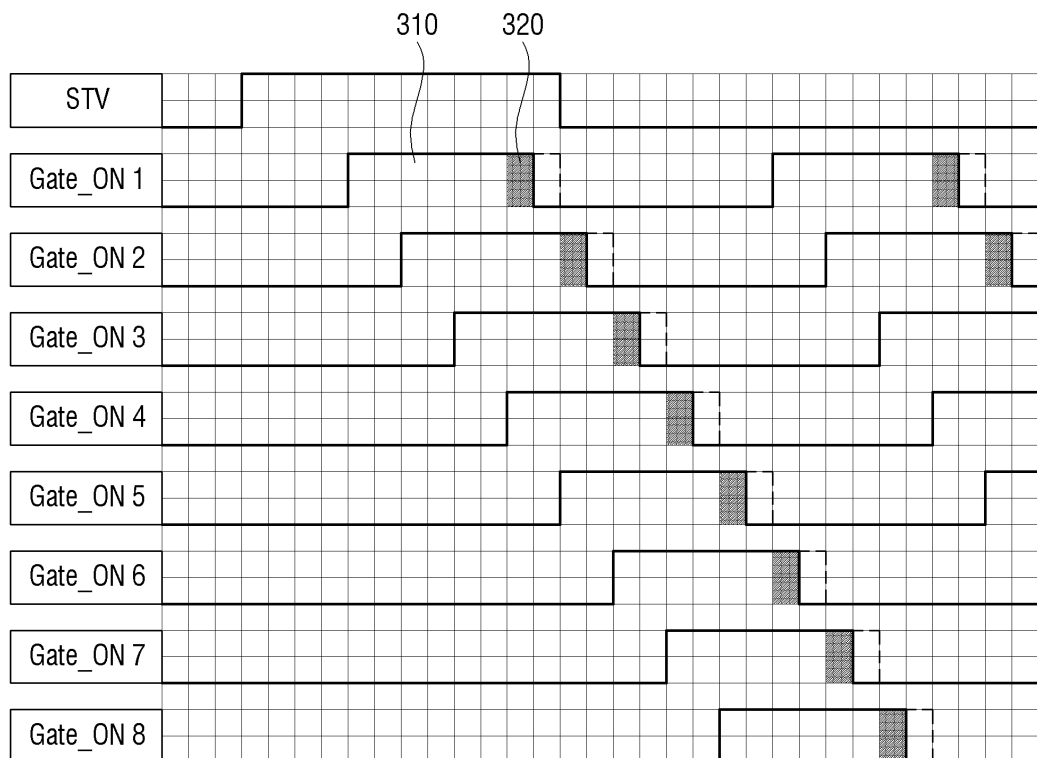
도면2



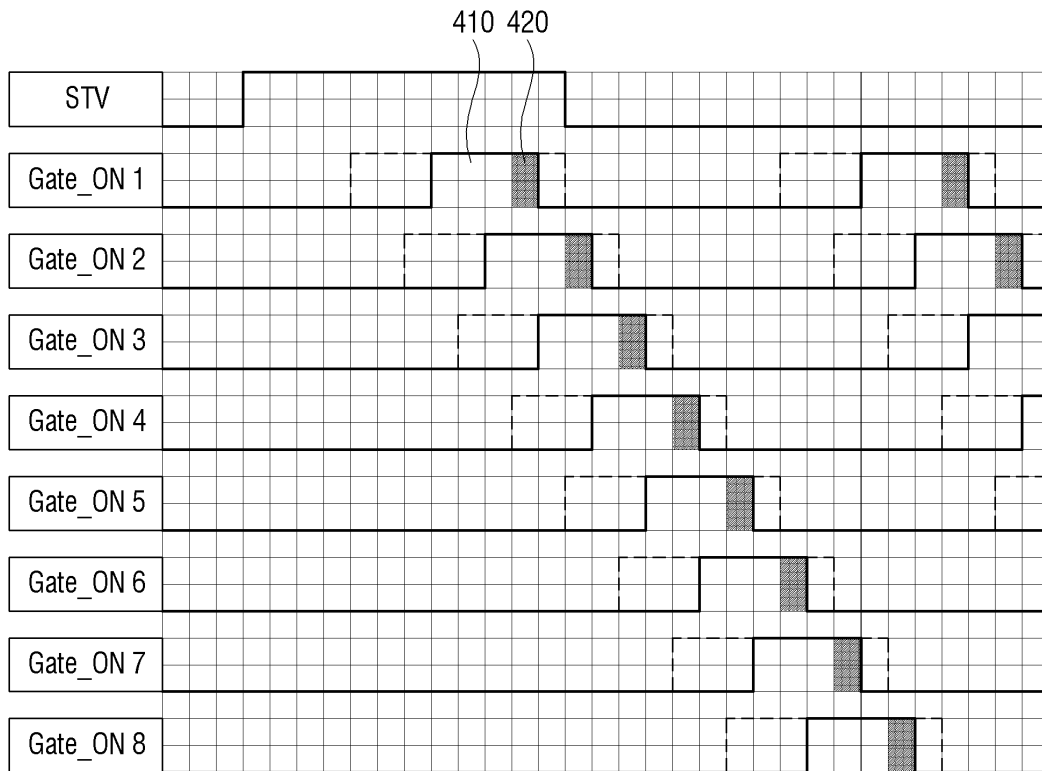
도면3



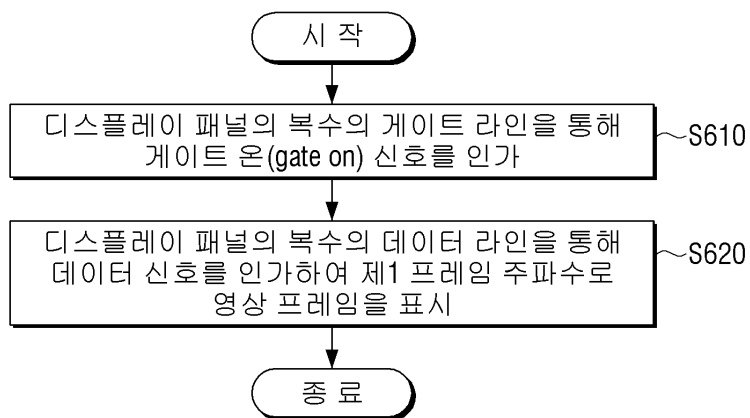
도면4



도면5



도면6



专利名称(译)	显示设备及其图像显示方法		
公开(公告)号	KR1020200011777A	公开(公告)日	2020-02-04
申请号	KR1020180086645	申请日	2018-07-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	이민훈 이재문 김병관 김창훈 임성진		
发明人	이민훈 이재문 김병관 김창훈 임성진		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2230/00 G09G2300/0842 G09G2310/0248 G09G2310/061 G09G2310/08 G09G2320/0252 G09G2320/0257 G09G3/36		
代理人(译)	정흥식 Gimtaeheon		
外部链接	Espacenet		

摘要(译)

显示装置。该显示装置包括：显示面板，其包括多个像素；以及显示面板。栅极驱动器通过显示面板的多条栅极线在信号上施加栅极；数据驱动器通过显示面板的多条数据线施加数据信号；时序控制器，其控制所述栅极驱动器和所述数据驱动器以第一帧频率显示图像帧。以高于第一帧频率的第二帧频率驱动显示面板。时序控制器控制基于第二帧频率确定的时间的栅极导通信号施加到多条栅极线，并且控制数据驱动器将过驱动的数据信号施加到多条数据线。因此，可以减少显示装置的响应时间以增加液晶的响应速度。

