



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0025650
(43) 공개일자 2017년03월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3688 (2013.01)
G09G 3/3614 (2013.01)

(21) 출원번호 10-2015-0122415
(22) 출원일자 2015년08월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
임대경
경기도 파주시 월롱면 엘씨대로 201, 101동 809호
(정다운마을 기숙사)

(74) 대리인
박영복

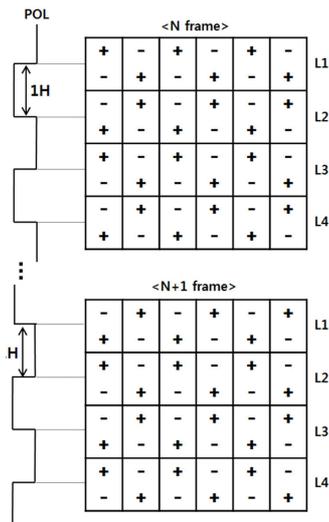
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정 표시 장치 및 그 구동 방법

(57) 요약

본 발명은 프레임 주파수 증가없이 잔상 및 크로스토크를 저감하여 화질을 향상시킬 수 있는 액정 표시 장치 및 그 구동 방법에 관한 것으로, 본 발명의 실시예에 따른 데이터 드라이버는 액정 패널의 각 서브픽셀에 해당 데이터 신호를 공급하는 수평 기간을 시분할하고, 해당 데이터 신호에 대응하는 제1 극성 및 제2 극성의 데이터 전압을 그 수평 기간에 순차적으로 공급한다.

대표도 - 도3



(52) CPC특허분류

G09G 2310/08 (2013.01)

G09G 2320/0209 (2013.01)

G09G 2320/0257 (2013.01)

명세서

청구범위

청구항 1

서브픽셀들을 구비하는 액정 패널과,

상기 액정 패널의 각 서브픽셀에 해당 데이터 신호를 공급하는 수평 기간을 시분할하고, 상기 해당 데이터 신호에 대응하는 제1 극성 및 제2 극성의 데이터 전압을 상기 수평 기간에 순차적으로 공급하는 데이터 드라이버와, 상기 데이터 드라이버의 구동 타이밍을 제어하는 타이밍 컨트롤러를 구비하는 액정 표시 장치.

청구항 2

청구항 1에 있어서,

상기 데이터 드라이버는

상기 타이밍 컨트롤러로부터의 다수의 영상 데이터를 순차 래치하고, 상기 타이밍 컨트롤러로부터의 소스 출력 인에이블 신호에 응답하여, 래치된 다수의 영상 데이터를 출력하는 래치 어레이와,

상기 래치 어레이로부터 출력되는 각 채널의 데이터를 상기 제1 극성 및 제2 극성을 갖는 한 쌍의 데이터 전압으로 변환하여 출력하여 디지털-아날로그 컨버터 어레이와,

상기 타이밍 컨트롤러로부터의 극성 제어 신호에 응답하여, 상기 수평 기간의 전반부에서 상기 각 채널의 한 쌍의 데이터 전압 중 어느 한 극성의 데이터 전압을 해당 출력 채널로 출력하고, 상기 수평 기간의 후반부에서 나머지 극성의 데이터 전압을 상기 해당 출력 채널로 출력하는 멀티플렉서를 출력 채널별로 구비한 멀티플렉서 어레이와,

상기 타이밍 컨트롤러로부터의 차지 웨어링 제어 신호에 응답하여 상기 데이터 드라이버의 출력 채널들을 쇼트시키는 차지 웨어링부를 구비하는 액정 표시 장치.

청구항 3

청구항 2에 있어서,

상기 출력 인에이블 신호는 상기 수평 기간의 주기를 갖고,

상기 극성 제어 신호는 각 수평 기간에서 상기 수평 기간이 시분할되는 중간 지점에서 논리 인버전되고,

상기 차지 웨어링 제어 신호는 상기 극성 제어 신호의 논리가 인버전되는 타이밍과 오버랩하여 상기 차지 웨어링부를 쇼트시키는 액정 표시 장치.

청구항 4

청구항 3에 있어서,

상기 극성 제어 신호는 상기 수평 기간의 1/2 기간 단위로 논리 인버전되거나, 상기 수평 기간 단위로 논리 인버전되는 액정 표시 장치.

청구항 5

청구항 1에 있어서,

상기 각 서브픽셀에서 상기 제1 및 제2 극성의 데이터 전압을 충전하는 순서는,

수평 방향으로 인접한 서브픽셀의 충전 순서와 반대이고,

수직 방향으로 인접한 서브픽셀의 충전 순서와 반대이거나 동일하고,

프레임마다 바뀌는 액정 표시 장치.

청구항 6

각 서브픽셀에 대응하는 데이터를 제1 극성 및 제2 극성을 갖는 한 쌍의 데이터 전압으로 변환하는 단계와,
수평 기간의 전반부에서, 상기 한 쌍의 데이터 전압 중 한 극성의 데이터 전압을 해당 서브픽셀에 공급하는 단계와,

상기 수평 기간의 후반부에서, 상기 한 쌍의 데이터 전압 중 나머지 극성의 데이터 전압을 상기 해당 서브픽셀에 공급하는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 7

청구항 6에 있어서,

상기 수평 기간의 전반부와 후반부 사이에서 데이터 드라이버의 출력 채널들을 쇼트시키는 단계를 추가로 포함하는 액정 표시 장치의 구동 방법.

청구항 8

청구항 6에 있어서,

상기 각 서브픽셀에서 상기 제1 및 제2 극성의 데이터 전압을 충전하는 순서는,

수평 방향으로 인접한 서브픽셀의 충전 순서와 반대이고,

수직 방향으로 인접한 서브픽셀의 충전 순서와 반대이거나 동일하고,

프레임마다 바뀌는 액정 표시 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본원 발명은 액정 표시 장치에 관한 것으로, 특히 프레임 주파수 증가없이 잔상 및 크로스토크를 저감하여 화질을 향상시킬 수 있는 액정 표시 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 굴절을 및 유전율 등의 이방성을 갖는 액정의 전기적 및 광학적 특성을 이용한 픽셀 매트릭스를 통해 영상을 표시한다. 액정 표시 장치의 각 서브픽셀은 데이터 신호에 따른 액정 배열 방향의 가변으로 편광관을 투과하는 광 투과율을 조절함으로써 계조를 구현한다.

[0003] 액정 표시 장치는 픽셀 매트릭스를 통해 영상을 표시하는 액정 패널과, 액정 패널을 구동하는 구동 회로와, 액정 패널에 광을 조사하는 백라이트 유닛과, 백라이트 유닛을 구동하는 백라이트 드라이버와, 전원부 등을 구비한다.

[0004] 액정 표시 장치의 서브픽셀들은 각 프레임마다 1 수평 기간 동안 데이터 전압을 충전하고 나머지 기간 동안 데이터 전압을 유지하는 샘플링 및 홀딩 방식으로 구동된다. 액정 표시 장치는 액정 열화와 잔상을 줄이기 위하여 서브픽셀에 충전되는 데이터 전압의 극성을 주기적으로 인버전시키는 인버전 구동 방식을 이용한다.

[0005] 예를 들면, 60Hz의 프레임 주파수로 구동되는 액정 표시 장치는 잔상 및 크로스토크 불량을 줄이기 위하여 수직 2도트 인버전 방식을 이용하고, 120Hz 이상의 프레임 주파수로 구동되는 고속 액정 표시 장치는 1도트 인버전 방식을 이용한다.

[0006] 그러나, 수직 2도트 인버전 방식은 이전 서브픽셀과 동일 극성으로 데이터 전압을 충전하는 서브픽셀과, 이전 서브픽셀과 반대 극성으로 데이터 전압을 충전하는 서브픽셀간에 휘도차가 발생하여 수평 라인 노이즈가 주기적으로 보이는 플리커가 발생할 수 있으며, 60Hz 구동의 고질적인 잔상 및 크로스토크 문제가 여전히 보이는 문제점이 있다.

[0007] 120Hz 이상의 액정 표시 장치는 고속 구동으로 60Hz 대비 잔상 및 크로스토크를 줄일 수 있으나, 120Hz 이상의 프레임 주파수로 구동되어야 하는 고속 구동 회로가 필요하므로 코스트가 높은 단점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 전술한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 해결하려는 과제는 프레임 주파수 증가없이 잔상 및 크로스토크를 저감하여 화질을 향상시킬 수 있는 액정 표시 장치 및 그 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0009] 상기 과제를 해결하기 위하여, 본 발명의 실시예에 따른 액정 표시 장치에서 데이터 드라이버는 액정 패널의 각 서브픽셀에 해당 데이터 신호를 공급하는 수평 기간을 시분할하고, 해당 데이터 신호에 대응하는 제1 극성 및 제2 극성의 데이터 전압을 그 수평 기간에 순차적으로 공급한다.

[0010] 데이터 드라이버는 래치 어레이, 디지털-아날로그 컨버터 어레이, 멀티플렉서 어레이, 차지 웨어링부를 구비한다. 디지털-아날로그 컨버터 어레이는 래치 어레이로부터 출력되는 각 채널의 데이터를 제1 극성 및 제2 극성을 갖는 한 쌍의 데이터 전압으로 변환하여 출력한다. 멀티플렉서 어레이는 출력 채널별로 멀티플렉서를 구비하고, 그 멀티플렉서는 타이밍 컨트롤러로부터의 극성 제어 신호에 응답하여, 수평 기간의 전반부에서 각 채널의 한 쌍의 데이터 전압 중 어느 한 극성의 데이터 전압을 해당 출력 채널로 출력하고, 수평 기간의 후반부에서 나머지 극성의 데이터 전압을 상기 해당 출력 채널로 출력한다. 차지 웨어링부는 타이밍 컨트롤러로부터의 차지 웨어링 제어 신호에 응답하여 데이터 드라이버의 출력 채널들을 쇼트시킨다.

[0011] 본 발명의 실시예에 따른 액정 표시 장치는 각 서브픽셀에 대응하는 데이터를 제1 극성 및 제2 극성을 갖는 한 쌍의 데이터 전압으로 변환하는 단계와, 수평 기간의 전반부에서, 상기 한 쌍의 데이터 전압 중 한 극성의 데이터 전압을 해당 서브픽셀에 공급하는 단계와, 상기 수평 기간의 후반부에서, 상기 한 쌍의 데이터 전압 중 나머지 극성의 데이터 전압을 상기 해당 서브픽셀에 공급하는 단계를 포함하고, 수평 기간의 전반부와 후반부 사이에서 데이터 드라이버의 출력 채널들을 쇼트시키는 단계를 추가로 포함할 수 있다.

[0012] 각 서브픽셀에서 제1 및 제2 극성의 데이터 전압을 충전하는 순서는, 수평 방향으로 인접한 서브픽셀의 충전 순서와 반대이고, 수직 방향으로 인접한 서브픽셀의 충전 순서와 반대이거나 동일하고, 프레임마다 바뀌게 된다.

발명의 효과

[0013] 본 발명의 실시예에 따른 액정 표시 장치 및 그 구동 방법은 각 서브픽셀에 데이터 전압이 출력되는 1 수평 기간을 시분할하여 제1 및 제2 극성을 갖는 한 쌍의 데이터 전압을 순차적으로 충전함으로써 구동 회로의 프레임 주파수를 증가시키지 않으면서도 프레임 주파수가 증가된 경우와 유사한 각 서브픽셀의 인버전 구동으로 고속 구동 효과를 얻을 수 있으므로 잔상 및 크로스토크를 저감할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예에 따른 액정 표시 장치를 나타낸 블록도이다.
- 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 인버전 구동 방식을 나타낸 도면이다.
- 도 3은 본 발명의 실시예에 따른 액정 표시 장치의 다른 인버전 구동 방식을 나타낸 도면이다.
- 도 4는 본 발명의 실시예에 따른 데이터 드라이버의 내부 구성을 나타낸 도면이다.
- 도 5는 도 4에 도시된 데이터 드라이버의 구동 파형도이다.
- 도 6은 도 4에 도시된 데이터 드라이버의 다른 구동 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 설명한다.
- [0016] 도 2는 본 발명의 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이다.
- [0017] 도 2에 도시된 액정 표시 장치는 액정 패널(40), 액정 패널(40)을 구동하는 데이터 드라이버(20) 및 게이트 드라이버(30), 데이터 드라이버(20) 및 게이트 드라이버(30)의 구동 타이밍을 제어하는 타이밍 컨트롤러(10), 데

이터 드라이버(20)로 기준 감마 전압들을 공급하는 감마 전압 생성부(50)를 구비한다.

- [0018] 액정 패널(40)은 컬러 필터 어레이가 형성된 컬러 필터 기판과, 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과, 컬러 필터 기판 및 박막 트랜지스터 기판 사이의 액정층과, 컬러 필터 기판 및 박막 트랜지스터 기판의 외측면에 각각 부착된 편광판을 구비한다. 액정층은 TN(Twisted Nematic) 모드 또는 VA(Vertical Alignment) 모드와 같이 수직 전계에 의해 구동되거나, IPS(In-Plane Switching) 모드 또는 FFS(Fringe Field Switching) 모드와 같이 수평 전계에 의해 구동된다.
- [0019] 액정 패널(40)은 픽셀들이 매트릭스 형태로 배열된 픽셀 어레이를 통해 영상을 표시한다. 픽셀 어레이의 각 픽셀은 적색(Red; 이하 R), 녹색(Green; 이하 G), 청색(Blue; 이하 B)의 3개 서브픽셀들로 구성되거나, 휘도 향상을 위한 백색(White; 이하 W) 서브픽셀이 추가된 R/W/B/G 서브픽셀들로 구성된다.
- [0020] 각 서브픽셀은 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)와 병렬 접속된 액정 커패시터(Clc) 및 스토리지 커패시터(Cst)를 구비한다. 액정 커패시터(Clc)는 박막 트랜지스터(TFT)를 통해 화소 전극에 공급된 데이터 신호와, 공통 전극에 공급된 공통 전압(Vcom)과의 차전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광투과율을 조절한다. 스토리지 커패시터(Cst)는 액정 커패시터(Clc)에 충전된 전압을 안정적으로 유지시킨다.
- [0021] 시스템(100)은 영상 데이터 및 타이밍 동기 신호를 타이밍 컨트롤러(10)로 공급한다. 시스템(100)은 스케일러(scaler)가 내장된 시스템 온 칩(System on Chip)을 포함하여 영상 데이터를 액정 패널(40)에 표시하기에 적합한 해상도 데이터 포맷으로 변환하여 출력한다. 예를 들면, 시스템(100)은 컴퓨터, TV 시스템, 셋탑 박스, 태블릿이나 휴대폰 등과 같은 휴대 단말기의 시스템 중 어느 하나일 수 있다.
- [0022] 타이밍 컨트롤러(10)는 LVDS(Low Voltage Differential Signal) 인터페이스나, DP(Display Port) 또는 eDP(embedded Display Port) 인터페이스 등과 같은 다양한 인터페이스를 이용하여 시스템(100)으로부터 영상 데이터 및 타이밍 신호들을 공급받는다.
- [0023] 예를 들면, 시스템(100) 및 타이밍 컨트롤러(10)는 전자기적 간섭(Electromagnetic Interference; EMI)을 저감하기 위하여, 낮은 전압의 차동 신호를 이용하여 데이터를 전송하는 LVDS 인터페이스를 이용하여 데이터를 송수신한다. 한 클럭당 전송되는 한 픽셀 단위의 LVDS 데이터 포맷은 RGB 3색 데이터와 적어도 하나의 타이밍 신호를 포함한다. 적어도 하나의 타이밍 신호는 데이터 인에이블 신호(DE), 수직 동기 신호(Vsync), 수평 동기 신호(Hsync)를 포함하거나, 수직 및 수평 동기 신호(Vsync, Hsync)는 생략할 수 있다.
- [0024] 타이밍 컨트롤러(10)는 화질 향상이나 소비 전력 감소를 위한 다양한 데이터 처리 방법을 이용하여 시스템(100)으로부터의 영상 데이터를 보정하여 데이터 드라이버(20)로 출력한다.
- [0025] 예를 들면, 타이밍 컨트롤러(10)는 액정의 응답 속도를 향상시키기 위하여 인접 프레임간의 데이터 차에 따라 룩업 테이블로부터 선택한 오버슈트(Overshoot) 값 또는 언더슈트(Undershoot) 값을 적용하여 영상 데이터를 오버드라이빙(Overdriving) 데이터로 보정하여 출력할 수 있다. 타이밍 컨트롤러(10)는 콘트라스트비를 향상시키거나 소비 전력을 감소시키기 위하여 영상 데이터의 휘도를 분석하고, 휘도 분석 결과에 따라 영상 데이터를 보정하여 출력할 수 있다. 액정 패널(40)의 픽셀이 R/W/B/G 서브픽셀들로 구성된 경우, 타이밍 컨트롤러(10)는 RGB 데이터를 RWBG 데이터로 변환하여 출력할 수 있다.
- [0026] 타이밍 컨트롤러(10)는 시스템(100)으로부터 입력되는 타이밍 신호들을 이용하여 데이터 드라이버(20) 및 게이트 드라이버(30)의 구동 타이밍을 각각 제어하는 데이터 제어 신호 및 게이트 제어 신호를 생성하여 데이터 드라이버(20) 및 게이트 드라이버(30)로 각각 공급한다. 타이밍 신호들은 클럭, 데이터 인에이블 신호, 수평 동기 신호, 수직 동기 신호를 포함한다. 수직 동기 신호 및 수평 동기 신호가 생략된 경우, 타이밍 컨트롤러(10)는 클럭 및 데이터 인에이블 신호를 이용한 입력 영상 데이터의 주파수 분석을 통해 수평 동기 신호 및 수직 동기 신호를 생성하여 이용할 수 있다.
- [0027] 타이밍 컨트롤러(10)로부터 데이터 드라이버(20)로 공급되는 데이터 제어 신호는 소스 스타트 펄스(Source Start Pulse; SSP), 소스 샘플링 클럭(Source Sampling Clock; SSC), 극성제어신호(Polarity Control; POL), 및 소스 출력 인에이블 신호(Source Output Enable; SOE), 차지 셰어링 제어 신호(Charge Sharing Control; CSC) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 드라이버(20)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 드라이버(20)에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(20)에서 래치부의 출력 타이밍을 제어한다. 극성 제어 신호(POL)는 데이터 드라이버(20)로부터 출력되는 데이터 전압의 극성 인버전 타이밍을 제

어한다. 차지 셰어링 제어 신호(CSC)는 데이터 드라이버(20)의 출력 채널들간의 차지 셰어링 온/오프를 제어한다.

[0028] 특히, 타이밍 컨트롤러(10)는 데이터 드라이버(20)가 각 출력 채널을 통해 한 서브픽셀에 대응하는 데이터 전압을 출력하는 한 수평 기간(1H)이, 정극성(+)의 데이터 전압이 공급되는 H/2 기간과, 부극성(-)의 데이터 전압이 공급되는 H/2 기간으로 시분할되도록, 극성 제어 신호(POL)의 논리를 각 수평 기간(1H)의 중간 시점에서 인버전시킨다. 이러한 극성 제어 신호(POL)의 논리는 H/2 기간 단위로 인버전되거나, 1H 기간 단위로 인버전될 수 있다. 데이터 드라이버(20)에서 각 채널을 통해 연속적으로 출력되는 데이터 전압의 극성 반전 주기는 극성 제어 신호(POL)의 논리 반전 주기에 의존한다. 한편, 데이터 드라이버(20)의 이웃한 채널들에서 동시에 출력되는 데이터 전압의 극성은 소정 도트 단위(예컨대, 1 도트 단위)로 반전되도록 미리 설정된다.

[0029] 차지 셰어링 제어 신호(CSC)는 데이터 드라이버(20)의 출력 채널들간의 차지 셰어링을 위하여, 각 출력 채널을 통해 출력되는 데이터 전압이 어느 한 극성에서 다른 극성으로 가변되거나, 다른 데이터 전압으로 가변되는 구간, 즉 H/2 기간마다 차지 셰어링 모드를 온시킬 수 있다. 이와 달리, 차지 셰어링 제어 신호(CSC)는 데이터 전압이 어느 한 극성에서 다른 극성으로 가변되는 1H기간마다 온될 수 있다.

[0030] 타이밍 컨트롤러(10)로부터 게이트 드라이버(30)로 공급되는 게이트 제어 신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC)을 포함하고, 게이트 출력 인에이블 신호(Gate Output Enable, GOE) 등을 더 포함하기로 한다. 게이트 스타트 펄스(GSP)는 1 프레임 기간 동안 그 프레임 기간의 시작과 동시에 1회 발생하여 첫번째 스캔 펄스를 발생시킨다. 게이트 쉬프트 클럭(GSC)은 쉬프트 레지스터를 구성하는 다수의 스테이지들에 입력되는 클럭 신호로써 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 게이트 출력 인에이블 신호(GOE)는 게이트 드라이버(30)의 출력을 제어한다. 게이트 제어 신호는 타이밍 컨트롤러(10)로부터 게이트 드라이버(30)로 공급되거나, 타이밍 컨트롤러(10)로부터 데이터 드라이버(20)를 경유하여 공급될 수 있다.

[0031] 타이밍 컨트롤러(10)와 데이터 드라이버(20)는 LVDS 인터페이스나, EPI, DP 또는 eDP 인터페이스 등과 같은 다양한 인터페이스를 이용하여 데이터를 송수신할 수 있다.

[0032] 예를 들면, 타이밍 컨트롤러(10)는 다양한 제어 정보 및 영상 데이터를 클럭을 포함하는 직렬 형태로 변환하여 패킷 단위로 포인트-투-포인트(Point-to-Point) 방식으로 전송하는 임베디드 포인트-투-포인트 인터페이스(Embedded Point-to-point Interface; EPI)를 이용한다. 타이밍 컨트롤러(10)는 EPI 프로토콜을 이용하여 제어 정보와, 영상 데이터를 클럭을 포함하는 EPI 패킷으로 변환하고 EPI 패킷을 데이터 드라이버(20)에 전송한다. 타이밍 컨트롤러(10)는 데이터 드라이버(20), 즉 다수의 데이터 IC 각각에 연결된 개별 전송 라인 쌍을 통해 EPI 패킷을 차동 신호 형태로 전송한다.

[0033] EPI 패킷은 클럭과 제어 정보를 직렬 형태로 포함하는 제어 패킷, 클럭과 RGB 또는 RWGB 중 어느 하나의 컬러 데이터를 직렬 형태로 포함하는 데이터 패킷 등을 포함하고, 데이터 IC의 내부 클럭 록킹(locking)을 위한 클럭 트레이닝 패턴을 더 포함한다. 제어 정보는 각 데이터 IC의 구동에 필요한 다수의 데이터 제어 신호들을 포함하고, 게이트 드라이버(30)로 전달해 주기 위한 다수의 게이트 제어 신호들을 포함하기도 한다.

[0034] 데이터 드라이버(20)를 구성하는 다수의 데이터 IC 각각은 타이밍 컨트롤러(10)로부터 개별적으로 전송된 EPI 패킷으로부터 클럭, 제어 정보, 영상 데이터를 복원하며, 영상 데이터를 아날로그 데이터 신호로 변환하여 표시 패널(40)의 데이터 라인들로 공급한다.

[0035] 데이터 드라이버(20)를 구성하는 다수의 데이터 IC 각각은 자신에게 내장되거나, 외부에 별도로 구비된 감마 전압 생성부(50)로부터 공급된 기준 감마 전압 세트를 영상 데이터의 계조값에 각각 대응하는 계조 전압들로 세분화한 다음, 세분화된 계조 전압들을 이용하여 각 수평 기간마다 각 서브픽셀의 디지털 데이터를 정극성(+) 및 부극성(-)을 각각 갖는 한 쌍의 데이터 전압으로 변환하고, 각 수평 기간을 시분할하여 해당 데이터 라인(DL)을 통해 해당 서브픽셀에 한 쌍의 데이터 전압을 순차 출력한다. 이에 따라, 타이밍 컨트롤러(10) 및 데이터 드라이버(20)는 "K"Hz (예를 들면, 60Hz, 120Hz) 프레임 주파수로 구동되면서도 액정 패널(40)의 각 서브 픽셀에는 "2K"Hz (예를 들면, 120Hz, 240Hz) 프레임 주파수로 정극성 및 부극성의 데이터 전압을 충전할 수 있다.

[0036] 데이터 드라이버(20)는 적어도 하나의 데이터 IC로 구성되어 TCP(Tape Carrier Package), COF(Chip On Film), FPC(Flexible Print Circuit) 등과 같은 회로 필름에 실장되어 액정 패널(40)에 TAB(Tape Automatic Bonding) 방식으로 부착되거나, COG(Chip On Glass) 방식으로 액정 패널(40) 상에 실장될 수 있다.

[0037] 게이트 드라이버(30)는 타이밍 컨트롤러(10)로부터 공급된 게이트 제어 신호에 응답하여 액정 패널(40)의 게이

트 라인(GL)을 순차 구동한다. 게이트 드라이버(30)는 각 게이트 라인(GL)에 해당 스캔 기간마다 게이트 온 전압의 스캔 펄스를 공급하고, 다른 게이트 라인(GL)이 구동되는 나머지 기간에는 게이트 오프 전압을 공급한다.

- [0038] 게이트 드라이버(30)는 적어도 하나의 게이트 IC로 구성되고 TCP, COF, FPC 등과 같은 회로 필름에 실장되어 액정 패널(40)에 TAB 방식으로 부착되거나, COG 방식으로 액정 패널(40) 상에 실장될 수 있다. 이와 달리, 게이트 드라이버(30)는 GIP(Gate In Panel) 방식으로 액정 패널(40)의 박막 트랜지스터 어레이와 함께 동일한 공정으로 박막 트랜지스터 기판 상에 형성되어 액정 패널(40)에 내장될 수 있다.
- [0039] 본 발명의 액정 표시 장치는 투과형 액정 표시 장치, 반투과형 액정 표시 장치, 반사형 액정 표시 장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정 표시 장치와 반투과형 액정 표시 장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0040] 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 인버전 구동 방식을 나타낸 도면이고, 도 3은 본 발명의 실시예에 따른 액정 표시 장치의 다른 인버전 구동 방식을 나타낸 도면이다.
- [0041] 도 2 및 도 3을 참조하면, 수평 라인들(L1~L4)들이 각각 스캔되는 1 수평 기간마다 각 서브픽셀에는 정극성(+) 및 부극성(-) 데이터 전압이 시분할되어 충전됨을 알 수 있다. 각 서브픽셀의 정극성(+) 및 부극성(-) 데이터 전압의 충전 순서는 수평 방향으로 인접한 서브픽셀과 상반되고, 프레임마다 인버전된다.
- [0042] 각 프레임에서 각 컬럼마다 수직 방향으로 연속되는 데이터 전압의 극성은 도 2와 같이 H/2 기간 단위로 논리가 인버전되는 극성 제어 신호(POL)의 제어에 응답하여 H/2 기간마다 인버전될 수 있다.
- [0043] 이와 달리, 도 3과 같이 각 프레임에서 각 컬럼마다 수직 방향으로 연속되는 데이터 전압의 극성은 각 수평 기간의 중간 시점에서 인버전되어 다음 수평 기간의 중간 지점까지 그 논리를 유지하는, 즉 1H 기간마다 반전되는 극성 제어 신호(POL)의 제어에 응답하여 1H 기간마다 인버전될 수 있다. 이 경우, 데이터 드라이버(20)로부터 출력되는 데이터 전압의 트랜지션 수가 감소되므로 소비 전력을 저감할 수 있다.
- [0044] 이와 같이, 데이터 드라이버(20)는 각 수평 기간을 시분할하여 각 서브픽셀이 정극성 및 부극성을 갖는 한 쌍의 데이터 전압을 순차적으로 충전함으로써 타이밍 컨트롤러(10) 및 데이터 드라이버(20)는 "K"Hz (예를 들면, 60Hz, 120Hz) 프레임 주파수로 구동되면서도 액정 패널(40)의 각 서브 픽셀에는 "2K"Hz (예를 들면, 120Hz, 240Hz) 프레임 주파수로 정극성 및 부극성의 데이터 전압을 충전할 수 있다. 따라서, 타이밍 컨트롤러(10) 및 데이터 드라이버(20)의 프레임 주파수를 증가시키지 않으면서도 각 서브픽셀의 인버전 주파수를 증가시켜 고속 구동할 수 있으므로 잔상 및 크로스토크를 저감할 수 있다.
- [0045] 도 4는 본 발명의 실시예에 따른 데이터 드라이버의 내부 구성을 나타낸 도면이다.
- [0046] 도 4에 도시된 데이터 드라이버는 수신부(210), 쉬프트 레지스터(220), 제1 및 제2 래치 어레이(230, 240), 디지털/아날로그 변환기(이하 DAC) 어레이(250), 출력 버퍼 어레이(260), 멀티플렉서(이하 MUX) 어레이(270), 차징 셰어링부(280)를 포함하고, 계조 전압 생성부(290)를 더 포함하기도 한다. 이러한 데이터 드라이버는 도 1에 도시된 데이터 드라이버(20)에 적용되거나, 다수의 데이터 IC 각각에 적용될 수 있다.
- [0047] 수신부(210)는 타이밍 컨트롤러(10)로부터 LVDS 인터페이스나, EPI, DP 또는 eDP 인터페이스 등과 같은 다양한 인터페이스 기술로 공급된 신호들을 수신하고, 수신 신호로부터 영상 데이터(VD) 및 데이터 제어 신호들(SSP, SSC, SOE, POL, CSC)를 복원하여 출력한다.
- [0048] 쉬프트 레지스터(220)는 수신부(210)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 따라 쉬프트시키면서 샘플링 신호들을 순차 출력한다.
- [0049] 제1 래치 어레이(230)는 쉬프트 레지스터(220)로부터 순차적으로 입력되는 샘플링 신호에 응답하여 수신부(210)로부터 입력되는 영상 데이터(VD)를 순차적으로 래치하고, 1 수평 라인분의 데이터가 모두 래치되면, 1 수평 라인분의 데이터를 제2 래치 어레이(240)로 출력한다. 제1 래치 어레이(230)는 쉬프트 레지스터(220)로부터의 각 샘플링 신호마다 오드 및 이븐 픽셀의 영상 데이터를 샘플링하여 래치할 수 있다.
- [0050] 제2 래치 어레이(240)는 수신부(210)로부터의 소스 출력 인에이블 신호(SOE)에 응답하여 제1 래치 어레이(230)로부터 입력되는 1 수평 라인분의 영상 데이터를 래치하여 DAC 어레이(240)로 동시에 출력한다.
- [0051] 계조 전압 생성부(290)는 감마 전압 생성부(50)로부터의 기준 감마 전압 세트를 영상 데이터의 계조값에 각각 대응하는 정극성 및 부극성 계조 전압들로 세분화한 다음, 세분화된 정극성 및 부극성 계조 전압들을 DAC 어레이

이(250)로 출력한다.

- [0052] DAC 어레이(250)는 계조 전압 생성부(290)로부터 공급된 정극성 및 부극성 계조 전압들을 이용하여 제2 래치 어레이(240)로부터 공급된 각 채널의 영상 데이터를 정극성 및 부극성 데이터 전압으로 변환하여 출력한다. 이를 위하여, DAC 어레이(250)는 각 채널마다 한 쌍의 DAC, 즉 정극성-DAC(이하 PDAC) 및 부극성-DAC(이하 NDAC)을 구비한다. PDAC은 계조 전압 생성부(290)로부터의 정극성 계조 전압들(감마 하이 전압들)을 이용하여 영상 데이터를 정극성 데이터 전압으로 변환하여 출력한다. NDAC은 계조 전압 생성부(290)로부터의 부극성 계조 전압들(감마 로우 전압들)을 이용하여 영상 데이터를 부극성 데이터 전압으로 변환하여 출력하는 부극성-DAC(이하 NDAC)을 구비한다.
- [0053] 출력 버퍼 어레이(260)는 각 채널마다 한 쌍의 출력 버퍼, 즉 정극성 출력 버퍼(PB) 및 부극성 출력 버퍼(NB)를 구비한다. 정극성 출력 버퍼(PB)는 PDAC으로부터 공급되는 정극성 데이터 전압을 버퍼링하여 출력한다. 부극성 출력 버퍼(NB)는 NDAC으로부터 공급되는 부극성 데이터 전압을 버퍼링하여 출력한다. 정극성 출력 버퍼(PB)는 제1 고전위 전원(VDD) 및 중간 전위 전원(HVDD)을 이용하여 PDAC으로부터의 정극성 데이터 전압에 상응하는 전압을 출력한다. 부극성 출력 버퍼(NB)는 중간 전위 전원(HVDD) 및 저전위 전원(VSS)을 이용하여 NDAC으로부터의 부극성 데이터 전압에 상응하는 전압을 출력한다.
- [0054] MUX 어레이(270)에서 각 채널마다 구비된 MUX는 수신부(210)로부터의 극성 제어 신호(POL)에 응답하여 정극성 출력 버퍼(PB) 및 부극성 출력 버퍼(NB)의 출력을 선택적으로 출력 채널(CH)로 공급한다. MUX는 출력 버퍼(PB, NB)의 출력 라인과 각각 접속된 제1 및 제2 스위치(S1, S2)를 구비하고, 제1 및 제2 스위치(S1, S2)는 극성 제어 신호(POL)와 인버터에 의해 반전된 극성 제어 신호(/POL)에 의해 각각 제어된다. MUX는 각 수평 기간을 시분할하는 극성 제어 신호(POL)에 응답하여 정극성 출력 버퍼(PB)로부터의 정극성 데이터 전압과, 부극성 출력 버퍼(NB)로부터의 부극성 데이터 전압을 순차적으로 또는 역순차적으로 출력 채널(CH)로 공급한다. MUX는 각 수평 기간의 중간 지점에서 인버전되는 극성 제어 신호(POL)에 응답하여, 각 수평기간의 전반부에서 정극성 출력 버퍼(PB)로부터의 정극성 데이터 전압을, 후반부에서 부극성 출력 버퍼(NB)로부터의 부극성 데이터 전압을 출력하거나, 각 수평기간의 전반부에서 부극성 출력 버퍼(NB)로부터의 부극성 데이터 전압을, 후반부에서 정극성 출력 버퍼(PB)로부터의 정극성 데이터 전압을 출력한다. 이때, MUX는 인접한 MUX와 데이터 전압의 극성이 상반되게 출력한다.
- [0055] 차지 웨어링부(280)는 수신부(210)로부터의 차지 웨어링 제어 신호(CSC)에 의해 제어되는 제3 스위치(S3)를 각 채널마다 구비하여, 차지 웨어링 제어 신호(CSC)의 온 구간에서 모든 출력 채널(CH1~CHn)을 쇼트시킴으로써, 데이터 라인들에 충전된 전하들을 차징 웨어링하여 데이터 라인들이 평균 전위(즉, 중간 전위)로 충전되게 한다. 제3 스위치(S3)는 극성 제어 신호(POL)의 논리 인버전에 따라 각 출력 채널의 데이터 전압의 극성이 인버전되는 구간에서 차지 웨어링 제어 신호(CSC)에 응답하여 턴-온된다. 또한, 제3 스위치(S3)는 출력 인에이블 신호(SOE)의 디세이블 구간과 오버랩하는 차지 웨어링 제어 신호(CSC)에 응답하여 수평 기간들 사이마다 더 턴-온될 수 있다.
- [0056] 도 5는 도 4에 도시된 데이터 드라이버의 구동 파형도이다.
- [0057] 도 5는 제1 내지 제3 게이트 라인(G1, G2, G3)이 순차적으로 구동되는 제1 내지 제3 수평 기간(H1, H2, H3)에서의 데이터 드라이버의 구동 파형을 예시한 것이다.
- [0058] 도 5를 참조하면, 소스 출력 인에이블 신호(SOE)는 기존과 동일하게 1H 주기를 갖지만, 차지 웨어링 제어 신호(CSC)는 H/2 주기, 즉 소스 출력 인에이블 신호(SOE)의 2배 주파수를 갖고, 극성 제어 신호(POL)는 H/2 기간마다 인버전된다. 극성 제어 신호(POL)는 차지 웨어링 제어 신호(CSC)의 라이징 타이밍과 동기하여 논리 인버전된다.
- [0059] 이에 따라, 소스 출력 인에이블 신호(SOE)에 응답하여 제2 래치 어레이(240)로부터 DAC 어레이(250)로 출력되는 각 채널의 데이터는 1H 기간동안 유지되지만, H/2기간 단위로 논리 인버전되는 극성 제어 신호(POL)의 제어에 응답하여 각 채널의 동일 데이터에 대한 데이터 전압의 극성만 인버전되어 출력된다. 이때, 차징 웨어링 제어 신호(CSC)에 응답하여 데이터 전압의 극성이 인버전되는 구간마다 데이터 드라이버의 출력 채널들은 차징 웨어링된다.
- [0060] 도 6는 도 4에 도시된 데이터 드라이버의 다른 구동 파형도이다.
- [0061] 도 6은 도 5와 대비하여, 극성 제어 신호(POL)가 1H 기간 단위로 논리 인버전된다는 점에서 차이가 있다. 이에 따라, 각 수평 기간의 후반부는 다음 수평 기간의 전반부와 데이터 전압의 극성을 동일하게 유지할 수 있다. 이

경우, 데이터 드라이버로부터 출력되는 데이터 전압의 트랜지션 수가 감소되므로 소비 전력을 저감할 수 있다.

[0062] 이상 설명한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치 및 그 구동 방법은 각 서브픽셀에 데이터 전압이 출력되는 1 수평 기간을 시분할하여 제1 및 제2 극성을 갖는 한 쌍의 데이터 전압을 순차적으로 충전함으로써 구동 회로의 프레임 주파수를 증가시키지 않으면서도 프레임 주파수가 증가된 경우와 유사한 각 서브픽셀의 인버전 구동으로 고속 구동 효과를 얻을 수 있으므로 잔상 및 크로스토크를 저감할 수 있다.

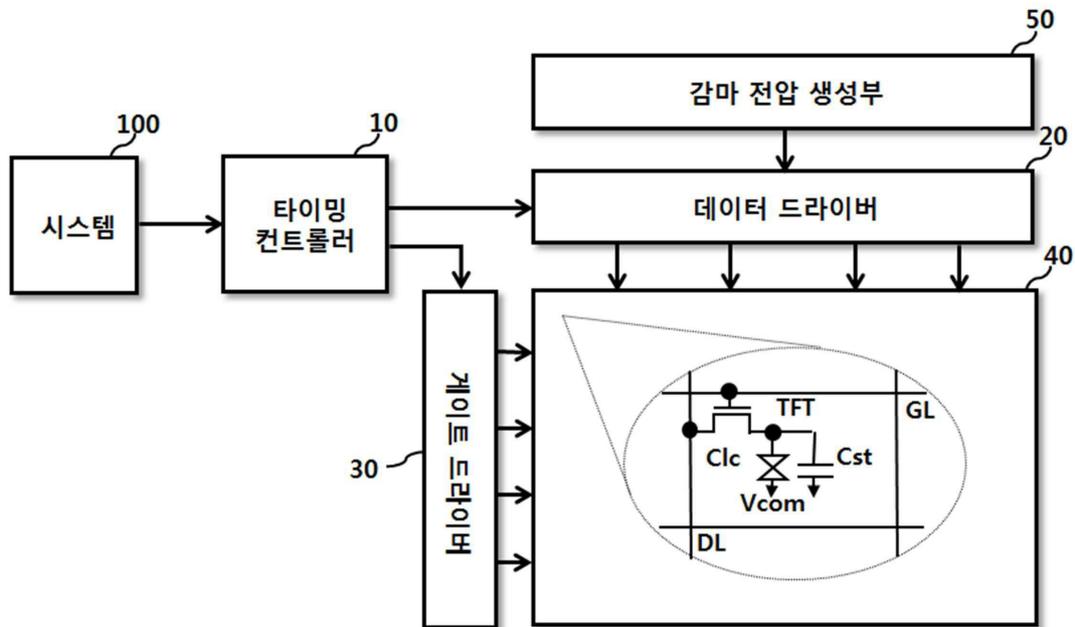
[0063] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

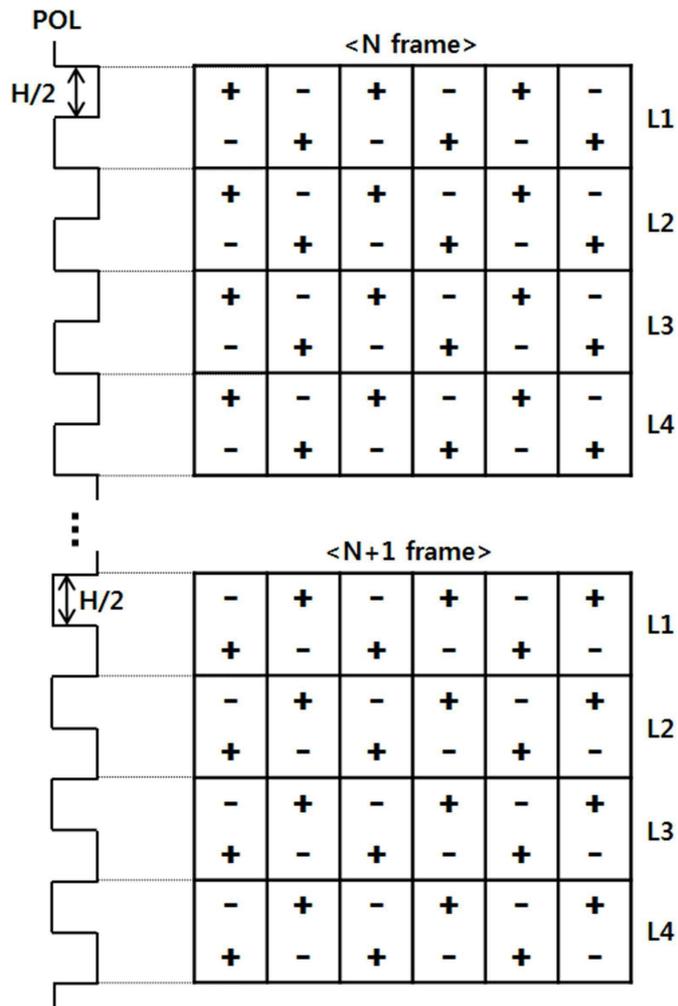
- | | | |
|--------|----------------|----------------|
| [0064] | 10: 타이밍 컨트롤러 | 20: 데이터 드라이버 |
| | 30: 게이트 드라이버 | 40: 액정 패널 |
| | 50: 감마 전압 생성부 | 100: 시스템 |
| | 210: 수신부 | 220: 쉬프트 레지스터 |
| | 230: 제1 래치 어레이 | 240: 제2 래치 어레이 |
| | 250: DAC 어레이 | 260: 출력 버퍼 어레이 |
| | 270: MUX 어레이 | 280: 차지 셰어링부 |
| | 290: 계조 전압 생성부 | |

도면

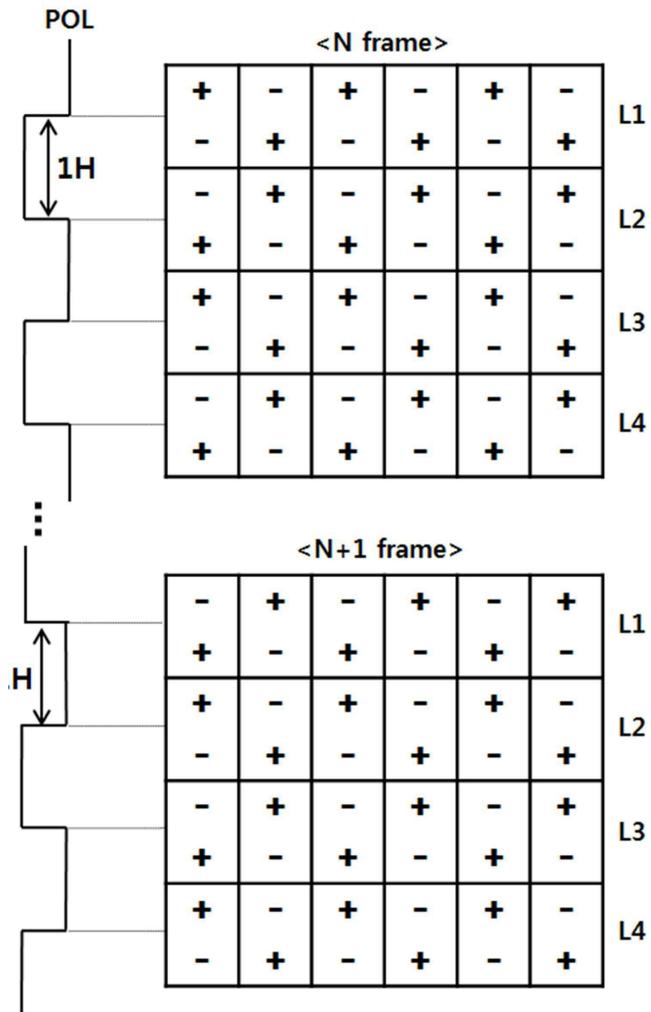
도면1



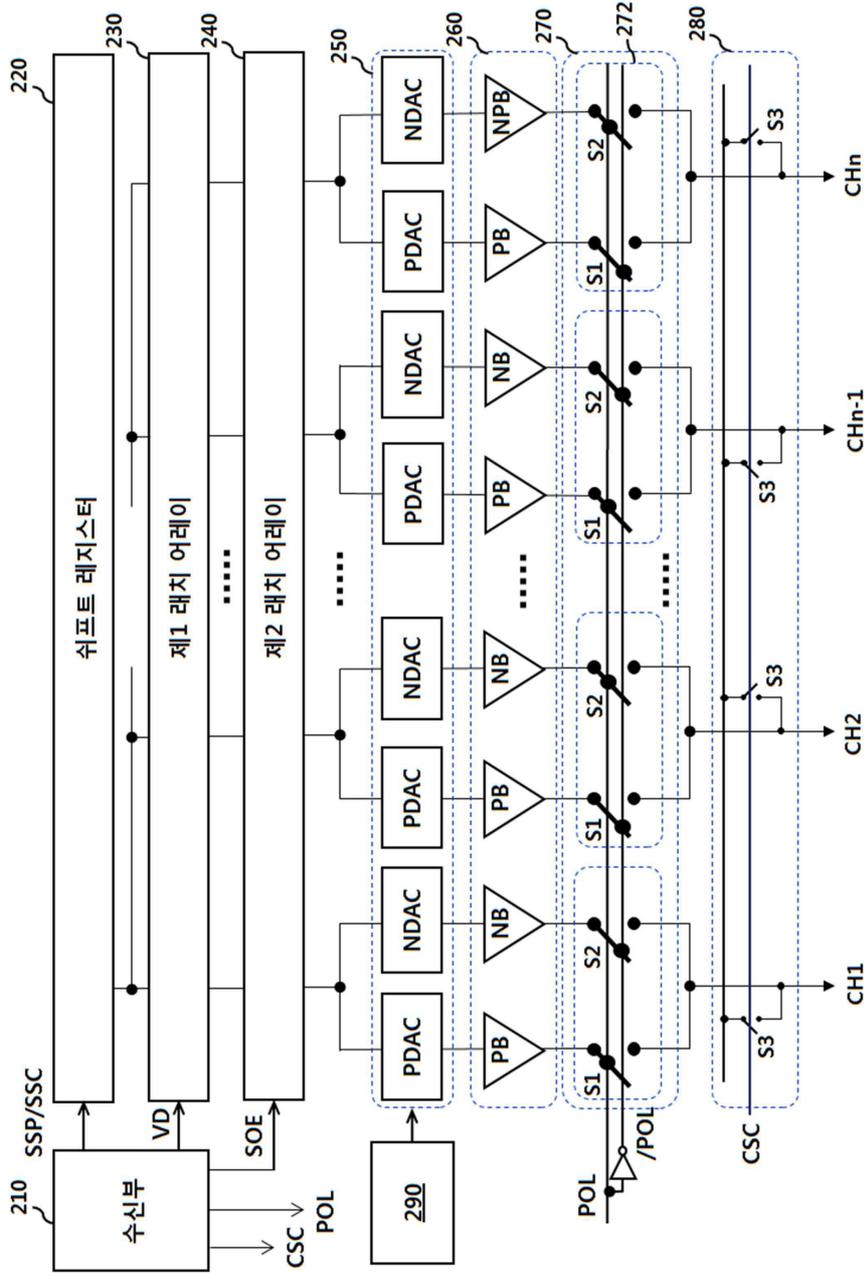
도면2



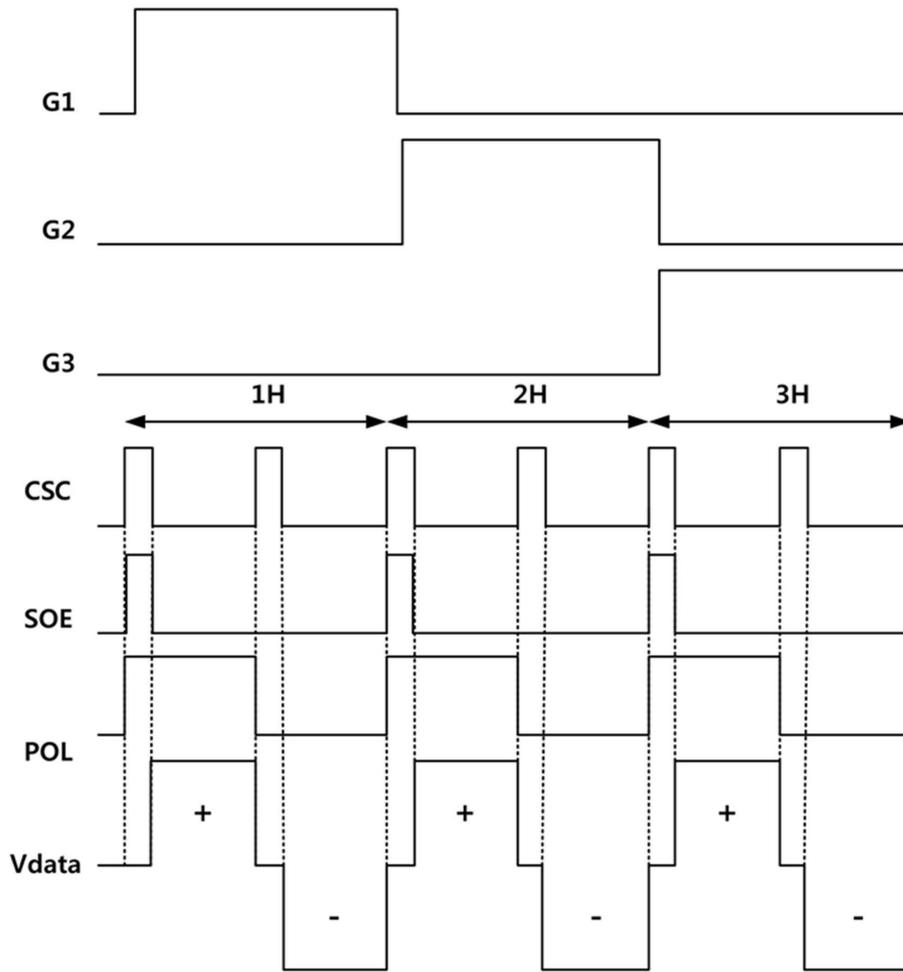
도면3



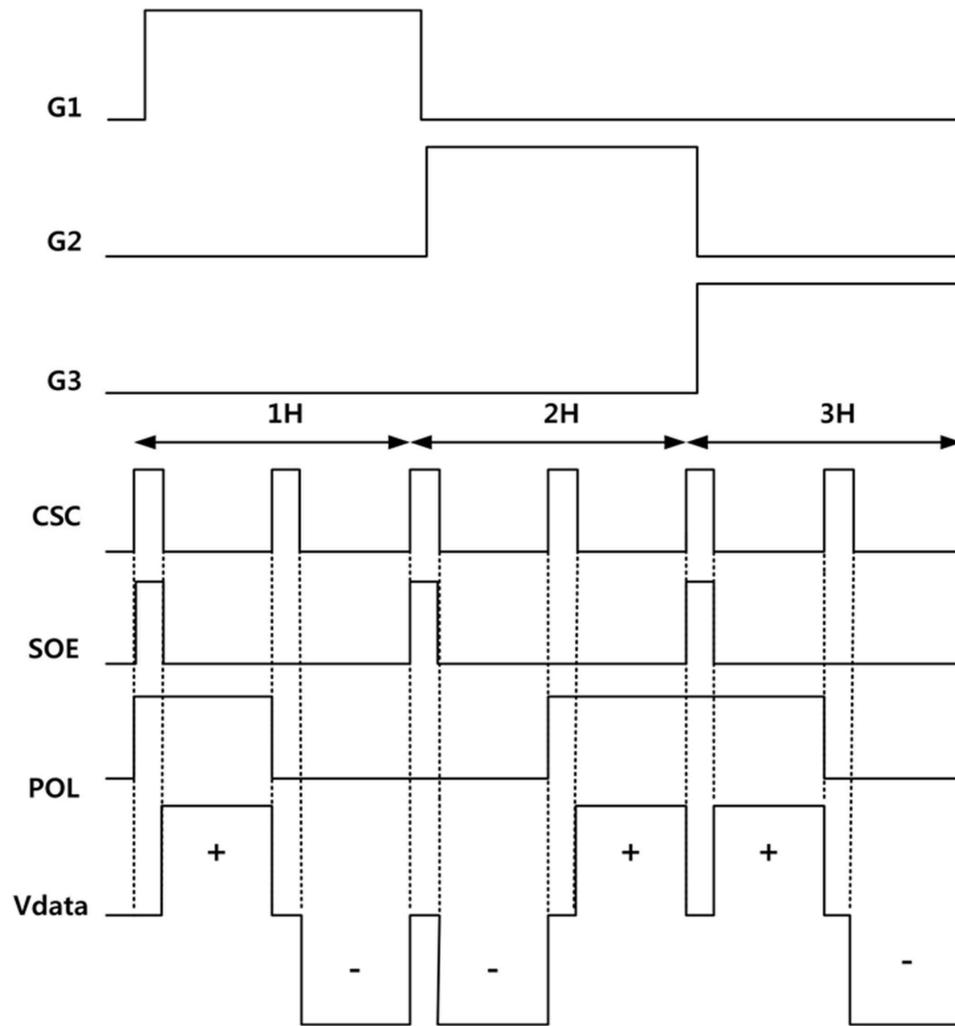
도면4



도면5



도면6



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020170025650A	公开(公告)日	2017-03-08
申请号	KR1020150122415	申请日	2015-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM DAE KYUNG 임대경		
发明人	임대경		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/08 G09G2320/0209 G09G2320/0257		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

该基金会由液晶显示装置和驱动方法技术领域本发明涉及一种液晶显示装置和驱动方法，其能够通过减少余像和串扰而不增加帧频来提高图像质量。根据本发明实施例的数据驱动器包括数据驱动器。并且，第一极性的数据电压和与数据信号对应的第二极性的极性，并且将数据电压顺序地提供给水平周期。

