



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0111013
(43) 공개일자 2013년10월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2012-0033447
(22) 출원일자 2012년03월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
황정태
경기도 파주시 문산읍 자연엔꿈에그린아파트 602동 1401호
박청훈
경기도 파주시 월롱면 덕은리 파주LCD산업단지 1007, 정다운 마을 102-219
한화동
경기도 고양시 일산서구 주엽1동 강선마을9단지아파트 909동 707호
(74) 대리인
서교준

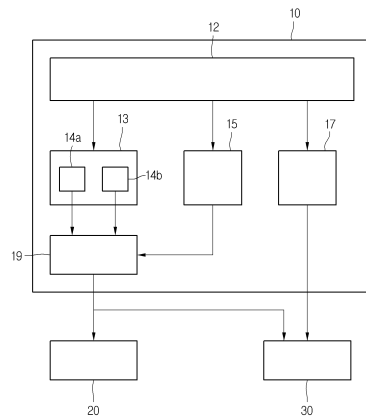
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 액정표시장치

(57) 요약

실시 예에 따른 액정표시장치는, 게이트 제어신호 및 데이터 제어신호를 포함하는 제어신호와 극성신호를 생성하는 타이밍 컨트롤러; 상기 게이트 제어신호에 의해 게이트 라인으로 게이트 신호를 인가하는 게이트 드라이버; 상기 데이터 제어신호에 의해 데이터 라인으로 데이터 전압을 인가하는 데이터 드라이버; 및 상기 게이트 라인 및 데이터 라인이 형성된 액정패널을 포함하고, 상기 타이밍 컨트롤러는 상기 극성신호에 의한 극성별로 서로 다른 제어신호를 생성한다.

대표도 - 도4



특허청구의 범위

청구항 1

게이트 제어신호 및 데이터 제어신호를 포함하는 제어신호와 극성신호를 생성하는 타이밍 컨트롤러;
 상기 게이트 제어신호에 의해 게이트 라인으로 게이트 신호를 인가하는 게이트 드라이버;
 상기 데이터 제어신호에 의해 데이터 라인으로 데이터 전압을 인가하는 데이터 드라이버; 및
 상기 게이트 라인 및 데이터 라인이 형성된 액정패널을 포함하고,
 상기 타이밍 컨트롤러는 상기 극성신호에 의한 극성별로 서로 다른 제어신호를 생성하는 액정표시장치.

청구항 2

제1항에 있어서,
 상기 타이밍 컨트롤러는
 상기 제어신호를 생성하는 제어신호 생성부;
 상기 극성신호를 생성하는 극성신호 생성부; 및
 디지털 데이터를 처리하는 데이터 처리부를 포함하고,
 상기 제어신호 생성부는,
 양극성의 제어신호를 생성하는 양극성 제어신호 생성부; 및
 음극성의 제어신호를 생성하는 음극성 제어신호 생성부를 포함하는 액정표시장치.

청구항 3

제2항에 있어서,
 상기 양극성 제어신호 생성부는 양극성 게이트 제어신호를 생성하고,
 상기 음극성 제어신호 생성부는 음극성 게이트 제어신호를 생성하며,
 상기 양극성 게이트 제어신호와 음극성 게이트 제어신호는 상기 게이트 드라이버에서 출력되는 상기 게이트 신호의 하이 레벨 유지시간이 상이하도록 제어되는 액정표시장치.

청구항 4

제3항에 있어서,
 상기 게이트 신호의 하이 레벨 유지시간은 상기 양극성 게이트 제어신호 및 음극성 게이트 제어신호의 서로 다른 폭을 갖는 게이트 출력 이네이블 신호로 제어되는 액정표시장치.

청구항 5

제2항에 있어서,
 상기 양극성 제어신호 생성부는 양극성 데이터 제어신호를 생성하고,
 상기 음극성 제어신호 생성부는 음극성 데이터 제어신호를 생성하며,
 상기 양극성 데이터 제어신호와 음극성 데이터 제어신호는 상기 데이터 드라이버에서 출력되는 상기 데이터 전압의 상승 에지 시점이 상이하도록 제어되는 액정표시장치.

청구항 6

제5항에 있어서,

상기 데이터 전압의 상승 에지 시점은 상기 양극성 데이터 제어신호 및 음극성 데이터 제어신호의 상이한 상승 에지 시점으로 제어되는 액정표시장치.

청구항 7

제2항에 있어서,
 상기 데이터 처리부는,
 양극성 디지털 데이터를 생성하는 양극성 데이터 처리부; 및
 음극성 디지털 데이터를 생성하는 음극성 데이터 처리부를 포함하고,
 상기 양극성 디지털 데이터와 음극성 디지털 데이터는 상기 데이터 드라이버에서 출력되는 상기 데이터 전압의 진폭이 상이하도록 처리되는 액정표시장치.

청구항 8

제7항에 있어서,
 상기 데이터 전압의 진폭은 상기 양극성 디지털 데이터와 음극성 디지털 데이터의 상이한 변조비율로 제어되는 액정표시장치.

청구항 9

제2항에 있어서,
 상기 타이밍 컨트롤러는 상기 극성신호에 따라 상기 양극성 제어신호 또는 음극성 제어신호를 출력하는 출력부를 더 포함하는 액정표시장치.

청구항 10

제9항에 있어서,
 상기 출력부는 상기 게이트 드라이버에 형성되는 액정표시장치.

청구항 11

제9항에 있어서,
 상기 출력부는 상기 데이터 드라이버에 형성되는 액정표시장치.

청구항 12

제1항에 있어서,
 전원전압을 분압하여 다수의 감마전압을 생성하여 데이터 드라이버로 공급하는 감마 생성부를 더 포함하고,
 상기 감마 생성부는,
 다수의 양극성 감마전압을 생성하는 양극성 감마 생성부; 및
 다수의 음극성 감마전압을 생성하는 음극성 감마 생성부를 포함하고,
 상기 다수의 양극성 감마전압 및 다수의 음극성 감마전압은 상기 데이터 드라이버에서 출력되는 상기 데이터 전압의 진폭이 상이하도록 제어되는 액정표시장치.

청구항 13

제12항에 있어서,
 상기 다수의 양극성 감마전압 및 상기 다수의 음극성 감마전압은 서로 다른 레벨을 가지는 액정표시장치.

청구항 14

제12항에 있어서,

상기 데이터 전압의 진폭은 상기 양극성 감마 생성부 및 음극성 감마 생성부의 상이한 증폭비율에 따라 제어되는 액정표시장치.

청구항 15

제1항에 있어서,

상기 액정패널은 프레임별로 극성이 변화하는 프레임 인버전 방식으로 구동되는 액정표시장치.

명세서

기술분야

[0001] 실시 예는 액정표시장치에 관한 것이다.

배경기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가되고 있다. 종래의 음극선관 표시장치(CRT)에 비해 박형, 경량화된 액정표시장치(LCD), 플라즈마표시장치(PDP) 또는 유기전계 발광소자(OLED)를 포함하는 평판표시장치가 활발하게 연구 및 제품화되고 있다. 이 중에서 액정표시장치는 소형화, 경량화, 박형화 및 저전력 구동의 장점이 있어 현재 널리 사용되고 있다.

[0003] 상기 액정표시장치는 액정표시패널 상의 액정 셀의 광 투과율을 데이터의 계조값에 따라 조절하여 화상을 표시한다. 상기 액정표시패널에 배열된 액정 셀에 직류 전압이 장시간 인가되는 경우 액정 셀의 열화가 일어날 수 있다. 이러한 직류 고착화는 액정표시패널 상에 표시되는 화상에 잔상이 나타나게 하여 화상의 질을 저하시키는 원인으로 작용한다.

[0004] 상기 직류 고착화를 방지하기 위한 방안으로 액정표시패널의 액정 셀에 공급될 데이터 전압이 공통 전압을 기준으로 반전되게 하는 인버전 방식의 액정표시장치가 제안되었다.

[0005] 도 1은 종래의 액정표시패널의 프레임 인버전 구동방식을 나타낸 도면이다.

[0006] 도 1을 참조하면 종래의 프레임 인버전 방식으로 구동되는 액정표시패널은 첫 번째 프레임에서의 모든 액정 셀에는 양극성의 데이터 전압이 인가되고, 두 번째 프레임에서의 모든 액정 셀에는 음극성의 데이터 전압이 인가될 수 있다.

[0007] 상기 프레임 인버전 방식으로 구동되는 액정표시패널은 프레임마다 데이터 전압의 극성이 반전되어 N번째 프레임에 양극성의 데이터 전압이 인가되는 경우 N+1번째 프레임에 음극성의 데이터 전압이 인가된다. 상기 프레임 인버전 방식으로 구동되는 경우 액정표시패널을 구성하는 액정 셀의 열화를 방지할 수 있다.

[0008] 도 2는 종래의 프레임 인버전 방식으로 구동되는 액정표시장치의 게이트 전압, 데이터 전압 및 화소 전압을 나타낸 파형도이다.

[0009] 도 2는 액정표시장치가 N번째 프레임의 화소전극 충전특성으로 최적화된 경우의 파형도를 나타낸다.

[0010] 도 2a는 양극성의 데이터 전압이 인가되는 경우의 파형도를 나타내고, 도 2b는 음극성의 데이터 전압이 인가되는 경우의 파형도를 나타낸다.

[0011] 도 2a를 참조하면 이상적인 액정표시장치의 경우 게이트 전압 및 데이터 전압이 구형파 형상으로 입력되어 화소 전극을 충전시키지만, 내부 저항에 의한 RC지연에 의해 게이트 전압 및 데이터 전압에 지연이 발생한다.

[0012] 상기 게이트 전압(Vg)이 하이 레벨로 인가되는 경우 데이터 라인에 인가된 데이터 전압(Vdata)에 의해 상기 화소 전극이 화소전압(Vp)으로 충전될 수 있다.

[0013] 이 경우 게이트 전압(Vg)의 하강에 의한 데이터 전압(Vdata)의 신호간섭이 작아 상기 화소 전극에 화소 전압(Vp)이 설계치와 비교하여 오차범위 내로 충전될 수 있다.

[0014] 도 2b의 A부분을 참조하면, 게이트 전압(Vg)이 하이 레벨에서 로우 레벨로 변화하는 하강기간에서 데이터 전압(Vdata) 또한 하강기간이 존재한다.

[0015] 다시 말해, 게이트 전압(Vg)에 의해 박막 트랜지스터의 온 상태에서 데이터 전압(Vdata)의 하강이 일어나는 신호간섭이 일어난다. 상기 신호간섭에 의해 화소 전극에 충전되는 화소 전압(Vp)이 설계치보다 작은 값으로 충전되어 휘도감소에 따른 명암비 감소, 플리커등의 잔상 문제가 발생하여 디스플레이 화질 특성을 감소시키는 문제가 있다.

발명의 내용

해결하려는 과제

[0016] 실시 예는 휘도개선에 따른 명암비 개선을 통해 화상품질을 향상시킬 수 있는 액정표시장치를 제공한다.

[0017] 실시 예는 플리커를 방지하여 화상품질을 향상시킬 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0018] 실시 예에 따른 액정표시장치는, 게이트 제어신호 및 데이터 제어신호를 포함하는 제어신호와 극성신호를 생성하는 타이밍 컨트롤러; 상기 게이트 제어신호에 의해 게이트 라인으로 게이트 신호를 인가하는 게이트 드라이버; 상기 데이터 제어신호에 의해 데이터 라인으로 데이터 전압을 인가하는 데이터 드라이버; 및 상기 게이트 라인 및 데이터 라인이 형성된 액정패널을 포함하고, 상기 타이밍 컨트롤러는 상기 극성신호에 의한 극성별로 서로 다른 제어신호를 생성한다.

발명의 효과

[0019] 실시 예에 따른 액정표시장치는 극성별로 다른 제어신호를 생성하여 데이터 전압에 의한 신호간섭을 제거하여 화상품질을 향상시킬 수 있다.

[0020] 실시 예에 따른 액정표시장치는 극성별로 다른 변조비율로 비디오 데이터를 변조하여 신호간섭을 제거할 수 있어 휘도를 개선하고 이에 따라 명암비를 향상시킬 수 있다.

[0021] 실시 예에 따른 액정표시장치는 극성별로 다른 증폭비율로 감마전압을 생성하여 신호간섭을 제거하여 플리커등의 잔상을 방지할 수 있다.

도면의 간단한 설명

[0022] 도 1은 종래의 액정표시패널의 프레임 인버전 구동방식을 나타낸 도면이다.

도 2는 액정표시장치가 N번째 프레임의 화소전극 충전특성으로 최적화된 경우의 파형도를 나타낸다.

도 3은 실시 예에 따른 액정표시장치를 나타낸 블록도이다.

도 4는 제1 실시 예 및 제2 실시 예에 따른 액정표시장치의 타이밍 컨트롤러를 나타낸 블록도이다.

도 5는 제1 실시 예에 따른 액정표시장치의 게이트 전압, 데이터 전압 및 화소 전압을 나타낸 파형도이다.

도 6은 제2 실시 예에 따른 액정표시장치의 게이트 전압, 데이터 전압 및 화소 전압을 나타낸 파형도이다.

도 7은 제3 실시 예에 따른 액정표시장치의 타이밍 컨트롤러를 나타낸 도면이다.

도 8은 제4 실시 예에 따른 액정표시장치의 타이밍 컨트롤러 및 감마 생성부를 나타낸 도면이다.

도 9는 제3 실시 예 및 제4 실시 예에 따른 액정표시장치의 게이트 전압, 데이터 전압 및 화소 전압을 나타낸 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 도 3은 실시 예에 따른 액정표시장치를 나타낸 블록도이다.

[0024] 도 3을 참조하면 실시 예에 따른 액정표시장치는 액정표시패널(1), 타이밍 컨트롤러(10), 게이트 드라이버(20), 데이터 드라이버(30), 전원부(40) 및 감마 생성부(50)를 포함할 수 있다.

[0025] 상기 액정표시패널(1)에는 다수의 게이트 라인(GL1 내지 GLn)이 형성될 수 있고, 상기 다수의 게이트 라인(GL1 내지 GLn)과 교차하는 방향으로 다수의 데이터 라인(DL1 내지 DLm)이 형성될 수 있다. 상기 다수의 게이트 라인

(GL1 내지 GLn) 및 다수의 데이터 라인(DL1 내지 DLm)의 교차에 의해 화소 영역이 정의되며, 상기 화소 영역에는 박막 트랜지스터(11)가 형성될 수 있다.

- [0026] 상기 박막 트랜지스터(11)는 상기 게이트 라인 및 상기 데이터 라인과 전기적으로 연결될 수 있다. 상기 박막 트랜지스터(11)의 게이트 전극은 상기 게이트 라인과 전기적으로 연결될 수 있고, 상기 박막 트랜지스터(11)의 소스전극과 전기적으로 연결되고, 상기 박막 트랜지스터(11)의 드레인 전극은 화소영역에 형성되는 화소 전극과 전기적으로 연결될 수 있다. 상기 박막 트랜지스터(11)는 상기 게이트 라인에 의해 인가되는 게이트 신호에 의해 상기 데이터 라인으로부터의 데이터 전압이 화소 전극으로 인가되어 전계를 형성하여 액정을 변위시켜 상기 액정이 광의 투과율을 조절하여 화상을 표시한다.
- [0027] 상기 타이밍 컨트롤러(10)는 외부 인터페이스를 통해 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직동기신호(H,V) 및 클럭신호(CLK)를 입력받고 상기 게이트 드라이버(20)를 제어하기 위한 게이트 제어신호 및 상기 데이터 드라이버(30)를 제어하기 위한 데이터 제어신호를 발생한다. 상기 타이밍 컨트롤러(10)에 대한 상세한 설명에 대해서는 후술한다.
- [0028] 상기 게이트 제어신호는 상기 게이트 드라이버(20)로 공급되고, 상기 데이터 제어신호 및 디지털 비디오 데이터(RGB)는 상기 데이터 드라이버(30)로 공급된다.
- [0029] 상기 게이트 드라이버(20)는 상기 타이밍 컨트롤러(10)로부터 입력되는 게이트 제어신호들에 응답하여 액정표시패널(1) 상에 배열된 박막 트랜지스터(11)들의 온/오프 제어를 수행한다. 상기 액정표시패널(1) 상의 게이트 라인을 1수평 동기 시간씩 순차적으로 이네이블 시킴으로써 상기 액정표시패널(1) 상의 박막 트랜지스터(11)들을 1라인 분씩 순차적으로 구동시켜 상기 데이터 드라이버(30)로부터 공급되는 데이터 전압들이 각 박막 트랜지스터(11)에 접속된 화소전극으로 인가되도록 한다.
- [0030] 상기 데이터 드라이버(30)는 상기 데이터 제어신호 및 디지털 비디오 데이터(RGB)를 공급받아 상기 다수의 데이터 라인(DL1 내지 DLm)으로 데이터 전압을 인가할 수 있다.
- [0031] 상기 전원부(40) 상기 액정표시장치를 구동함에 있어서 필요한 직류 구동전압들을 생성하여 상기 타이밍 컨트롤러(10), 게이트 드라이버(20), 데이터 드라이버(30) 및 감마 생성부(50)에 공급할 수 있다.
- [0032] 상기 감마 생성부(50)는 상기 전원부(40)로부터 인가받은 전원전압을 분압하여 감마전압을 생성하여 상기 데이터 드라이버(30)로 공급할 수 있다.
- [0033] 도 4는 제1 실시 예에 따른 액정표시장치의 타이밍 컨트롤러를 나타낸 블록도이다.
- [0034] 도 4를 참조하면 제1 실시 예에 따른 액정표시장치의 타이밍 컨트롤러(10)는 입력부(12), 제어신호 생성부(13), 극성신호 생성부(15), 데이터 처리부(17) 및 출력부(19)를 포함할 수 있다.
- [0035] 상기 입력부(12)는 외부 인터페이스로부터 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직동기신호(H,V) 및 클럭신호(CLK)를 입력받아 상기 신호를 상기 제어신호 생성부(13), 극성신호 생성부(15) 및 데이터 처리부(17)로 전달할 수 있다.
- [0036] 상기 제어신호 생성부(13)는 상기 입력부(12)로부터 상기 수평동기신호(H), 수직동기신호(H,V) 및 클럭신호(CLK)를 입력받아 게이트 제어신호 및 데이터 제어신호를 생성하여 출력부(19)로 출력할 수 있다.
- [0037] 상기 게이트 제어신호는 예컨대, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 이네이블(GOE: Gate Output Enable)을 포함할 수 있다. 상기 게이트 스타트 펄스(GSP)는 한 프레임에서 상기 액정표시패널(1)의 첫 번째 게이트 라인의 구동시작 시점을 제어하는 신호이고, 상기 게이트 쉬프트 클럭(GSC)은 액정표시패널(1)의 각 게이트 구동 시작 시점을 제어하는 신호이고, 상기 게이트 출력 이네이블(GOE)은 각 게이트 라인으로 게이트 신호를 보내는 시점을 제어하는 신호이다.
- [0038] 상기 데이터 제어신호는 소스 스타트 펄스(SSP: Source Start Pulse), 소스 쉬프트 클럭(SSC: Source Shift Clock), 소스 출력 이네이블(SOE: Source Output Enable) 등을 포함할 수 있다. 상기 소스 스타트 펄스(SSP)는 한 프레임에서 첫 번째 라인 분의 데이터 전압의 공급 시점을 제어하는 신호이고, 상기 소스 쉬프트 클럭(SSC)은 각 라인 분의 데이터 전압의 공급시점을 제어하는 신호이고, 상기 소스 출력 이네이블(SOE)은 상기 액정표시패널(1)의 데이터 라인들로 데이터 전압을 보내는 시점을 제어하는 신호일 수 있다.
- [0039] 상기 제어신호 생성부(13)는 양극성 제어신호 생성부(14a) 및 음극성 제어신호 생성부(14b)를 포함할 수 있다.

- [0040] 상기 양극성 제어신호 생성부(14a)는 양극성 게이트 제어신호를 생성할 수 있고, 상기 음극성 제어신호 생성부(14b)는 음극성 게이트 제어신호를 생성할 수 있다.
- [0041] 상기 양극성 제어신호 생성부(14a) 및 음극성 제어신호 생성부(14b)는 각각 양극성 게이트 제어신호 및 음극성 게이트 제어신호를 각각 생성하여 출력부(19)로 전달할 수 있다.
- [0042] 상기 양극성 게이트 제어신호는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC) 및 양극성 게이트출력 이네이블(pGOE)을 포함할 수 있고, 상기 음극성 게이트 제어신호는 상기 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC) 및 음극성 게이트 출력 이네이블(nGOE)을 포함할 수 있다. 다시 말해, 상기 양극성 게이트 제어신호와 음극성 게이트 제어신호는 서로 다른 게이트 출력 이네이블 신호를 포함할 수 있다.
- [0043] 상기 양극성 게이트 출력 이네이블(pGOE) 신호는 제1 폭(W1)을 가질 수 있고, 상기 음극성 게이트 출력 이네이블(nGOE) 신호는 제2 폭(W2)을 가질 수 있다. 상기 제2 폭(W2)은 상기 제1 폭(W1)보다 큰값일 수 있다. 다시 말해, 상기 양극성 게이트 출력 이네이블(pGOE) 신호와 상기 음극성 게이트 출력 이네이블(nGOE)신호는 상이한 듀티비(duty ratio)를 가질 수 있다. 예를 들어, 상기 제1 폭(W1)은 0.3 μ s로 설정될 수 있고, 상기 제2 폭은 0.7 μ s로 설정될 수 있다.
- [0044] 상기 양극성 게이트 출력 이네이블(pGOE) 신호와 음극성 게이트 출력 이네이블(nGOE) 신호는 서로 상이한 펄스 폭을 가짐으로써 게이트 라인으로 인가되는 게이트 펄스 폭을 가변할 수 있다.
- [0045] 상기 극성신호 생성부(15)는 상기 입력부(12)로부터 상기 수평동기신호(H) 및 클럭신호(CLK)를 입력받아 극성신호(POL)를 생성하여 상기 출력부(19)로 출력할 수 있다.
- [0046] 상기 극성신호(POL)는 극성을 제어하는 신호이다. 프레임 인버전 구동방식의 경우 상기 극성신호(POL)는 프레임 별로 다른 레벨의 극성신호가 입력된다. 예를 들어 N번째 프레임에서 하이레벨의 극성신호가 상기 출력부(19)로 입력된다면, N+1번째 프레임에서는 로우 레벨의 극성신호가 상기 출력부(19)로 입력될 수 있다.
- [0047] 상기 데이터 처리부(17)는 상기 입력부(12)로부터 상기 디지털 비디오 데이터(RGB)를 입력받아 상기 액정표시패널(1)의 구동에 적합하도록 정렬하고, 정렬된 데이터 신호를 버스를라인을 통해 상기 데이터 드라이버(30)로 공급한다.
- [0048] 상기 출력부(19)는 제어신호 생성부(13)로부터 입력받은 데이터 제어신호를 상기 데이터 드라이버(30)로 출력하고, 상기 제어신호 생성부(13)로부터 입력받은 게이트 제어신호를 상기 게이트 드라이버(20)로 출력할 수 있다.
- [0049] 상기 출력부(19)는 게이트 드라이버(20)에 형성될 수 있다.
- [0050] 상기 출력부(19)는 상기 극성신호(POL)에 따라 상기 양극성 제어신호 생성부(14a)로부터 전달받은 양극성 게이트 제어신호 또는 상기 음극성 제어신호 생성부(14b)로부터 전달받은 음극성 게이트 제어신호를 선택적으로 게이트 드라이버(20)에 전달할 수 있다. 예를 들어, N번째 프레임의 경우 양극성 게이트 출력 이네이블(pGOE) 신호를 포함하는 양극성 게이트 제어신호가 상기 게이트 드라이버(20)로 전달될 수 있고, N+1번째 프레임의 경우 음극성 게이트 출력 이네이블(nGOE) 신호를 포함하는 음극성 게이트 제어신호가 상기 게이트 드라이버(20)로 전달될 수 있다.
- [0051] 도 5는 제1 실시 예에 따른 액정표시장치의 게이트 전압, 데이터 전압 및 화소 전압을 나타낸 파형도이다.
- [0052] 도 5a는 양극성의 데이터 전압이 인가되는 경우의 파형도를 나타내고, 도 5b는 음극성의 데이터 전압이 인가되는 경우의 파형도를 나타낸다.
- [0053] 도 5a를 참조하면 양극성의 데이터 전압이 인가되는 경우, 예를 들어 N번째 프레임의 경우 극성신호(POL)는 하이 레벨로 인가되어 양극성 게이트 출력 이네이블(pGOE) 신호를 포함하는 양극성 게이트 제어신호가 게이트 드라이버(20)로 인가된다. 상기 양극성 게이트 출력 이네이블(pGOE) 신호는 각 게이트 라인으로 게이트 신호를 보내는 시점을 제어하는 신호이므로, 상기 양극성 게이트 출력 이네이블(pGOE) 신호의 하강 에지에서 각 게이트 라인으로 게이트 신호가 인가될 수 있다.
- [0054] 상기 양극성 게이트 출력 이네이블(pGOE) 신호는 제1 폭(W1)을 가지는 구형파 일 수 있다. 다시 말해, 상기 양극성 게이트 출력 이네이블(pGOE) 신호는 제1 폭(W1)에 상응하는 기간 동안의 하이 레벨신호와 L1기간 동안의 로우레벨 신호가 반복되는 신호일 수 있다.
- [0055] 상기 양극성 게이트 출력 이네이블(pGOE) 신호가 로우레벨로 인가될 때, 게이트 라인에는 하이 레벨의 게이트

펄스가 인가될 수 있다. 다시 말해, L1기간동안 게이트 전압(Vg)이 하이 레벨로 인가될 수 있고, 이때, 데이터 라인에 입력되는 데이터 전압(Vdata)에 의해 화소 전극이 화소 전압(Vp)으로 충전될 수 있다.

- [0056] 도 5b를 참조하면, 음극성의 데이터 전압이 인가되는 경우, 예를 들어 N+1번째 프레임의 경우 극성신호(POL)는 로우 레벨로 인가되어 음극성 게이트 출력 이네이블(nGOE) 신호를 포함하는 음극성 게이트 제어신호가 게이트 드라이버(20)로 인가된다. 상기 음극성 게이트 출력 이네이블(nGOE) 신호는 각 게이트 라인으로 게이트 신호를 보내는 시점을 제어하는 신호이므로, 상기 음극성 게이트 출력 이네이블(nGOE) 신호의 하강 에지에서 각 게이트 라인으로 게이트 신호가 인가될 수 있다.
- [0057] 상기 음극성 게이트 출력 이네이블(nGOE) 신호는 제2 폭(W2)을 가지는 구형파일 수 있다. 다시 말해, 상기 음극성 게이트 출력 이네이블(nGOE) 신호는 제2 폭(W2)에 상응하는 기간 동안의 하이 레벨신호와 L2기간 동안의 로우레벨 신호가 반복되는 신호일 수 있다.
- [0058] 상기 음극성 게이트 출력 이네이블(nGOE) 신호가 로우레벨로 인가될 때, 게이트 라인에는 하이 레벨의 게이트 펄스가 인가될 수 있다. 다시 말해, L2기간동안 게이트 전압(Vg)이 하이 레벨로 인가될 수 있고, 이때, 데이터 라인에 입력되는 데이터 전압(Vdata)에 의해 화소 전극이 화소 전압(Vp)으로 충전될 수 있다.
- [0059] 상기 제1 폭(W1)을 제2 폭(W2)보다 작게 설정하여 상기 L1기간은 상기 L2 기간보다 큰 값을 가질 수 있다. 다시 말해, 게이트 전압이 하이 레벨로 인가되는 기간은 상기 양극성 데이터 전압이 인가되는 N번째 프레임보다 음극성 데이터 전압이 인가되는 N+1번째 프레임이 더 짧다. 따라서 종래 액정표시장치에서 존재하던 데이터 전압(Vdata)의 하강에 의한 신호간섭을 방지할 수 있다. 다시 말해, 게이트 전압 하강 이후에 데이터 전압 하강이 일어날 수 있도록 N+1번째 프레임의 게이트 전압 하이레벨 입력시간을 N번째 프레임과 상이하게 설정하여 휘도 감소에 의한 명암비 감소 또는 플리커 등의 잔상문제를 방지할 수 있는 효과가 있다.
- [0060] 도 4를 이용하여 제2 실시 예에 따른 액정표시장치의 타이밍 컨트롤러에 대해서 설명할 수 있다.
- [0061] 제2 실시 예에 따른 액정표시장치는 제1 실시 예와 비교하여 게이트 출력 이네이블 신호가 아닌 소스 출력 이네이블 신호를 조절하는 것 이외에는 동일하다. 따라서 제2 실시 예의 설명에 있어서, 상기 제1 실시 예와 동일한 구성에 대해서는 동일한 도면 부호를 부여하고 상세한 설명을 생략한다.
- [0062] 도 4를 참조하면 제2 실시 예에 따른 액정표시장치의 타이밍 컨트롤러(10)는 입력부(12), 제어신호 생성부(13), 극성신호 생성부(15), 데이터 처리부(17) 및 출력부(19)를 포함할 수 있다.
- [0063] 상기 제어신호 생성부(13)는 양극성 제어신호 생성부(14a) 및 음극성 제어신호 생성부(14b)를 포함할 수 있다.
- [0064] 상기 양극성 제어신호 생성부(14a)는 양극성 데이터 제어신호를 생성할 수 있고, 상기 음극성 제어신호 생성부(14b)는 음극성 데이터 제어신호를 생성할 수 있다.
- [0065] 상기 양극성 제어신호 생성부(14a) 및 음극성 제어신호 생성부(14b)는 각각 양극성 데이터 제어신호 및 음극성 데이터 제어신호를 각각 생성하여 출력부(19)로 전달할 수 있다.
- [0066] 상기 양극성 데이터 제어신호는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC) 및 양극성 소스 출력 이네이블(pSOE)을 포함할 수 있다. 상기 음극성 데이터 제어신호는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC) 및 음극성 소스 출력 이네이블(nSOE)을 포함할 수 있다. 다시 말해, 상기 양극성 데이터 제어신호와 음극성 데이터 제어신호는 서로 다른 소스 출력 이네이블 신호를 포함할 수 있다.
- [0067] 상기 양극성 소스 출력 이네이블(pSOE) 및 음극성 소스 출력 이네이블 신호(nSOE)를 포함하는 소스 출력 이네이블 신호(SOE)는 액정표시패널의 데이터 라인들로 데이터 전압을 보내는 시점을 제어하는 신호로써 구형파 형상을 가질 수 있다. 상기 소스출력 이네이블 신호(SOE)가 하이레벨로 인가되는 경우 데이터 라인을 통해 하이 레벨의 데이터 전압이 화소 전극으로 인가될 수 있다. 다시 말해, 상기 소스 출력 이네이블 신호(SOE)의 상승 에지에서 데이터 라인에 하이레벨의 데이터 전압이 인가되고, 상기 소스 출력 이네이블 신호(SOE)의 하강 에지에서 하이 레벨이 인가되던 상기 데이터 라인에는 로우 레벨의 데이터 전압이 인가된다.
- [0068] 상기 양극성 소스 출력 이네이블(pSOE)과 음극성 소스 출력 이네이블(nSOE)은 상승 에지가 되는 시간이 상이하다. 예를 들어 상기 양극성 소스출력 이네이블(pSOE) 신호는 게이트 라인에 하이레벨이 인가된 이후 제1 시간(t1)에 상승에지가 생성되고, 상기 음극성 소스출력 이네이블(nSOE) 신호는 게이트 라인에 하이 레벨이 인가된 이후 제2 시간(t2)에 상승 에지가 생성될 수 있다. 상기 음극성 소스출력 이네이블(nSOE)신호가 양극성 소스출력 이네이블(pSOE) 신호에 비해 게이트 전압 상승 이후 더 긴 지연시간을 가지고 상승 에지가 생성될 수 있다.

상기 양극성 소스출력 이네이블(pSOE) 신호의 경우 게이트 라인에 하이레벨이 인가된 후 $0.08\mu s$ 이후에 상승에지가 생성될 수 있고, 상기 음극성 소스 출력 이네이블(nSOE) 신호의 경우 게이트 라인에 하이레벨이 인가된 후 $0.7\mu s$ 이후에 상승 에지가 생성될 수 있다.

[0069] 상기 양극성 소스 출력 이네이블(pSOE) 신호와 음극성 소스 출력 이네이블(nSOE) 신호는 서로 다른 상승시점을 가짐으로써 데이터 라인으로 인가되는 데이터 전압의 입력 시점을 가변할 수 있다.

[0070] 상기 출력부(19)는 제어신호 생성부(13)로부터 입력받은 데이터 제어신호를 상기 데이터 드라이버(30)로 출력하고, 상기 제어신호 생성부(13)로부터 입력받은 게이트 제어신호를 상기 게이트 드라이버(20)로 출력할 수 있다.

[0071] 상기 출력부(19)는 데이터 드라이버(30)에 형성될 수 있다.

[0072] 상기 출력부(19)는 상기 극성신호(POL)에 따라 상기 양극성 제어신호 생성부(14a)로부터 전달받은 양극성 데이터 제어신호 또는 상기 음극성 제어신호 생성부(14b)로부터 전달받은 음극성 데이터 제어신호를 선택적으로 데이터 드라이버(30)에 전달할 수 있다. 예를 들어, N번째 프레임의 경우 양극성 게이트 출력 이네이블(pSOE) 신호를 포함하는 양극성 데이터 제어신호가 상기 데이터 드라이버(30)로 전달될 수 있고, N+1번째 프레임의 경우 음극성 소스 출력 이네이블(nSOE) 신호를 포함하는 음극성 데이터 제어신호가 상기 데이터 드라이버(30)로 전달될 수 있다.

[0073] 도 6은 제2 실시 예에 따른 액정표시장치의 게이트 전압, 데이터 전압 및 화소 전압을 나타낸 파형도이다.

[0074] 도 6a는 양극성의 데이터 전압이 인가되는 경우의 파형도를 나타내고, 도 6b는 음극성의 데이터 전압이 인가되는 경우의 파형도를 나타낸다.

[0075] 도 6a를 참조하면 양극성의 데이터 전압이 인가되는 경우, 예를 들어 N번째 프레임의 경우 극성신호(POL)는 하이 레벨로 인가되어 양극성 소스 출력 이네이블(pSOE) 신호를 포함하는 양극성 데이터 제어신호가 데이터 드라이버(30)로 인가된다.

[0076] 상기 게이트 전압(Vg)이 하이레벨로 인가된 후 t_1 시점에 양극성 데이터 제어신호(pSOE)에 상승 에지가 발생하고, 상기 데이터 라인으로 데이터 전압(Vdata)이 인가되고, 상기 데이터 전압(Vdata)에 의해 화소 전극이 화소 전압(Vp)으로 충전될 수 있다.

[0077] 도 6b를 참조하면, 음극성의 데이터 전압이 인가되는 경우, 예를 들어, N+1번째 프레임의 경우 극성신호(POL)는 로우 레벨로 인가되어 음극성 소스 출력 이네이블(nSOE)를 포함하는 음극성 데이터 제어신호가 데이터 드라이버(30)로 인가된다.

[0078] 상기 게이트 전압(Vg)이 하이레벨로 인가된 후 t_2 시점에 음극성 데이터 제어신호(nSOE)에 상승 에지가 발생하고, 상기 데이터 라인으로 데이터 전압(Vdata)이 인가되고, 상기 데이터 전압(Vdata)에 의해 화소 전극이 화소 전압(Vp)으로 충전될 수 있다.

[0079] 상기 N+1번째 프레임의 경우 게이트 라인에 하이레벨이 인가된 이후 N번째 프레임의 t_1 에 비해 더 많은 시간이 경과한 t_2 에서 음극성 데이터 제어신호(nSOE)에 상승 에지가 발생한다. 다시 말해, N번째 프레임에 비해 N+1번째 프레임의 경우 데이터 전압(Vdata)이 지연되어 데이터 라인에 인가된다. 상기 N+1번째 프레임의 데이터 전압(Vdata)의 지연입력으로 종래 액정표시장치에 존재하던 데이터 전압(Vdata)의 하강에 의한 신호간섭을 방지할 수 있다. 다시 말해, 게이트 전압 하강 이후에 데이터 전압의 하강이 일어날 수 있도록 데이터 전압의 입력시점을 조절하여 휘도감소에 의한 명암비 감소 또는 플리커 등의 잔상 문제를 방지하여 화상품질을 향상시킬 수 있는 효과가 있다.

[0080] 상기 제1 실시 예 및 제2 실시 예는 데이터 전압의 신호간섭이 발생할 수 있는 프레임 인버전 구동방식인 경우 더 효과적으로 적용될 수 있다.

[0081] 도 7은 제3 실시 예에 따른 액정표시장치의 타이밍 컨트롤러를 나타낸 도면이다.

[0082] 제3 실시 예는 제1 실시 예와 비교하여 제어신호가 아닌 디지털 비디오 데이터를 변조하는 것 이외에는 동일하다. 따라서 제3 실시 예를 설명함에 있어 상기 제1 실시 예와 동일한 부분에 대해서는 상세한 설명을 생략한다.

[0083] 도 7을 참조하면 제3 실시 예에 따른 액정표시장치의 타이밍 컨트롤러(110)는 입력부(112), 제어신호 생성부(113), 극성신호 생성부(115), 데이터 처리부(117) 및 출력부(119)를 포함할 수 있다.

[0084] 상기 입력부(112)는 외부 인터페이스로부터 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직동기신호(H,V)

및 클럭신호(CLK)를 입력받아 상기 신호를 상기 제어신호 생성부(113), 극성신호 생성부(115) 및 데이터 처리부(117)로 전달할 수 있다.

[0085] 상기 제어신호 생성부(113)는 상기 입력부(112)로부터 상기 수평동기신호(H), 수직동기신호(H,V) 및 클럭신호(CLK)를 입력받아 게이트 제어신호 및 데이터 제어신호를 생성하여 게이트 드라이버(120) 및 데이터 드라이버(130)로 출력할 수 있다.

[0086] 상기 극성신호 생성부(115)는 상기 입력부(112)로부터 상기 수평동기신호(H) 및 클럭신호(CLK)를 입력받아 극성신호(POL)를 생성하여 상기 출력부(119)로 출력할 수 있다.

[0087] 상기 데이터 처리부(117)는 상기 입력부(112)로부터 상기 디지털 비디오 데이터(RGB)를 입력받아 상기 액정표시패널(1)의 구동에 적합하도록 정렬하고, 정렬된 데이터 신호를 버스를 통해 상기 데이터 드라이버(130)로 공급한다.

[0088] 상기 데이터 처리부(117)는 양극성 데이터 처리부(118a) 및 음극성 데이터 처리부(118b)를 포함할 수 있다. 상기 양극성 데이터 처리부(118a)는 상기 디지털 비디오 데이터(RGB)를 이용하여 양극성 데이터를 생성하여 출력부(119)로 전달할 수 있고, 상기 음극성 데이터 처리부(118b)는 상기 디지털 비디오 데이터(RGB)를 이용하여 음극성 데이터를 생성하여 상기 출력부(119)로 전달할 수 있다.

[0089] 상기 양극성 데이터 처리부(118a)와 상기 음극성 데이터 처리부(118b)는 서로 다른 비율로 증폭된 데이터 값을 출력부(119)로 전달할 수 있다. 예를 들어, 상기 양극성 데이터는 상기 음극성 데이터보다 더 큰 비율로 증폭된 데이터 값일 수 있다.

[0090] 상기 출력부(119)는 상기 데이터 처리부(117)로부터 입력받은 데이터를 데이터 드라이버(130)로 출력할 수 있다.

[0091] 상기 출력부(119)는 상기 극성신호(POL)에 따라 상기 양극성 데이터 처리부(118a)로부터 전달받은 양극성 데이터 또는 상기 음극성 데이터 처리부(118b)로부터 전달받은 음극성 데이터를 선택적으로 데이터 드라이버(130)에 전달할 수 있다. 예를 들어, N번째 프레임의 경우 양극성 데이터를 데이터 드라이버(130)로 전달할 수 있고, N+1번째 프레임의 경우 음극성 데이터를 상기 데이터 드라이버(130)로 전달할 수 있다.

[0092] 도 8은 제4 실시 예에 따른 액정표시장치의 타이밍 컨트롤러 및 감마 생성부를 나타낸 도면이다.

[0093] 제4 실시 예는 제3 실시 예와 비교하여 디지털 비디오 데이터가 아닌 감마전압을 변경하는 것 이외에는 동일하다. 따라서 제4 실시 예를 설명함에 있어 상기 제3 실시 예와 동일한 부분에 대해서는 상세한 설명을 생략한다.

[0094] 도 8을 참조하면 제4 실시 예에 따른 액정표시장치의 타이밍 컨트롤러(210)는 입력부(212), 제어신호 생성부(213), 극성신호 생성부(215) 상기 데이터 처리부(217)를 포함할 수 있다.

[0095] 상기 입력부(212)는 외부 인터페이스로부터 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직동기신호(H,V) 및 클럭신호(CLK)를 입력받아 상기 신호를 상기 제어신호 생성부(213), 극성신호 생성부(215) 및 데이터 처리부(217)로 전달할 수 있다.

[0096] 상기 제어신호 생성부(213)는 상기 입력부(212)로부터 상기 수평동기신호(H), 수직동기신호(H,V) 및 클럭신호(CLK)를 입력받아 게이트 제어신호 및 데이터 제어신호를 생성하여 게이트 드라이버(220) 및 데이터 드라이버(230)로 출력할 수 있다.

[0097] 상기 극성신호 생성부(215)는 상기 입력부(212)로부터 상기 수평동기신호(H) 및 클럭신호(CLK)를 입력받아 극성신호(POL)를 생성하여 상기 데이터 드라이버(230)로 출력할 수 있다.

[0098] 상기 데이터 처리부(217)는 상기 입력부(212)로부터 상기 디지털 비디오 데이터(RGB)를 입력받아 상기 액정표시패널(1)의 구동에 적합하도록 정렬하고, 정렬된 데이터 신호를 버스를 통해 상기 데이터 드라이버(230)로 공급한다.

[0099] 상기 감마 생성부(250)는 전원부로부터 인가받은 전원전압을 분압하여 다수의 감마전압을 생성하여 상기 데이터 드라이버(230)로 공급할 수 있다.

[0100] 상기 감마 생성부(250)는 양극성 감마 생성부(251a) 및 음극성 감마 생성부(251b)를 포함할 수 있다.

[0101] 상기 양극성 감마 생성부(251a)는 전원부로부터 인가받은 전원전압을 분압하여 다수의 양감마전압을 생성할 수 있고, 상기 음극성 감마 생성부(251b)는 전원부로부터 인가받은 전원전압을 분압하여 다수의 음감마전압을 생성

할 수 있다. 상기 다수의 양감마전압과 다수의 음감마전압은 서로 다른 부호를 가질 수 있다. 상기 다수의 양감마전압과 다수의 음감마전압은 서로 다른 크기의 전압으로 증폭되어 출력될 수 있다. 예를 들어 상기 다수의 음감마전압은 상기 다수의 양감마전압보다 더 큰 비율로 증폭되어 상기 데이터 드라이버(230)로 인가될 수 있다.

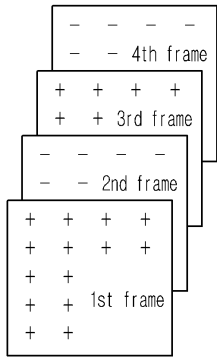
- [0102] 상기 데이터 드라이버(230)는 상기 극성신호(POL)에 따라 상기 양극성 감마 생성부(251a)로부터 전달받은 양감마전압 또는 상기 음극성 감마생성부(251b)로부터 전달받은 음감마전압을 선택하여 데이터 라인으로 인가할 수 있다.
- [0103] 도 9는 제3 실시 예 및 제4 실시 예에 따른 액정표시장치의 게이트 전압, 데이터 전압 및 화소 전압을 나타낸 파형도이다.
- [0104] 도 9a는 양극성의 데이터 전압이 인가되는 경우의 파형도를 나타내고, 도 9b는 음극성의 데이터 전압이 인가되는 경우의 파형도를 나타낸다.
- [0105] 제3 실시 예는 디지털 비디오 데이터를 다른 비율로 변조하여 양극성과 음극성의 데이터 전압 크기를 다르게 출력하고, 제4 실시 예는 감마전압을 다른 비율로 증폭하여 양극성과 음극성의 데이터 전압 크기를 다르게 출력한다. 따라서, 양극성 데이터 전압과 음극성 데이터 전압이 다른 크기를 가지는 것은 동일하므로, 제3 실시 예와 제4 실시 예를 동일한 파형도로 설명한다.
- [0106] 도 9a를 참조하면 양극성의 데이터 전압이 인가되는 경우 예를 들어 N번째 프레임의 경우 극성신호(POL)는 하이 레벨로 인가되어 양극성 데이터 전압(VdataP)이 데이터 라인으로 인가된다.
- [0107] 상기 게이트 전압(Vg)이 하이 레벨로 인가된 후 양극성 데이터 전압(VdataP)이 데이터 라인으로 인가되고, 상기 양극성 데이터 전압(VdataP)에 의해 화소 전극이 화소 전압(Vp)으로 충전될 수 있다.
- [0108] 도 9b를 참조하면 음극성의 데이터 전압이 인가되는 경우 예를 들어 N+1번째 프레임의 경우 극성신호(POL)는 로우 레벨로 인가되어 음극성 데이터 전압(VdataN)이 데이터 라인으로 인가된다.
- [0109] 상기 게이트 전압(Vg)이 하이 레벨로 인가된 후 음극성 데이터 전압(VdataN)이 데이터 라인으로 인가되고, 상기 음극성 데이터 전압(VdataN)에 의해 화소 전극이 화소 전압(Vp)으로 충전될 수 있다.
- [0110] 상기 음극성 데이터 전압(VdataN)의 진폭은 상기 양극성 데이터 전압(VdataP)의 진폭보다 큰 값을 가질 수 있다. 상기 음극성 데이터 전압(VdataN)의 진폭이 상기 양극성 데이터 전압(VdataP)의 진폭보다 큰 값을 가짐으로써 음극성 데이터 전압(VdataN)의 신호간섭이 있더라도, 화소 전압(Vp)은 상기 양극성과 동일 수준의 레벨로 충전될 수 있다. 다시 말해, 상기 게이트 전압(Vg)에 의해 박막 트랜지스터의 온 상태에서 음극성 데이터 전압(VdataN)의 하강이 일어나더라도, 이미 큰 값의 음극성 데이터 전압(VdataN)이 인가되어 결과적으로 화소 전극에 충전되는 화소 전압(Vp)은 상기 N번째 프레임과 동일한 전압이 충전될 수 있어 휘도감소에 의한 명암비 감소 또는 플리커 등의 잔상 문제를 방지하여 화상품질을 향상시킬 수 있는 효과가 있다.

부호의 설명

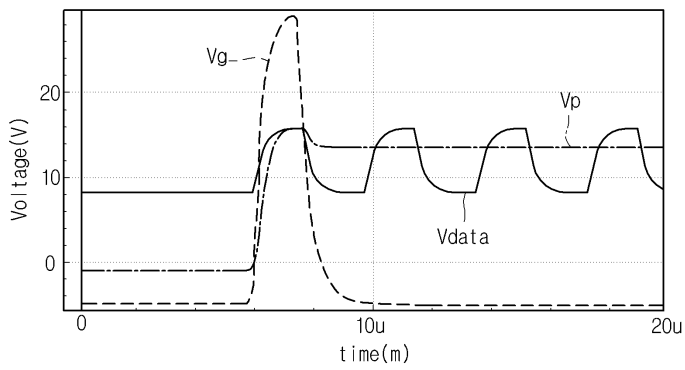
- | | |
|------------------------|------------------------|
| [0111] 1: 액정표시패널 | 11: 박막 트랜지스터 |
| 12, 112, 212: 입력부 | 13, 113, 213: 제어신호 생성부 |
| 15, 115, 215: 극성신호 생성부 | 17, 117, 217: 데이터 처리부 |
| 19, 119: 출력부 | 20, 120: 게이트 드라이버 |
| 30, 130, 230: 데이터 드라이버 | 40: 전원부 |
| 50, 250: 감마 생성부 | |

도면

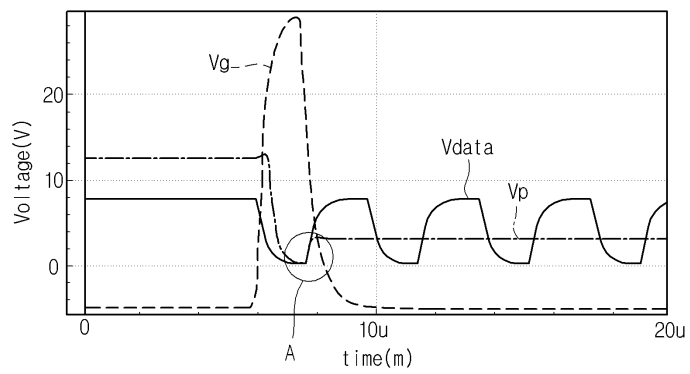
도면1



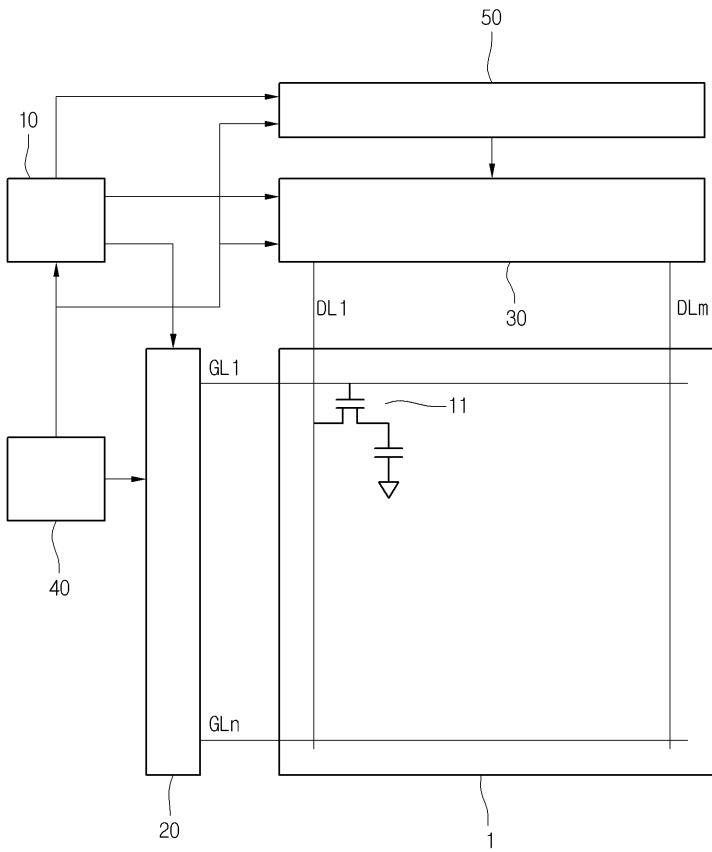
도면2a



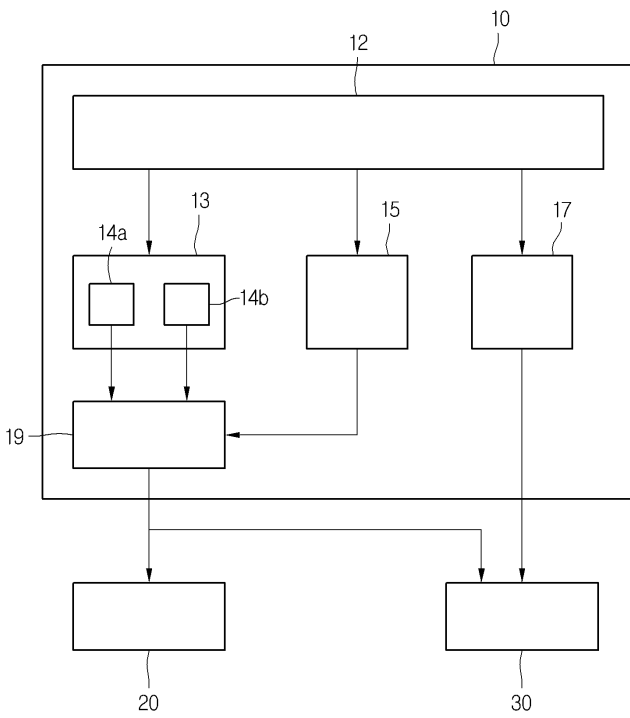
도면2b



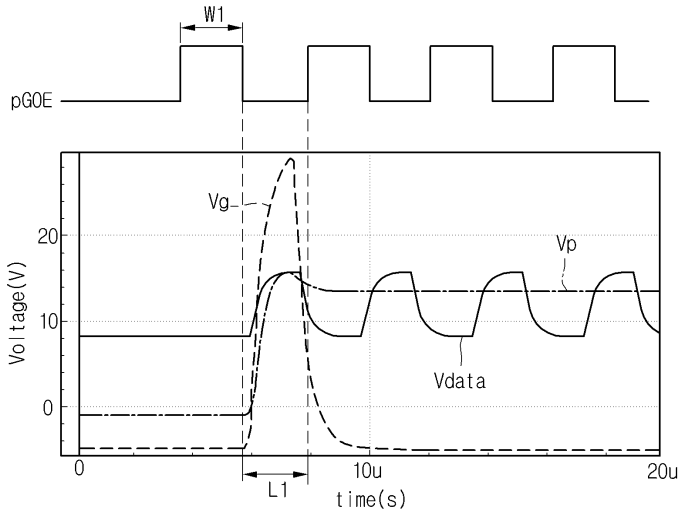
도면3



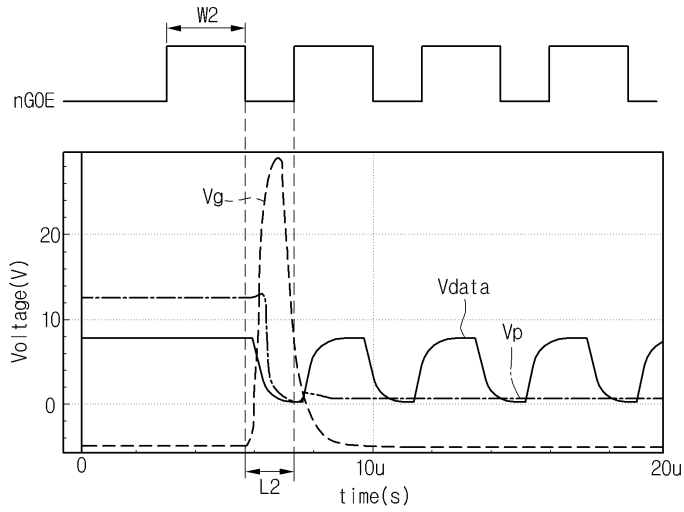
도면4



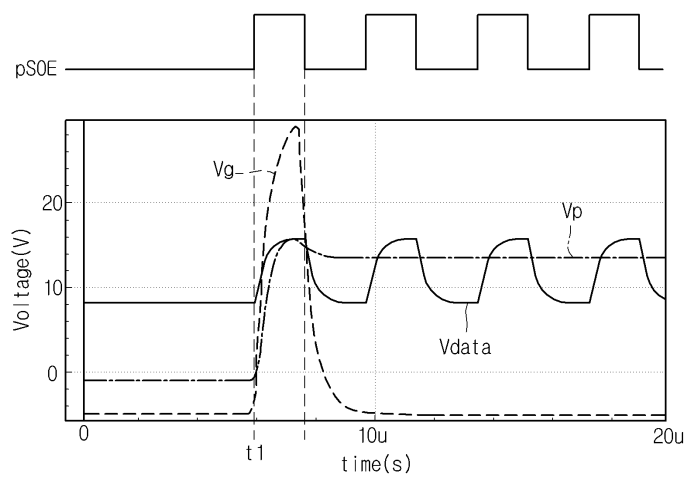
도면5a



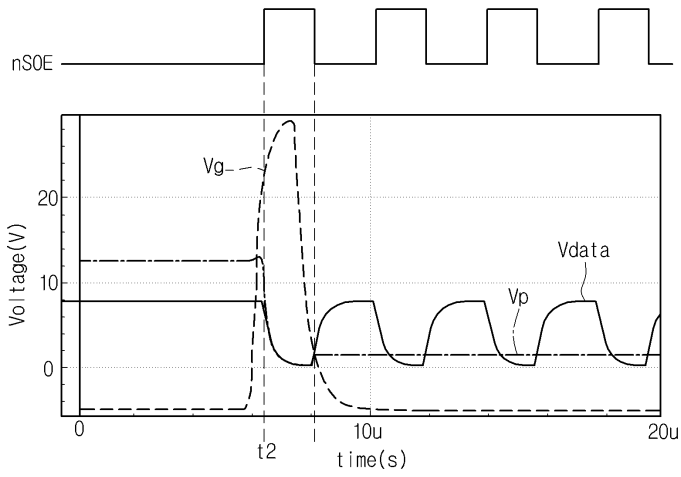
도면5b



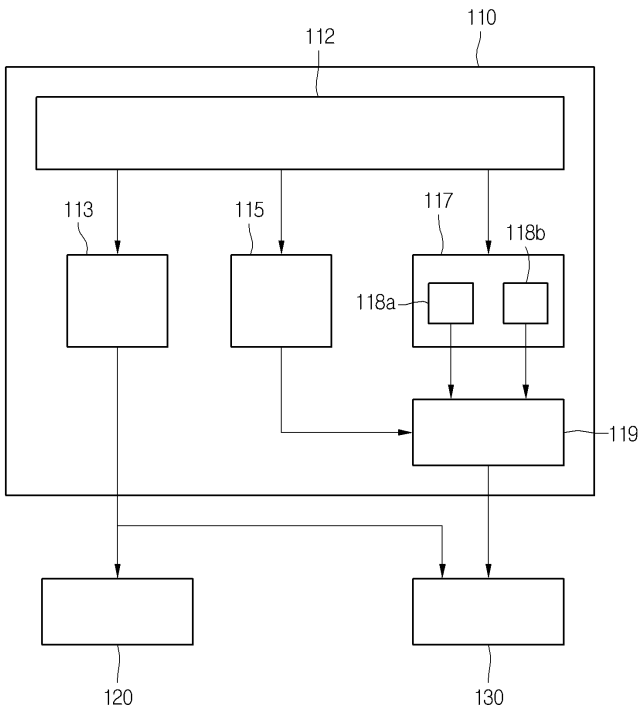
도면6a



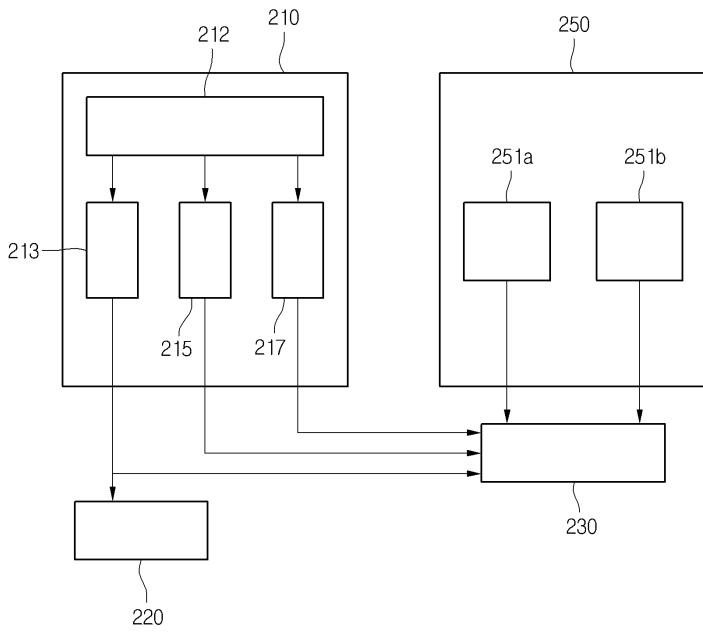
도면6b



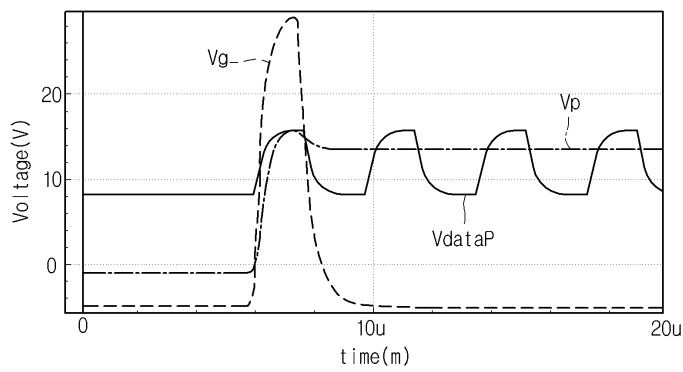
도면7



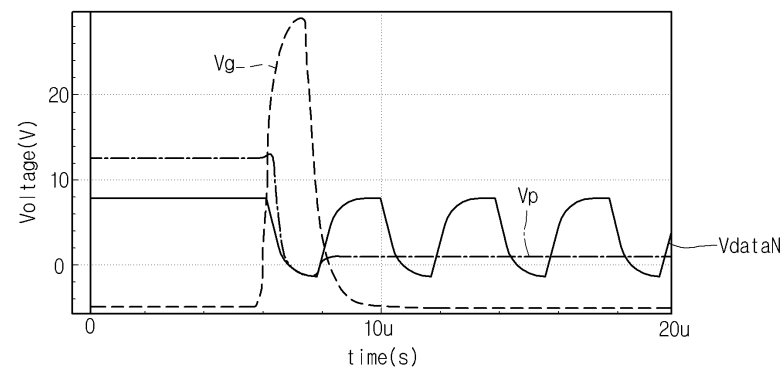
도면8



도면9a



도면9b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130111013A	公开(公告)日	2013-10-10
申请号	KR1020120033447	申请日	2012-03-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG JEONG TAE 황정태 PARK CHONG HUN 박청훈 HAN HWA DONG 한화동		
发明人	황정태 박청훈 한화동		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3614 G09G3/3648 G09G3/3677 G09G3/3688 G09G2320/0247		
外部链接	Espacenet		

摘要(译)

根据该实施例的液晶显示器包括定时控制器：栅极驱动器：液晶面板，其中数据驱动器，授权数据电压到数据线，栅极线和数据线形成有数据控制信号。利用栅极控制信号向栅极线授权栅极信号，产生包括栅极控制信号和数据控制信号的控制信号和极化信号，时序控制器根据极性信号的极性产生不同的控制信号。

