



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0105176
(43) 공개일자 2017년09월19일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/3614 (2013.01)

G09G 3/3688 (2013.01)

(21) 출원번호 10-2016-0027885

(22) 출원일자 2016년03월08일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김규진

경기도 파주시 월롱면 엘씨디로 201 F동 1208호
(덕은리, 정다운마을)

조용완

경기도 고양시 일산서구 강성로 62 907동 603호
(주엽동, 강선마을9단지아파트)

(74) 대리인

특허법인로알

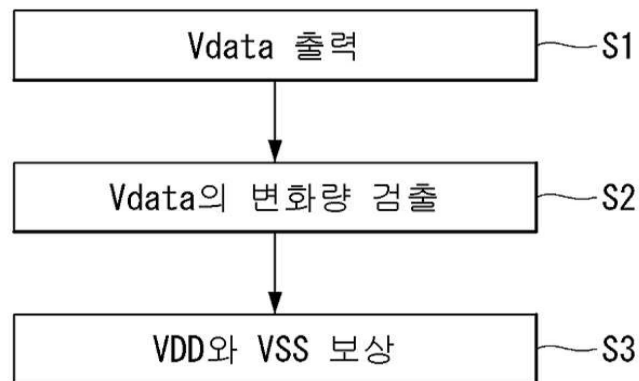
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치와 그 구동 방법

(57) 요약

본 발명은 액정표시장치와 그 구동 방법에 관한 것이다. 이 액정표시장치의 구동 방법은 고전위 전원 전압과 저전위 전원 전압 사이의 전압을 분압하여 정극성 감마기준전압과 부극성 감마기준전압을 발생하는 단계, 입력 영상의 데이터를 상기 정극성 감마기준전압과 상기 부극성 감마기준전압으로 변환하여 정극성 데이터 전압과 부극성 데이터 전압을 발생하는 단계, 극성제어신호에 응답하여 상기 정극성 데이터 전압과 상기 부극성 데이터 전압을 선택하여 상기 데이터 라인들에 공급하는 단계, 더미 데이터 전압과 미리 설정된 기준 감마기준전압의 차를 바탕으로 보상전압을 발생하는 단계, 및 상기 보상전압 만큼 상기 고전위 전원전압을 높이고 상기 보상전압 만큼 상기 저전위 전원전압을 낮추는 단계를 포함한다.

대표도 - 도3



(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2300/0828 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0673 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고, 픽셀들이 매트릭스 형태로 배치된 표시패널;

극성제어신호를 발생하고 입력 영상의 데이터를 출력하는 타이밍 컨트롤러;

고전위 전원 전압과 저전위 전원 전압 사이의 전압을 분압하여 정극성 감마기준전압과 부극성 감마기준전압을 발생하는 감마기준전압 발생부;

상기 타이밍 컨트롤러로부터 수신된 입력 영상의 데이터를 상기 정극성 감마기준전압과 상기 부극성 감마기준전압으로 변환하여 정극성 데이터 전압과 부극성 데이터 전압을 발생하고, 상기 극성제어신호에 응답하여 상기 정극성 데이터 전압과 상기 부극성 데이터 전압을 선택하여 상기 데이터 라인들에 공급하고, 더미 채널을 통해 더미 데이터 전압을 출력하는 데이터 구동부; 및

상기 더미 데이터 전압과 미리 설정된 기준 감마기준전압의 차를 바탕으로 보상전압을 발생하고, 상기 보상전압 만큼 상기 고전위 전원전압을 높이고 상기 보상전압 만큼 상기 저전위 전원전압을 낮추는 피드백 보상부를 구비하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 극성제어신호의 논리가 반전될 때 상기 고전위 전원전압과 상기 저전위 전원전압의 차가 가장 큰 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 극성제어신호의 논리가 반전될 때 상기 정극성 감마보상전압과 상기 부극성 감마보상전압 사이의 전압 차이가 가장 큰 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 극성제어신호(POL)의 논리가 반전될 때 상기 데이터 구동부로부터 출력되는 데이터 전압의 동적 범위가 가장 큰 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 데이터 구동부는,

입력 데이터를 상기 정극성 감마기준전압과 상기 부극성 감마기준전압으로 변화하는 디지털-아날로그 변환기(DAC);

상기 피드백 보상부에 의해 가변되는 상기 고전위 전원 전압과 상기 저전위 전원전압 사이의 전압으로 출력 전압을 발생하는 출력 버퍼; 및

상기 극성제어신호에 응답하여 상기 출력 버퍼의 출력 전압이 공급되는 데이터 라인을 선택하는 다수의 스위치들을 구비하는 액정표시장치.

청구항 6

제 1 항에 있어서,
 상기 데이터 구동부의 더미 채널은,
 제1 더미 데이터 전압을 출력하는 제1 더미 채널; 및
 제2 더미 데이터 전압을 출력하는 제2 더미 채널을 포함하고,
 상기 제1 및 제2 더미 데이터 전압 각각은 상기 입력 영상과 무관한 화이트 게조 전압이고,
 상기 제1 및 제2 더미 데이터 전압의 극성이 서로 반대인 액정표시장치.

청구항 7

제 6 항에 있어서,
 상기 피드백 보상부는,
 상기 제1 더미 데이터 전압과 상기 기준 감마기준전압의 차를 바탕으로 상기 보상전압을 출력하고 상기 보상전압을 상기 기준 감마전압에 가산하는 제1 피드백 검출부;
 상기 제2 더미 데이터 전압과 상기 기준 감마기준전압의 차를 바탕으로 상기 보상전압을 출력하고 상기 보상전압을 상기 기준 감마전압에 가산하는 제2 피드백 검출부;
 상기 극성제어신호에 응답하여 상기 제1 피드백 검출부의 출력과 상기 제2 피드백 검출부의 출력 중 더 높은 전압을 선택하여 상기 고전위 전원전압으로 출력하는 제1 아날로그 스위치; 및
 반전된 상기 극성제어신호에 응답하여 상기 제2 피드백 검출부의 출력과 상기 제2 피드백 검출부의 출력 중 더 낮은 전압을 선택하여 상기 저전위 전원전압으로 출력하는 제2 아날로그 스위치를 포함하는 액정표시장치.

청구항 8

제 7 항에 있어서,
 상기 기준 감마기준전압은,
 제1 기준 감마기준전압; 및
 상기 제1 기준 감마기준전압 보다 낮은 제2 기준 감마기준전압을 포함하고,
 상기 피드백 보상부는,
 상기 극성제어신호에 응답하여 정극성 화이트 게조 전압이 입력될 때 상기 제1 기준 감마기준전압을 선택하여 상기 정극성 화이트 게조 전압과 상기 제1 기준 감마기준전압을 비교하고,
 상기 극성제어신호에 응답하여 부극성 화이트 게조 전압이 입력될 때 상기 제2 기준 감마기준전압을 선택하여 상기 부극성 화이트 게조 전압과 상기 제2 기준 감마기준전압을 비교하는 액정표시장치.

청구항 9

제 8 항에 있어서,
 상기 제1 및 제2 피드백 검출부 각각은,
 상기 더미 데이터 전압과 상기 기준 감마기준전압의 차를 반전 증폭하여 커패시터로 상기 보상전압을 출력하는 비교기;
 상기 커패시터를 사이에 두고 상기 비교기에 연결되어 상기 보상 전압을 소정의 기준 고전위 전원전압 또는 소정의 기준 저전위 전원전압에 가산하는 가산기;
 상기 극성제어신호에 응답하여 상기 정극성 화이트 게조 전압이 상기 비교기에 입력될 때 상기 제1 기준 감마기준전압을 선택하여 상기 비교기에 공급하고, 상기 부극성 화이트 게조 전압이 상기 비교기에 입력될 때 상기 제2 기준 감마기준전압을 선택하여 상기 비교기에 공급하는 제3 아날로그 스위치; 및
 상기 극성제어신호에 응답하여 상기 정극성 화이트 게조 전압이 상기 비교기에 입력될 때 상기 기준 고전위 전

원전압을 선택하여 상기 가산기에 공급하고, 상기 부극성 화이트 계조 전압이 상기 비교기에 입력될 때 상기 기준 저전위 전원전압을 선택하여 상기 가산기에 공급하는 제4 아날로그 스위치를 포함하는 액정표시장치.

청구항 10

극성제어신호를 발생하는 단계;

고전위 전원 전압과 저전위 전원 전압 사이의 전압을 분압하여 정극성 감마기준전압과 부극성 감마기준전압을 발생하는 단계;

입력 영상의 데이터를 상기 정극성 감마기준전압과 상기 부극성 감마기준전압으로 변환하여 정극성 데이터 전압과 부극성 데이터 전압을 발생하는 단계;

상기 극성제어신호에 응답하여 상기 정극성 데이터 전압과 상기 부극성 데이터 전압을 선택하여 상기 데이터 라인들에 공급하는 단계;

터미 데이터 전압과 미리 설정된 기준 감마기준전압의 차를 바탕으로 보상전압을 발생하는 단계; 및

상기 보상전압 만큼 상기 고전위 전원전압을 높이고 상기 보상전압 만큼 상기 저전위 전원전압을 낮추는 단계를 포함하는 액정표시장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 극성제어신호에 따라 데이터 전압의 극성이 반전되는 액정표시장치와 그 구동 방법에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : 이하 “OLED 표시장치”라 함) 등 각종 평판 표시장치가 시판되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동 방식의 표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor : 이하 “TFT”라 함)가 배치되어 있다.

[0003] 액정표시장치는 표시패널의 데이터라인들에 데이터전압을 공급하기 위한 다수의 소스 드라이브 집적회로(Integrated Circuit, SIC), 표시패널의 게이트라인들(또는 스캔 라인들)에 게이트펄스(또는 스캔펄스)를 순차적으로 공급하기 위한 다수의 게이트 드라이브 IC, 및 드라이브 IC들을 제어하기 위한 타이밍 콘트롤러(Timing controller) 등을 구비한다.

[0004] 액정표시장치의 픽셀들은 컬러 구현을 위하여 적색(Red : R), 녹색(Green : G) 및 청색(Blue : B)의 서브 픽셀들로 나뉘어진다. 액정표시장치는 직류 잔상을 줄이고 액정의 열화를 방지하기 위하여 이웃하는 서브 픽셀들(sub-pixel)에 충전되는 데이터전압의 극성을 서로 상반되게 제어하고 데이터전압의 극성을 주기적으로 반전시키는 인버전 방식으로 구동되고 있다. 대부분의 액정표시장치에는 1 도트 또는 2 도트 인버전으로 데이터 전압의 극성을 반전시킨다. 1 도트(dot)는 1 서브 픽셀을 의미한다. 1 도트 인버전은 픽셀 어레이에서 1 도트 단위로 데이터 전압의 극성을 반전시키고 매 프레임 기간마다 데이터 전압의 극성을 반전시킨다. 소스 드라이브 IC는 타이밍 콘트롤러로부터 수신된 입력 영상의 데이터를 정극성 또는 부극성 데이터 전압으로 변환하여 데이터 라인들로 출력한다. 타이밍 콘트롤러는 입력 영상의 데이터와 함께 도 1과 같은 극성제어신호(POL)를 소스 드라이브 IC로 전송하여 데이터 전압(Vdata)의 극성을 제어한다.

[0005] 데이터 전압의 극성이 반전될 때 데이터 전압(Vdata)의 강하(Vdata)로 인하여, 데이터 전압이 타겟 레벨(Vtarget)까지 상승하기까지의 지연 시간이 길어져 픽셀의 데이터 전압 충전율이 낮아진다. 반면에, 이전 데이터 전압과 같은 극성으로 그 다음 데이터 전압이 변하면, 데이터 전압이 타겟 레벨까지 빠르게 도달한다.

[0006] 도 1에서 “ ΔV ”는 극성제어신호(POL)의 논리가 반전될 때부터 타겟 레벨(target level)에 도달하기까지의 데이터 전압 변화이다. 데이터 전압(Vdata)이 타겟 레벨(Vtarget)에 도달하기까지의 지연 시간(Δt)은 수십 μ sec 이상이다.

[0007] 소스 드라이브 IC의 소비 전력과 발열량을 줄이기 위하여, 4 도트 인버전 이상으로 데이터 전압의 극성 반전 주기를 길게 할 수 있다. 4 도트 인버전에서 소스 드라이브 IC는 도 2와 같이 동일한 데이터 라인을 통해 4 개의

서브 픽셀들에 제1 극성의 데이터 전압을 연속으로 공급한 후에, 제2 극성의 데이터 전압을 다른 4 개의 서브 픽셀들에 공급한다. 이 경우에, 서브 픽셀들의 데이터 전압 충전량이 달라져 동일 제조에서도 동일한 데이터 라인에 연결된 서브 픽셀들의 휘도가 점진적으로 변하는 현상이 보인다. 도 2에서 타겟 전압(V_{target})에 미치지 못한 데이터 전압(V_{data})으로 인하여 서브 픽셀들의 충전량이 달라진다. “강”, “약”, “중”은 동일 제조의 데이터 전압(V_{data})이 서브 픽셀들에 공급될 때 그 서브 픽셀들의 충전량 편차를 나타낸 것이다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 데이터 전압의 극성이 반전될 때 그 데이터 전압이 타겟 전압에 빠르게 도달되도록 한 액정표시장치와 그 구동 방법을 제공함에 있다.

과제의 해결 수단

[0009] 본 발명의 액정표시장치는 입력 영상의 데이터를 정극성 감마기준전압과 부극성 감마기준전압으로 변환하여 정극성 데이터 전압과 부극성 데이터 전압을 발생하는 데이터 구동부를 포함한다.

[0010] 데이터 구동부는 극성제어신호에 응답하여 상기 정극성 데이터 전압과 상기 부극성 데이터 전압을 선택하여 상기 데이터 라인들에 공급하고, 더미 채널을 통해 더미 데이터 전압을 출력한다.

[0011] 상기 액정표시장치는 더미 데이터 전압과 미리 설정된 기준 감마기준전압의 차를 바탕으로 보상전압을 발생하고, 상기 보상전압 만큼 고전위 전원전압(VDD)을 높이고 상기 보상전압 만큼 저전위 전원전압(VSS)을 낮추는 피드백 보상부를 포함한다.

[0012] 상기 액정표시장치의 구동 방법은 극성제어신호를 발생하는 단계, 고전위 전원 전압과 저전위 전원 전압 사이의 전압을 분압하여 정극성 감마기준전압과 부극성 감마기준전압을 발생하는 단계, 입력 영상의 데이터를 상기 정극성 감마기준전압과 상기 부극성 감마기준전압으로 변환하여 정극성 데이터 전압과 부극성 데이터 전압을 발생하는 단계, 상기 극성제어신호에 응답하여 상기 정극성 데이터 전압과 상기 부극성 데이터 전압을 선택하여 상기 데이터 라인들에 공급하는 단계, 더미 데이터 전압과 미리 설정된 기준 감마기준전압의 차를 바탕으로 보상전압을 발생하는 단계, 및 상기 보상전압 만큼 상기 고전위 전원전압을 높이고 상기 보상전압 만큼 상기 저전위 전원전압을 낮추는 단계를 포함한다.

발명의 효과

[0013] 본 발명은 액정표시패널에 표시되지 않는 더미 데이터로부터 얻어진 더미 데이터 전압과 소정의 기준 감마기준전압의 차를 바탕으로 고전위 전원전압과 저전위 전원전압을 변경한다. 그 결과, 본 발명은 데이터 구동부에 공급되는 감마기준전압을 가변하여 데이터 구동부로부터 출력되는 데이터 전압의 극성이 반전될 때 그 데이터 전압을 빠르게 타겟 전압에 도달하게 할 수 있다.

도면의 간단한 설명

[0014] 도 1은 데이터 전압이 극성이 반전될 때 데이터 전압 강하를 보여 주는 도면이다.

도 2는 4 도트 인버전에서 극성제어신호(POL)와 데이터 전압의 일 예를 보여 주는 도면이다.

도 3은 본 발명의 실시예에 따른 액정표시장치의 구동 방법을 보여 주는 흐름도이다.

도 4는 도 3과 같은 액정표시장치의 구동 방법에서 보상되는 고전위 전원전압(VDD)을 보여 주는 파형도이다.

도 5는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

도 6 내지 도 9는 표시패널의 다양한 TFT 어레이 구조를 보여 주는 도면들이다.

도 10은 소스 드라이브 IC에서 입력 영상의 데이터 전압이 출력되는 정상 출력 채널들을 보여 주는 도면이다.

도 11은 소스 드라이브 IC의 출력 버퍼들에 공급되는 전원 전압을 보여 주는 도면이다.

도 12는 감마 커브와 감마기준전압을 보여 주는 도면이다.

도 13은 감마기준전압을 출력하는 분압회로를 보여 주는 도면이다.

도 14는 소스 드라이브 IC의 더미 채널과 피드백 보상부를 보여 주는 회로도이다.

도 15는 도 14에 도시된 피드백 검출부를 보여 주는 회로도이다.

도 16은 극성제어신호, 더미 데이터 전압 및 전원전압을 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0016] 도 3은 본 발명의 실시예에 따른 액정표시장치의 구동 방법을 보여 주는 흐름도이다. 도 4는 도 3과 같은 액정표시장치의 구동 방법에서 보상되는 고전위 전원전압(VDD)을 보여 주는 파형도이다.
- [0017] 도 3 및 도 4를 참조하면, 본 발명의 소스 드라이브 IC는 데이터 전압을 출력한다(S1).
- [0018] 본 발명의 액정표시장치는 소스 드라이브 IC의 더미 출력 채널에 연결된 피드백 보상부(feedback compensator)를 포함한다. 피드백 보상부에 대하여는 도 13 및 도 14를 결부하여 자세히 설명하기로 한다.
- [0019] 피드백 보상부는 소스 드라이브 IC의 더미 출력 채널을 통해 출력되는 더미 데이터 전압(Vdata)과 감마기준전압을 비교하여 더미 데이터 전압(Vdata)의 변화량을 검출한다(S2). 더미 데이터 전압은 입력 영상과 무관한 더미 데이터로부터 생성된다. 소스 드라이브 IC는 더미 데이터(디지털 데이터)를 감마기준전압으로 변환하여 더미 데이터 전압을 생성하여 더미 출력 채널을 통해 출력한다. 더미 데이터에 대응하는 감마기준전압과, 더미 데이터 전압을 비교하면, 더미 데이터 전압의 변화량을 검출할 수 있다. 더미 데이터 전압(Vdata)의 변화량은 도 1에서 데이터 전압(Vdata)과 타겟 전압(Vtarget) 사이의 전압이다.
- [0020] 더미 데이터 전압은 화이트 계조의 타겟 전압(Vtarget)일 수 있으나 이에 한정되지 않는다. 정극성 화이트 계조의 전압은 최상위 감마기준전압과 같고, 부극성 화이트 계조의 전압은 최하위 감마기준전압과 같다. 따라서, 정극성 화이트 계조 전압의 타겟 전압(Vtarget)은 최상위 감마기준전압이고, 부극성 화이트 계조 전압의 타겟 전압(Vtarget)은 최하위 감마기준전압이다. 정극성 화이트 계조 전압과 최상위 감마기준전압을 비교하면, 타겟 전압(Vtarget)에 미치지 못하는 정극성 더미 데이터 전압(Vdata)의 변화량을 알 수 있다. 마찬가지로, 부극성 화이트 계조 전압과 최하위 감마기준전압을 비교하면, 타겟 전압(Vtarget)에 미치지 못하는 부극성 더미 데이터 전압(Vdata)의 변화량을 알 수 있다.
- [0021] 피드백 보상부는 더미 데이터 전압(Vdata)의 변화량 만큼 고전위 전원전압(VDD)과 저전위 전원전압(VSS)을 보상하여 데이터 전압(Vdata)이 타겟 전압(Vtarget)에 빠르게 도달하도록 감마기준전압을 조정한다(S3).
- [0022] 피드백 보상부는 데이터 전압(Vdata)의 변화량을 검출하기 위하여, 소스 드라이브 IC의 더미 출력 채널을 통해 출력되는 더미 데이터 전압과 감마기준전압의 차를 검출한다. 그리고 피드백 보상부는 정극성 더미 데이터 전압과, 정극성 감마기준전압의 차(이하 “정극성 데이터 전압의 변화량”이라 함)를 고전위 전원 전압(VDD)에 가산하여 고전위 전원전압(VDD)을 높인다. 또한, 피드백 보상부는 부극성 더미 데이터 전압과, 부극성 감마기준전압의 차(이하 “부극성 데이터 전압의 변화량”이라 함)를 소스 드라이브 IC의 저전위 전원 전압(VDD)에 가산하여 저전위 전원전압(VDD)을 낮춘다.
- [0023] 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 사이에서 분압된다. 고전위 전원전압(VDD)이 정극성 데이터 전압의 변화량 만큼 상승하면, 정극성 감마기준전압들이 고전위 전원전압(VDD)의 변화양에 비례하여 상승한다. 저전위 전원전압(VSS)이 부극성 데이터 전압의 변화량 만큼 낮아지면, 부극성 감마기준전압들이 저전위 전원전압(VSS)의 변화양에 비례하여 낮아진다. 따라서, 피드백 보상부는 타겟 전압(Vtarget)에 미치지 못하는 데이터 전압(Vdata)의 변화량을 검출하여 그 변화량 만큼 전원전압(VDD, VSS)을 보상하여 데이터 전압(Vdata)을 타겟 전압(Vtarget)에 빠르게 도달하게 한다.
- [0024] 도 5는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다. 도 6 내지 도 9는 표시패널의 다양한 TFT 어레이 구조를 보여 주는 도면들이다.
- [0025] 도 5 내지 도 9를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 표시패널(100), 타이밍 콘트롤러(101), 데이터 구동부(102), 및 게이트 구동부(103)를 구비한다.
- [0026] 표시패널(100)은 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드,

FFS(Fringe Field Switching) 모드 등 공지된 다양한 액정 모드로 구현될 수 있다. 이 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0027] 표시패널(100)은 두 장의 기판 사이에 형성된 액정층을 포함한다. 표시패널은 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배치된 픽셀들을 포함한다. 픽셀들 각각은 적색(Red) 서브 픽셀, 녹색(Green) 서브픽셀 및 청색(Blue) 서브픽셀(B)로 나뉘어지고, 백색(White) 서브 픽셀(W)을 더 포함할 수 있다. 서브 픽셀들 각각은 액정셀들(Clc)을 포함한다. 표시패널(100)의 영상 표시 영역에는 터치 입력을 감지하기 위한 터치 센서들이 배치될 수 있다.

[0028] 표시패널(100)의 하부 기판에는 TFT 어레이가 형성된다. TFT 어레이는 데이터라인들(DL)과 게이트라인들(GL)의 교차부에 형성된 액정셀들(Clc), 액정셀들의 픽셀전극(11)에 접속된 TFT들, 및 스토리지 커패시터(Cst)를 포함한다. TFT 어레이는 도 6 내지 도 9와 같이 다양한 형태로 구현될 수 있다. 액정셀들(Clc)은 TFT에 접속되어 픽셀전극들(11)과 공통전극(12) 사이의 전계에 의해 구동된다. 표시패널(100)의 상부 기판 상에는 블랙매트릭스, 컬러필터 등을 포함한 컬러 필터 어레이가 형성된다. 표시패널(100)의 상부 기판과 하부 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0029] 타이밍 컨트롤러(Timing controller, TCON)(101)는 호스트 시스템(Host system, HOST)(104)으로부터 수신된 입력 영상의 디지털 비디오 데이터(RGB)를 데이터 구동부(102)로 전송한다. 타이밍 컨트롤러(101)는 호스트 시스템(104)으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍신호를 수신 받는다. 타이밍 컨트롤러(101)는 타이밍신호를 바탕으로 데이터 구동부(102)와 게이트 구동부(103)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들(SDC, GDC)을 발생한다.

[0030] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(GSP), 게이트 시프트 클럭(GSC), 게이트 출력 인에이블신호(GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(103)를 구성하는 게이트 드라이브 IC의 동작 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 펄스의 시프트 타이밍을 제어한다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력 타이밍을 제어한다. 게이트 구동부(103)의 시프트 레지스터(Register)는 TFT 어레이와 함께 표시패널(100)의 기판 상에 함께 형성될 수 있다. 표시패널(100)의 기판 상에 직접 형성된 게이트 구동부(103)는 “GIP(Gate In Panel) 회로”로 알려져 있다. GIP 회로의 경우에, 게이트 출력 인에이블신호(GOE)가 생략될 수 있다.

[0031] 데이터 타이밍 제어신호(SDC)는 소스 스타트 펄스(SSP), 소스 샘플링 클럭(SSC), 극성제어신호(POL), 및 소스 출력 인에이블신호(SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동부(102)를 구성하는 소스 드라이브 IC들(SIC)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이브 IC들(SIC) 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 구동부(102)의 출력 타이밍을 제어한다. 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다. 극성제어신호(POL)는 픽셀들에 공급되는 데이터 전압의 극성을 제어한다.

[0032] 타이밍 컨트롤러(101)는 데이터 구동부로부터 출력되는 전압이 N(N은 4 이상의 양의 정수) 도트 인버전 형태로 반전되도록 극성제어신호(POL)를 발생할 수 있다. N 도트 인버전에서 소스 드라이브 IC는 극성제어신호(POL)의 제1 논리에 응답하여 동일한 데이터 라인을 통해 N 개의 서브 픽셀들에 제1 극성의 데이터 전압을 연속으로 공급한 후에, 극성제어신호(POL)의 제2 논리에 응답하여 제2 극성의 데이터 전압을 다른 N 개의 서브 픽셀들에 공급한다.

[0033] 타이밍 컨트롤러(101)는 입력 영상의 프레임 레이트(Frame rate 또는 프레임 주파수)×N(N은 2 이상의 양의 정수) Hz의 주파수로 프레임 레이트를 높여 표시패널 구동부(102, 104)의 구동 주파수를 N 배 채배된 프레임 레이트로 제어할 수 있다. 프레임 레이트는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0034] 데이터 구동부(102)는 하나 이상의 소스 드라이브 IC(SIC)를 포함한다. 소스 드라이브 IC들(SIC) 각각은 시프트 레지스터(shift register), 래치(latch), 디지털-아날로그 변환기(Digital to Analog converter, 이하 “DAC”라 함), 출력 버퍼(output buffer) 등을 포함한다. 소스 드라이브 IC들은 고전위 전원 전압(VDD)과 저전위 전원 전압(VSS)을 공급 받는다. 소스 드라이브 IC들의 출력 전압의 동적 범위(Dynamic range)는 출력 버퍼의 전원 전압으로 공급되는 고전위 전원 전압(VDD)과 저전위 전원 전압(VSS) 사이의 범위이다. 소스 드라이브

IC들 각각에는 감마기준전압 발생회로(이하 “GMA IC” 라 함)(105)로부터 감마기준전압들(GMA1~GMA16)을 공급 받는다.

- [0035] GMA IC(105)는 고전위 전원전압(VDD)과 저전위 전원 전압(VSS)을 분압하여 감마기준전압들(GMA1~GMA16)을 발생한다. 감마기준전압들(GMA1~GMA16)은 도 11과 같이 정극성 감마기준전압들(PGMA)과, 부극성 감마기준전압들(NGMA)로 나뉘어진다.
- [0036] 소스 드라이브 IC들(SIC)은 감마기준전압들(GMA1~GMA16)을 분압하여 각 계조의 타겟 전압인 계조별 감마보상전압을 발생한다. 소스 드라이브 IC들(SIC) 각각은 타이밍 컨트롤러(101)로부터 입력 영상의 디지털 비디오 데이터를 수신한다. 소스 드라이브 IC들(SIC)은 입력 영상의 디지털 비디오 데이터를 감마보상전압으로 변환하여 정극성/부극성 데이터 전압을 발생하고, 극성제어신호(POL)에 응답하여 데이터 전압의 극성을 반전시킨다.
- [0037] 소스 드라이브 IC들(SIC)은 타이밍 컨트롤러(101)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 소스 드라이브 IC들(SIC)은 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 데이터 전압을 발생하고 극성제어신호(POL)에 응답하여 그 데이터 전압의 극성을 반전시킨다.
- [0038] 소스 드라이브 IC(SIC)의 DAC는 입력 영상의 디지털 비디오 데이터를 정극성 감마보상전압으로 변환하여 정극성 데이터 전압을 출력하는 P(Positive) 디코더(decoder)와, 입력 영상의 디지털 비디오 데이터를 부극성 감마보상전압으로 변환하여 부극성 데이터 전압을 출력하는 N(Negative) 디코더를 포함한다.
- [0039] 소스 드라이브 IC들(SIC)은 소스 출력 인에이블 신호(SOE)에 응답하여 데이터전압을 데이터라인들(DL)로 출력한다. 소스 드라이브 IC들(SIC)은 소스 출력 인에이블 신호(SOE)의 로우 논리 구간(Low 또는 0)에 데이터 전압을 출력하고, 소스 출력 인에이블 신호(SOE)의 하이 논리 구간(high 또는 1)에 차지 셰어링(charge sharing)을 실시할 수 있다. 차지 셰어링은 이웃한 데이터 라인들(DL)을 단락(short circuit)시켜 그 데이터 라인들의 전압을 평균화하여 데이터 전압의 스윙폭(swing width)을 줄인다.
- [0040] 소스 드라이브 IC들 중 적어도 하나는 제1 및 제2 더미 출력 채널들(DCH1, DCH2)을 포함한다. 제1 및 제2 더미 출력 채널들(DCH1, DCH2)은 표시패널(100)의 TFT 어레이에 배치된 더미 데이터 라인들(DDL1, DDL2)에 연결될 수 있다. 더미 출력 채널들(DCH1, DCH2)은 입력 영상의 데이터 전압이 공급되는 데이터 라인(DL)이나 더미 데이터 라인들(DDL1, DDL2)에 연결되지 않을 수도 있다. 더미 출력 채널들(DCH1, DCH2)과 더미 데이터 라인들(DDL1, DDL2)은 도 5의 예에서 표시패널의 일측에 배치되어 있으나 그 위치가 도 5에 한정되지 않는다.
- [0041] 더미 데이터 라인들(DDL1, DDL2)은 영상 표시 영역의 픽셀들과 연결되지 않는다. 소스 드라이브 IC는 타이밍 컨트롤러(101)의 제어 하에 입력 영상 신호와 무관한 더미 데이터 전압을 발생하여 더미 출력 채널들(DCH1, DCH2)로 출력한다. 더미 데이터 전압은 정극성 화이트 계조 전압과 부극성 화이트 계조 전압으로 나뉘어진다. 정극성 화이트 계조 전압은 제1 더미 출력 채널(DCH1)을 통해 출력되고, 부극성 화이트 계조 전압은 제2 더미 출력 채널(DCH2)을 통해 출력된다. 더미 출력 채널(DCH1, DCH2)을 통해 출력되는 전압은 영상 표시 영역의 픽셀들에 공급되지 않기 때문에 그 픽셀들에 표시되지 않고 데이터 전압의 변화량을 검출하기 위한 용도로 이용된다.
- [0042] 소스 드라이브 IC(SIC)는 내장 레지스터(register)에 저장된 화이트 계조값의 더미 데이터를 정극성 감마기준전압과 부극성 감마기준전압으로 변환하여 정극성 및 부극성 더미 데이터 전압을 발생할 수 있다. 이와 다른 실시예로서, 소스 드라이브 IC는 타이밍 컨트롤러(101)로부터 수신된 화이트 계조의 더미 데이터를 정극성 감마기준전압과 부극성 감마기준전압으로 변환하여 정극성 및 부극성 더미 데이터 전압을 발생할 수도 있다.
- [0043] 피드백 보상부(FBC)(120)는 소스 드라이브 IC(SIC)와 GMA IC(105) 사이에 연결되어 더미 출력 채널들을 통해 수신한 더미 데이터 전압과 감마기준전압을 비교하여 데이터 전압의 변화량을 검출하고, 그 변화량 만큼 고전위 전원전압(VDD)과 저전위 전원전압(VSS)을 보상한다. 따라서, 피드백 보상부(120)로부터 출력된 전원전압(VDD, VSS)은 종래 기술과 달리, 타겟 전압(Vtarget)에 미치지 못하는 데이터 전압(Vdata)의 변화량에 따라 가변된다. 전원전압(VDD, VSS)이 가변되면, 감마기준전압(GMA1~GMA16)과 소스 드라이브 IC(SIC)의 출력 전압의 동적 범위가 전원전압(VDD, VSS)의 변화량에 비례하여 달라진다.
- [0044] 게이트 구동부(103)의 게이트 드라이브 IC들은 시프트 레지스터와 레벨 쉬프터를 포함한다. 게이트 구동부(103)는 게이트 타이밍 제어신호(GDC)에 응답하여 데이터전압에 동기되는 게이트펄스를 게이트라인들(GL)에 순차적으로 공급한다.
- [0045] 호스트 시스템(104)은 텔레비전 시스템, 홈 시어터 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루

레이 플레이어, 개인용 컴퓨터(PC), 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(104)은 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 스케일링한다. 호스트 시스템(104)은 입력 영상의 디지털 비디오 데이터(RGB)와 함께 타이밍 신호들(Vsync, Hsync, DE, CLK)을 타이밍 콘트롤러(101)로 전송한다.

[0046] 도 6 내지 도 9는 다양한 TFT 어레이를 보여 주는 등가 회로들이다. 도 6 내지 도 9에는 TFT 어레이의 일부를 보여 준다. 도 6 내지 도 9에 있어서, D1~D6은 데이터라인, G1~G6은 게이트 라인, LINE#1~LINE#6은 픽셀 어레이의 라인 번호를 각각 나타낸다.

[0047] 도 6에 도시된 TFT 어레이는 대부분의 액정표시장치에서 적용되고 있다. 이 TFT 어레이에는 데이터라인들(D1~D6)과 게이트라인들(G1~G4)이 교차된다. TFT 각각은 게이트라인(G1~G4)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 픽셀전극(11)에 공급한다. 도 6에 도시된 TFT 어레이의 해상도가 $M \times N$ (M 및 N 각각은 2 이상의 양의 정수) 일 때, $M \times 3$ 개의 데이터라인들과 N 개의 게이트라인들이 필요하다. $M \times 3$ 에서, 3은 1 픽셀에 포함된 서브 픽셀들의 개수이다.

[0048] 도 7에 도시된 TFT 어레이는 도 6에 도시된 TFT 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄인 구조이다. 이 TFT 어레이의 구동 주파수는 도 7에서 도시된 TFT 어레이에 비하여 2 배 높다. 이하에서, 도 7에 도시된 TFT 어레이를 가지는 표시패널을 “DRD(Double rate driving) 패널”이라 한다. DRD 패널은 도 6에 도시된 TFT 어레이에 비하여 소스 드라이브 IC들(SIC)이 고속 구동하지만 필요한 IC의 개수를 1/2로 줄일 수 있다. DRD 패널의 TFT 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼(column) 방향을 따라 배치된다. DRD 패널의 TFT 어레이에서 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 공유하여 그 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 데이터라인(D1~D4)의 좌측에 배치된 액정셀과 TFT를 각각 제1 액정셀과 제1 TFT(T1)라 하고, 데이터라인(D1~D4)의 우측에 배치된 액정셀과 TFT를 각각 제2 액정셀과 제2 TFT(T2)라 하여 TFT 어레이의 구조를 설명하면 다음과 같다. 제1 TFT(T1)는 기수 게이트라인(G1, G3, G5, G7)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제1 액정셀의 픽셀전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3, G5, G7)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 픽셀전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4, G6, G8)로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제2 액정셀의 픽셀전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4, G6, G8)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 픽셀전극에 접속된다. DRD 패널의 TFT 어레이는 같은 해상도에 도 6의 TFT 어레이 구조에 비하여 데이터 라인들의 개수가 1/2로 감소된다.

[0049] 도 7에서, 화살표는 소스 드라이브 IC(SIC)의 한 출력 채널로부터 출력되는 데이터 전압의 충전 순서를 보여 준다. 도 7의 표시패널에서 소스 드라이브 IC(SIC)의 한 출력 채널에 연결된 하나의 데이터 라인을 따라 픽셀들이 지그재그 형태로 연결되기 때문에, 데이터 전압은 화살표 방향을 따라 픽셀들에 공급된다.

[0050] 도 8에 도시된 TFT 어레이는 도 6에 도시된 TFT 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/3로 줄인 구조이다. 이 TFT 어레이의 구동 주파수는 도 2에서 도시된 TFT 어레이에 비하여 3 배 높다. 이하에서, 도 8에 도시된 TFT 어레이를 가지는 표시패널을 “TRD(Triple rate driving) 패널”이라 한다. TRD 패널의 TFT 어레이에서 1 픽셀은 컬럼 방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B)을 포함한다. TRD 패널의 TFT 어레이에서, TFT 각각은 게이트라인(G1~G6)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 픽셀전극에 공급한다. TRD 패널의 TFT 어레이는 같은 해상도에 도 6의 TFT 어레이 구조에 비하여 데이터 라인들의 개수가 1/3로 감소된다.

[0051] 도 9의 TFT 어레이에서, 데이터 라인들(D1~D5)을 통해 컬럼 인버전(Column inversion)으로 극성이 반전되는 데이터 전압을 공급 받아 픽셀들에 공급하면, 그 픽셀들의 극성이 도트 인버전 형태로 반전된다. 이하에서 도 9와 같은 TFT 어레이를 가지는 표시패널을 “LTD(Low Temperature Driving) 패널”이라 한다. 컬럼 인버전 타입의 소스 드라이브 IC는 1 프레임 기간 동안 극성이 유지되는 데이터 전압을 출력하지만, LTD 패널에서 TFT의 지그재그 배치 구조로 인하여 픽셀 어레이의 극성은 도트 인버전 형태로 극성이 반전된다.

[0052] LTD 패널의 TFT들(T1~T4)은 데이터라인들(D1~D5)을 따라 지그재그 형태로 배치된다. 데이터라인들(D1~D5) 각각에는 실선과 점선 화살표와 같이 1 프레임기간 동안 동일한 극성의 데이터전압들이 공급되지만, 이웃하는 서브

픽셀들에는 서로 상반된 극성의 데이터전압이 공급된다. 따라서, 픽셀 어레이의 극성은 도트 인버전 형태로 극성이 반전된다.

[0053] 픽셀 어레이의 기수 번째 라인들(LINE#1, LINE#3)은 데이터라인들(D1~D4)의 우측에 배치된 픽셀 전극(PE1, PE2)을 데이터라인들(D1~Dm)에 연결하기 위한 TFT들(T1, T2)을 포함한다. 제1 TFT(T1)의 드레인전극은 제1 데이터라인(D1)에 접속되고 그 소스전극은 제1 데이터라인(D1)의 우측에 배치된 제1 픽셀 전극(PE1)에 접속된다. 제2 TFT(T2)의 드레인전극은 제2 데이터라인(D2)에 접속되고 그 소스전극은 제2 데이터라인(D2)의 우측에 배치된 제2 픽셀 전극(PE2)에 접속된다. 제1 및 제2 TFT(T1, T2)의 게이트전극들은 제1 게이트라인(G1)에 접속된다.

[0054] 픽셀 어레이의 우수 번째 라인들(LINE#2, LINE#4)에는 데이터라인들(D2~D5)의 좌측에 배치된 픽셀 전극(PE3, PE4)을 데이터라인들(D2~D5)에 연결하기 위한 TFT들(T3, T4)을 포함한다. 제3 TFT(T3)의 드레인전극은 제2 데이터라인(D2)에 접속되고 그 소스전극은 제2 데이터라인(D2)의 좌측에 배치된 제3 픽셀 전극(PE3)에 접속된다. 제4 TFT(T4)의 드레인전극은 제3 데이터라인(D3)에 접속되고 그 소스전극은 제3 데이터라인(D3)의 좌측에 배치된 제4 픽셀 전극(PE4)에 접속된다. 제3 및 제4 TFT(T3, T4)의 게이트전극들은 제2 게이트라인(G2)에 접속된다.

[0055] 도 10은 소스 드라이브 IC에서 입력 영상의 데이터 전압이 출력되는 정상 출력 채널들(Ch1~Ch4)을 보여 주는 도면이다. 정상 출력 채널들(Ch1~Ch4)은 표시패널(100)의 데이터 라인들(DL)에 연결된다.

[0056] 도 10을 참조하면, 소스 드라이브 IC(SIC)는 출력 버퍼들(BUF1, BUF2) 및 스위치 소자들(SW1~SW4)을 포함한다. 소스 드라이브 IC(SIC)는 정상 출력 채널들(Ch1~Ch4)을 통해 표시패널(100)의 픽셀들에 표시될 입력 영상의 데이터 전압을 출력한다.

[0057] 소스 드라이브 IC의 DAC는 입력 영상의 디지털 비디오 데이터를 정극성 데이터 전압과 부극성 전압으로 변환하여 출력 버퍼들(BUF1, BUF2)에 공급한다. 출력 버퍼들(BUF1, BUF2)은 정극성 데이터전압(P)이 공급되는 제1 버퍼와, 부극성 데이터 전압이 공급되는 제2 버퍼로 나뉘어진다.

[0058] 스위치 소자들(SW1~SW4)은 제1 버퍼(BUF1)와 기수 번째 출력 채널(Ch1, Ch3) 사이에 연결된 제1 스위치 소자(SW1), 제1 버퍼(BUF1)와 우수 번째 출력 채널(Ch2, Ch4) 사이에 연결된 제2 스위치 소자(SW2), 제2 버퍼(BUF2)와 기수 번째 출력 채널(Ch1, Ch3) 사이에 연결된 제3 스위치 소자(SW3), 및 제2 버퍼(BUF2)와 우수 번째 출력 채널(Ch2, Ch4) 사이에 연결된 제2 스위치 소자(SW2)를 포함한다. 제1 스위치 소자(SW1)는 극성제어신호(POL)의 제1 논리 레벨에 응답하여 턴-온(turn-on)되어 제1 버퍼(BUF1)로부터의 정극성 데이터 전압(P)을 기수 번째 출력 채널(Ch1, Ch3)에 공급한다. 제2 스위치 소자(SW2)는 극성제어신호(POL)의 제2 논리 레벨에 응답하여 턴-온되어 제1 버퍼(BUF1)로부터의 정극성 데이터 전압(P)을 우수 번째 출력 채널(Ch2, Ch4)에 공급한다. 제3 스위치 소자(SW3)는 극성제어신호(POL)의 제2 논리 레벨에 응답하여 턴-온되어 제2 버퍼(BUF2)로부터의 부극성 데이터 전압(N)을 기수 번째 출력 채널(Ch1, Ch3)에 공급한다. 제4 스위치 소자(SW4)는 극성제어신호(POL)의 제1 논리 레벨에 응답하여 턴-온되어 제2 버퍼(BUF2)로부터의 부극성 데이터 전압(N)을 우수 번째 출력 채널(Ch2, Ch4)에 공급한다. 극성제어신호(POL)의 제1 논리 레벨은 하이 레벨(high level 또는 1)이고, 극성제어신호(POL)의 제2 논리 레벨은 로우 레벨(low level 또는 0)일 수 있다.

[0059] 출력 버퍼들(BUF1, BUF2)은 도 11과 같이 전원 전압(VDD, VSS)이 공급되는 연산 증폭기(Operational amplifier, OP-AMP)를 포함한다.

[0060] 출력 버퍼들(BUF1, BUF2)의 출력 전압은 피드백 보상부(120)에 의해 가변되는 VDD와 VSS 사이의 동적 범위(dynamic range) 내의 전압으로 발생된다. 따라서, 피드백 보상부(120)에 의해 VDD와 VSS가 가변되면 출력 버퍼들(BUF1, BUF2)로부터 출력되는 데이터 전압이 달라질 수 있다. 예를 들어, VDD가 상승하면 출력 버퍼의 출력 상한 전압이 상승하고, VSS가 낮아지면 출력 버퍼의 출력 하한 전압이 낮아진다. 본 발명은 데이터 전압(Vdata)의 변화량에 따라 VDD와 VSS를 보상하여 감마기준전압을 조정하면 데이터 전압(Vdata)을 조정한다. 그런데, 출력 버퍼들(BUF1, BUF2)의 출력 전압의 동적 범위가 고정되면 데이터 전압의 가변 범위가 제한되므로 VDD와 VSS의 보상 효과가 작다. 이를 고려하여, 본 발명은 데이터 전압의 변화량 검출 결과에 따라 GMA IC(105)와 출력 버퍼(BUF1, BUF2)에 공급되는 VDD와 VSS를 동시에 보상하여 감마기준전압과 출력 버퍼의 동적 범위를 동시에 가변할 수 있다.

[0061] 도 12는 감마 커브와 감마기준전압을 보여 주는 도면이다. 도 13은 감마기준전압을 출력하는 분압회로를 보여 주는 도면이다.

- [0062] 도 12 및 도 13을 참조하면, 분압 회로는 VDD와 VSS를 분압하는 다수의 저항들(R)을 이용하여 감마기준전압들(GMA1~GMA16)을 출력한다. 감마기준전압들(GMA1~GMA16)은 공통전압(Vcom) 보다 높은 정극성 감마기준전압(PGMA)과, 공통전압(Vcom) 보다 낮은 부극성 감마기준전압(NGMA)으로 나뉘어진다. 정극성 감마기준전압(PGMA)은 VDD와 Vcom 사이에서 등간격으로 나뉘어진 8 개의 감마기준전압들(GMA1~GMA8)로 나뉘어질 수 있다. 부극성 감마기준전압(NGMA)은 Vcom과 VSS 사이에서 등간격으로 나뉘어진 8 개의 감마기준전압들(GMA9~GMA16)로 나뉘어질 수 있다.
- [0063] 공통전압(Vcom)은 표시패널의 공통전극(12)에 공급되고, 데이터전압(Vdata)은 픽셀전극(11)에 공급된다. 데이터전압(Vdata)과 공통전압(Vcom) 사이의 전압차가 클수록 액정셀(C1c)의 전압이 커진다. 노말리 화이트 모드(Normally white mode)로 구동되는 표시패널(100)에서, 액정셀(C1c)의 전압이 클수록 픽셀의 휘도가 높아진다. 노말리 화이트 모드에서, 정극성 화이트 계조 전압은 최상위 감마기준전압(GMA1)이고, 부극성 화이트 계조 전압은 최하위 감마기준전압(GMA16)이다.
- [0064] 도 14는 소스 드라이브 IC(SIC)의 더미 채널과 피드백 보상부를 보여 주는 회로도이다.
- [0065] 도 14를 참조하면, 소스 드라이브 IC(SIC)에서 DAC와 더미 출력 채널들(DCH1, DCH2) 사이에는 정상 출력 채널과 동일하게 스위치 소자들(SW1, SW4)이 연결된다. 스위치 소자들(SW1~SW4)은 극성제어신호(POL)에 따라 온/오프되는 MOSFET(metal oxide semiconductor field effect transistor)로 구현될 수 있다. 극성제어신호(POL)는 버퍼(22)와 인버터(21)를 통해 스위치 소자들(SW1~SW4)의 게이트에 공급됨과 동시에, 피드백 보상부(120)에 공급된다. DAC는 도시하지 않은 래치(Latch)로부터 화이트 계조의 더미 데이터를 입력 받고, GMA IC(105)로부터 감마기준전압(GMA1~GMA16)를 공급받는다. DAC는 화이트 계조의 더미 데이터를 최상위 감마기준전압(GMA1)으로 변환하여 정극성 더미 데이터 전압을 제1 버퍼(BUF1)로 출력하는 P 디코더(PDAC)와, 화이트 계조의 더미 데이터를 최하위 감마기준전압(GMA16)으로 부극성 더미 데이터 전압을 제2 버퍼(BUF2)로 출력하는 N 디코더(NDAC)를 포함한다.
- [0066] 극성제어신호(POL)가 제1 논리일 때, 제1 및 제4 스위치 소자들(SW1, SW4)이 턴-온된다. 극성제어신호(POL)가 제1 논리일 때, 제1 더미 데이터 전압(DUM1)은 제1 버퍼(BUF1)를 통해 입력 받은 정극성 더미 데이터 전압이고, 제2 더미 데이터 전압(DUM2)은 제2 버퍼(BUF2)를 통해 입력 받은 부극성 더미 데이터 전압이다. 극성제어신호(POL)가 제2 논리일 때, 제2 및 제3 스위치 소자들(SW2, SW3)이 턴-온된다. 극성제어신호(POL)가 제2 논리일 때, 제1 더미 데이터 전압(DUM1)은 제2 버퍼(BUF2)를 통해 입력 받은 부극성 더미 데이터 전압이고, 제2 더미 데이터 전압(DUM2)은 제1 버퍼(BUF1)를 통해 입력 받은 정극성 더미 데이터 전압이다. 따라서, 제1 더미 데이터 전압(DUM1)과 제2 더미 데이터 전압(DUM2)의 극성이 서로 반대이다.
- [0067] 피드백 보상부(120)는 제1 피드백 검출부(X1), 제2 피드백 검출부(X2), 제1 아날로그 스위치(AS1), 및 제2 아날로그 스위치(AS2)를 포함한다.
- [0068] 제1 피드백 검출부(X1)는 제1 더미 데이터 전압(DUM1)을 소정의 제1 기준 감마기준전압(GMA1_Ref) 또는, 소정의 제2 기준 감마기준전압(GMA16_Ref)과 비교하여 제1 더미 데이터 전압(DUM1)의 변화량을 검출한다. 제1 피드백 검출부(X1)는 극성제어신호(POL)의 논리에 따라 제1 기준 감마기준전압(GMA1_Ref)과 제2 기준 감마기준전압(GMA16_Ref) 중 어느 하나를 선택하고, 선택된 기준 감마기준전압을 제1 더미 데이터 전압(DUM1)과 비교한다. 극성제어신호(POL)가 제1 논리이면, 제1 기준 감마기준전압(GMA1_Ref)이 제1 더미 데이터 전압(DUM1)과 비교된다. 극성제어신호(POL)가 제2 논리이면, 제2 기준 감마기준전압(GMA16_Ref)이 제1 더미 데이터 전압(DUM1)과 비교된다.
- [0069] 제1 피드백 검출부(X1)는 제1 더미 데이터 전압(DUM1)과 기준 감마기준전압(GMA1_Ref 또는 GMA16_Ref)의 차를 바탕으로 보상 전압을 발생하고, 그 보상 전압을 전원전압(VDD 또는 VSS)에 가산하여 전원전압(VDD 또는 VSS)을 보상한다. 고전위 전원전압(VDD)은 보상전압 만큼 더 높아지고, 저전위 전원전압(VSS)은 보상전압 만큼 더 낮아진다.
- [0070] 제2 피드백 검출부(X2)는 제2 더미 데이터 전압(DUM2)을 제1 기준 감마기준전압(GMA1_Ref) 또는, 제2 기준 감마기준전압(GMA16_Ref)과 비교하여 제2 더미 데이터 전압(DUM2)의 변화량을 검출한다. 제2 피드백 검출부(X2)는 극성제어신호(POL)의 논리에 따라 제1 기준 감마기준전압(GMA1_Ref)과 제2 기준 감마기준전압(GMA16_Ref) 중 어느 하나를 선택하고, 선택된 기준 감마기준전압을 제2 더미 데이터 전압(DUM2)과 비교한다. 극성제어신호(POL)가 제1 논리이면, 제1 기준 감마기준전압(GMA1_Ref)이 제2 더미 데이터 전압(DUM2)과 비교된다. 극성제어신호(POL)가 제2 논리이면, 제2 기준 감마기준전압(GMA16_Ref)이 제2 더미 데이터 전압(DUM2)과 비교된다.

- [0071] 제2 피드백 검출부(X2)는 제2 더미 데이터 전압(DUM2)과 기준 감마기준전압(GMA1_Ref 또는 GMA16_Ref)의 차를 바탕으로 보상 전압을 발생하고, 그 보상 전압을 전원전압(VDD 또는 VSS)에 가산하여 전원전압(VDD 또는 VSS)을 보상한다. 고전위 전원전압(VDD)은 보상전압 만큼 더 높아지고, 저전위 전원전압(VSS)은 보상전압 만큼 더 낮아진다.
- [0072] 제1 기준 감마기준전압(GMA1_Ref)은 제2 감마기준전압(GMA16_Ref) 보다 높은 기준전압이다. 제1 기준 감마기준전압(GMA1_Ref)은 정극성 더미 데이터 전압의 타겟 전압 이상의 전압으로 설정된 직류 전압이다. 제1 기준 감마기준전압(GMA1_Ref)은 정극성 더미 데이터 전압이 정극성 화이트 계조의 전압이면, 정극성 화이트 계조의 타겟 전압 이상의 직류 전압으로 설정된다. GMA_IC(105)로부터 출력되는 최상위 감마기준전압(GMA1)은 제1 기준 감마기준전압(GMA1_Ref) 이상의 전압에서 정극성 더미 데이터전압의 변화량에 따라 가변된다.
- [0073] 제2 기준 감마기준전압(GMA16_Ref)은 부극성 더미 데이터 전압의 타겟 전압 이하의 전압으로 설정된 직류 전압이다. 제2 기준 감마기준전압(GMA16_Ref)은 부극성 더미 데이터 전압이 부극성 화이트 계조의 전압이면, 부극성 화이트 계조의 타겟 전압 이하의 직류 전압으로 설정된다. GMA_IC(105)로부터 출력되는 최하위 감마기준전압(GMA16)은 제2 기준 감마기준전압(GMA16_Ref) 이하의 전압에서 부극성 더미 데이터전압의 변화량에 따라 가변된다.
- [0074] 제1 아날로그 스위치(AS1)는 제1 피드백 검출부(X1)의 출력과 제2 피드백 검출부(X2)의 출력 중 더 높은 전압을 극성제어신호(POL)의 논리에 따라 선택하여 보상된 고전위 전원전압(VDD)을 GMA IC(105)에 공급한다. 제2 아날로그 스위치(AS1)는 반전된 극성제어신호(POL)에 응답하여 제1 피드백 검출부(X1)의 출력과 제2 피드백 검출부(X2)의 출력 중 어느 하나를 선택한다. 제2 아날로그 스위치(AS2)는 제1 피드백 검출부(X1)의 출력과 제2 피드백 검출부(X2)의 출력 중 더 낮은 전압을 반전된 극성제어신호(POL)의 논리에 따라 선택하여 보상된 저전위 전원전압(VSS)을 GMA IC(105)에 공급한다.
- [0075] GMA IC(105)는 피드백 보상부(102)로부터 수신된 고전위 전원 전압(VDD)과 저전위 전원 전압(VSS)을 입력 받아 도 12 및 도 13과 같은 감마기준전압(GMA1~GMA16)을 발생하고, 그 감마기준전압(GMA1~GMA16)을 소스 드라이브 IC의 DAC(PDAC, NDAC)에 공급한다.
- [0076] 도 15는 제1 및 제2 피드백 검출부(X1, X2)를 상세히 보여 주는 회로도이다. 제1 및 제2 피드백 검출부(X1, X2)는 동일한 회로 구성을 가진다. 도 15는 제1 및 제2 피드백 검출부(X1, X2) 중에서 어느 하나를 도시한 것이다.
- [0077] 도 15를 참조하면, 피드백 검출부(X1, X2)는 비교기(31), 제3 아날로그 스위치(SW3), 커패시터(33), 가산기(32), 및 제4 아날로그 스위치(SW4)를 포함한다.
- [0078] 비교기(31)는 연산 증폭기(AMP1)와 저항들(R1, R2)로 이루어진 반전 증폭기를 이용하여 입력 전압(IN)과 기준 감마기준전압(GMA1_Ref 또는 GMA16_Ref)의 차를 반전 증폭하여 보상전압을 출력한다. 연산 증폭기(AMP1)의 반전 입력단자(-)에는 더미 데이터 전압(DUM1 또는 DUM2)이 입력되고, 연산 증폭기(AMP2)의 비반전 입력단자(+)에는 제3 아날로그 스위치(AS3)에 의해 선택된 기준 감마기준전압(GMA1_Ref 또는 GMA16_Ref)이 공급된다. 반전 증폭기의 이득은 저항(R1, R2)에 의한 전압 분배로 결정된다. 본 발명은 반전 증폭기의 저항(R1, R2)을 적절히 선택하여 전원전압(VDD, VSS)의 보상비를 조절할 수 있다.
- [0079] 비교기(31)의 출력 전압(OUT)은 커패시터(33)를 통해 가산기(32)에 입력된다. 비교기(31)의 입력 전압이 정극성 더미 데이터 전압일 때, 비교기(31)의 출력 전압(OUT)은 정극성 전압이다. 비교기(31)의 입력 전압이 부극성 더미 데이터 전압일 때, 비교기(31)의 출력 전압(OUT)은 부극성 전압이다.
- [0080] 제3 아날로그 스위치(AS3)는 극성제어신호(POL)에 응답하여 제1 기준 감마기준전압(GMA1_Ref)과 제2 기준 감마기준전압(GMA16_Ref) 중 어느 하나를 선택하여 비교기(31)에 공급한다. 극성제어신호(POL)가 제1 논리일 때, 연산 증폭기(AMP1)에 반전 입력 단자(-)에 정극성 더미 데이터 전압이 입력되고, 연산 증폭기(AMP1)의 비반전 입력 단자(+)에 제1 기준 감마기준전압(GMA1_Ref)이 입력된다. 극성제어신호(POL)가 제2 논리일 때, 연산 증폭기(AMP1)에 반전 입력 단자(-)에 부극성 더미 데이터 전압이 입력되고, 연산 증폭기(AMP1)의 비반전 입력 단자(+)에 제2 기준 감마기준전압(GMA2_Ref)이 입력된다.
- [0081] 가산기(32)는 커패시터(33)의 보상 전압을 기준 전원전압(VDD_Ref, VSS_Ref)에 가산한다. 가산기(32)의 출력 전압은 제1 및 제2 아날로그 스위치(AS1, AS2)에 공급된다. 가산기(32)는 연산 증폭기(AMP2)와 저항들(R3, R4)을 포함한다. 연산 증폭기(AMP2)의 반전 입력단자(-)와 커패시터(33) 사이에 제3 저항(R3)이 연결된다. 연산

증폭기(AMP2)의 비반전 입력단자(+)와 연산 증폭기(AMP2)의 반전 입력단자(-) 사이에 제4 저항(R4)이 연결된다. 연산 증폭기(AMP2)의 비반전 입력단자(+)에 제4 아날로그 스위치(AS4)로부터 출력된 기준 전원전압(VDD_Ref 또는 VSS_Ref)이 공급된다.

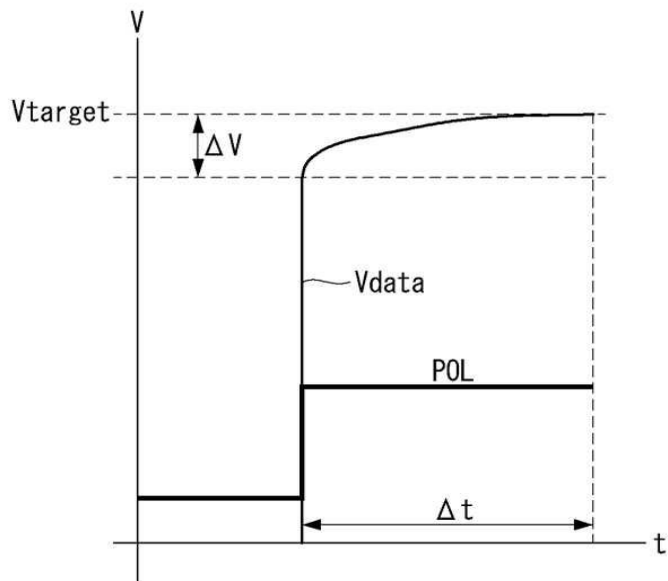
- [0082] 제4 아날로그 스위치(AS4)는 극성제어신호(POL)에 응답하여 제1 기준 전원전압(VDD_Ref)과 제2 기준 전원전압(VSS_Ref) 중 어느 하나를 선택하여 가산기(32)에 공급한다. 극성제어신호(POL)가 제1 논리일 때, 비교기(31)에 정극성 더미 데이터 전압이 입력되고, 연산 증폭기(AMP2)의 비반전 입력 단자(+)에 제1 기준 전원전압(VDD_Ref)이 입력된다. 극성제어신호(POL)가 제2 논리일 때, 비교기(31)에 부극성 더미 데이터 전압이 입력되고, 연산 증폭기(AMP2)의 비반전 입력 단자(+)에 제2 기준 전원전압(VSS_Ref)이 입력된다.
- [0083] 제1 기준 전원전압(VDD_Ref)은 제2 기준 전원전압(VSS_Ref) 보다 높은 기준전압이다. GMA IC(105)에 입력되는 고전위 전원전압(VDD)은 제1 기준 전원전압(VDD_Ref)에 정극성 보상전압이 더해진 전압이다. GMA IC(105)에 입력되는 저전위 전원전압(VSS)은 제2 기준 전원전압(VSS_Ref)에 부극성 보상전압이 더해진 전압이다.
- [0084] GMA IC(105)로부터 출력되는 감마기준전압(GMA1~GMA16)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS)에 비례하여 변경된다. 데이터 전압(Vdata)의 극성이 반전될 때 그 데이터 전압(Vdata)이 타겟 전압(Vtarget)에 도달하지 못하면 그 차이에 해당하는 보상전압 만큼 고전위 전원전압(VDD)과 저전위 전원전압(VSS)이 변경된다. 따라서, 본 발명은 데이터 전압(Vdata)의 변화량을 검출하여 그 변화량 이상 데이터 전압(Vdata)을 조절함으로써 데이터 전압(Vdata)의 극성이 반전될 때 픽셀 전압이 타겟 전압(Vtarget)에 빠르게 도달하도록 한다.
- [0085] 도 16은 극성제어신호, 더미 데이터 전압 및 전원전압(VDD, VSS)을 보여 주는 파형도이다.
- [0086] 도 16을 참조하면, 본 발명의 액정표시장치는 더미 데이터 전압(DUM1, DUM2)의 극성이 반전될 때 즉, 극성제어신호(POL)의 논리가 반전될 때 고전위 전원전압(VDD)이 제1 기준 전원전압(VDD_Ref) 이상으로 높아지고 저전위 전원전압(VSS)이 제2 기준 전원전압(VSS_Ref) 이하로 낮아진다.
- [0087] 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 간의 전압 차는 극성제어신호(POL)의 논리가 반전될 때 가장 커진다. 극성제어신호(POL)의 논리가 유지되는 기간 동안, 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 간의 전압 차는 상대적으로 작아진다. 따라서, 극성제어신호(POL)의 논리가 반전될 때 최상위 감마기준전압(GMA1)과 최하위 감마기준전압(GMA16)의 전압 차가 가장 커지고, 소스 드라이브 IC으로부터 출력되는 데이터 전압의 동적 범위도 가장 커진다.
- [0088] 한편, 종래 기술의 액정표시장치는 고전위 전원전압(VDD)과 저전위 전원전압(VSS)이 고정되기 때문 감마기준전압(GMA1~GMA16)과 소스 드라이브 IC의 출력 전압 범위(동적 범위)를 가변할 수 없다.
- [0089] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

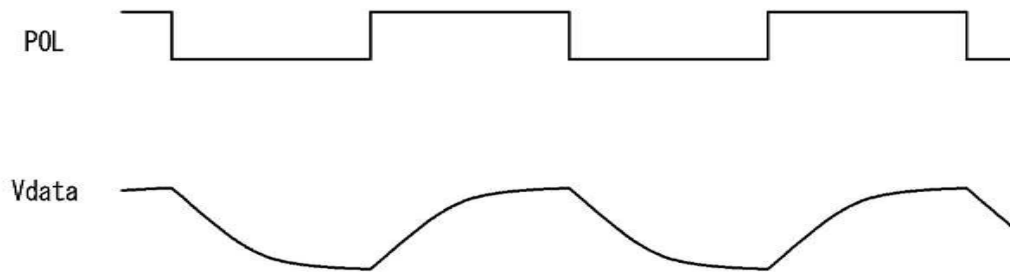
- [0090] 31 : 비교기 32 : 가산기
- 33 : 커패시터 100 ; 표시패널
- 101 : 타이밍 컨트롤러 102 : 데이터 구동부
- 103 : 게이트 구동부 105 : GMA IC
- 120 : 피드백 보상부 SIC : 소스 드라이브 IC

도면

도면1

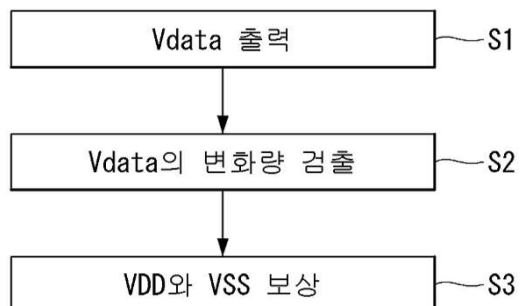


도면2

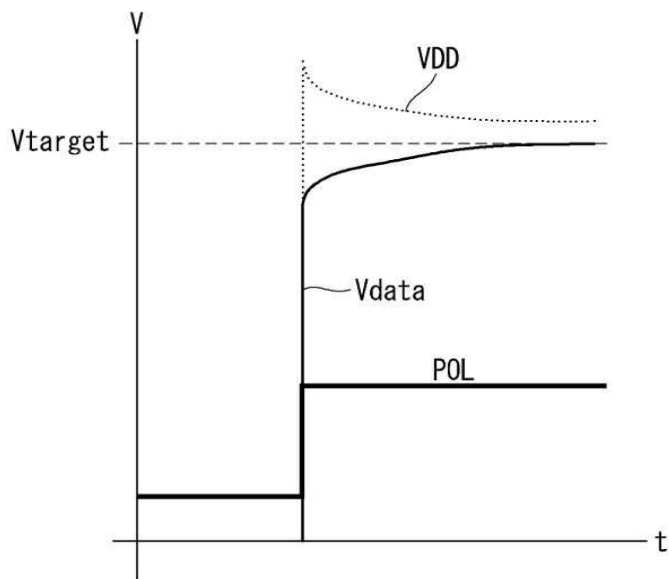


픽셀의
충전 양 강 약 중 강 강 약 중 강 강 약 중 강 강 약 중 강 강 약

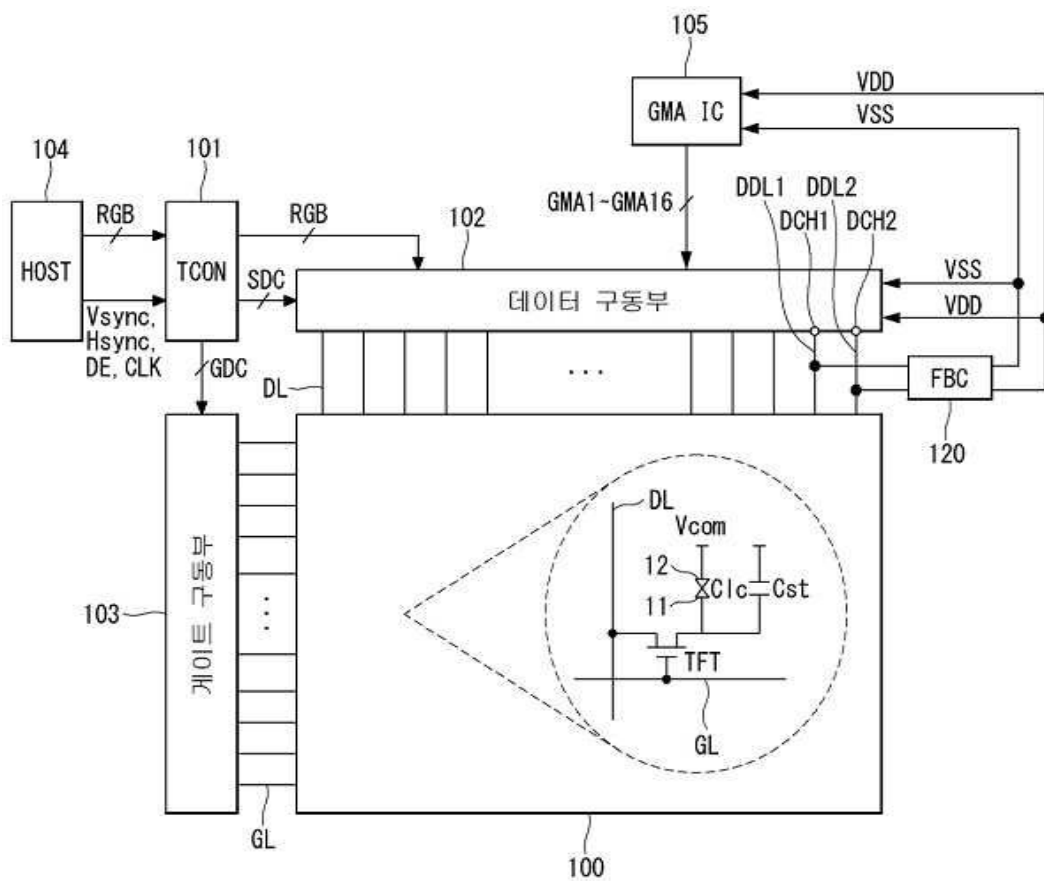
도면3



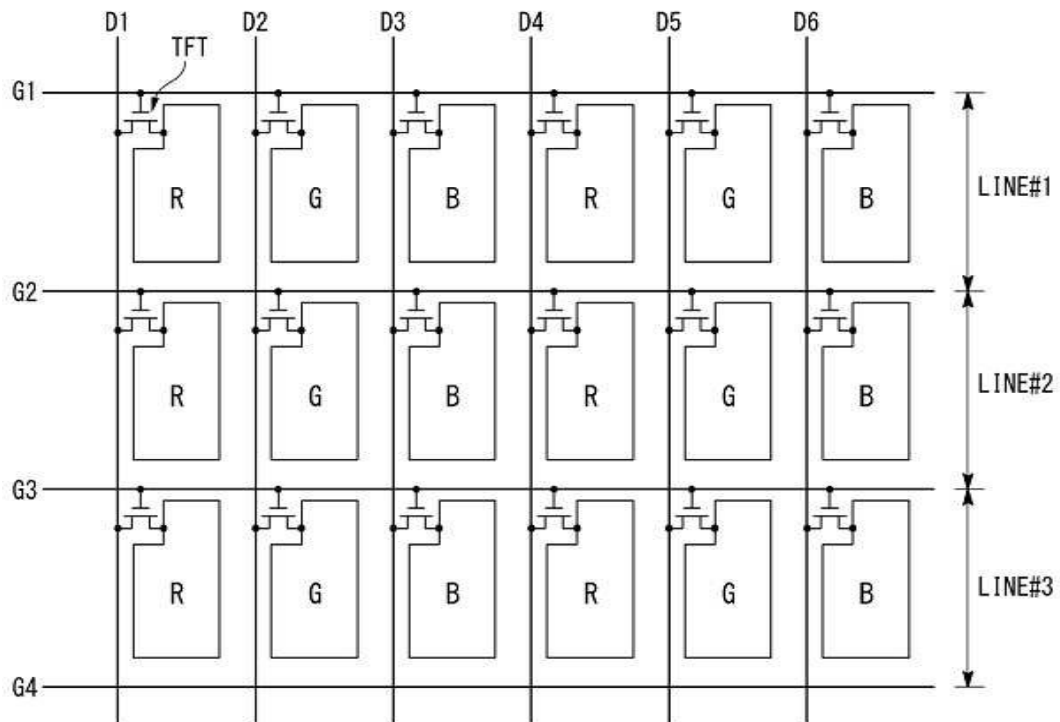
도면4



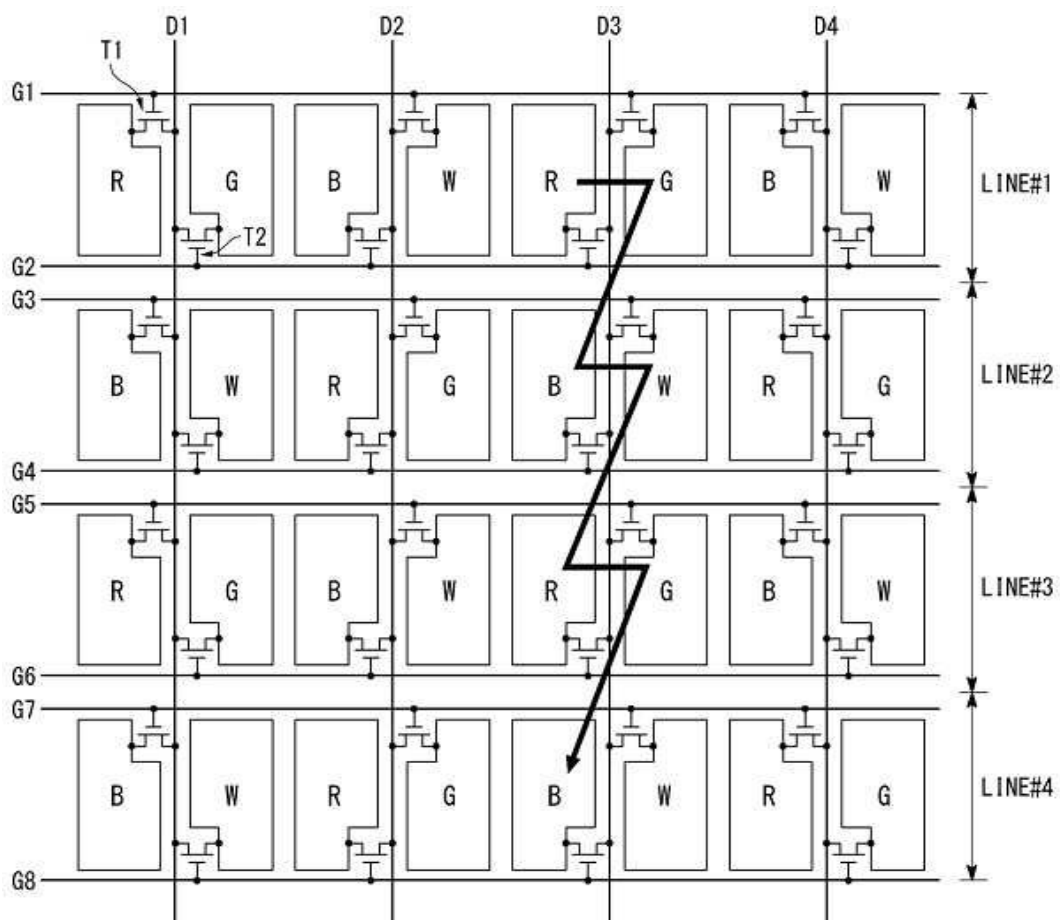
도면5



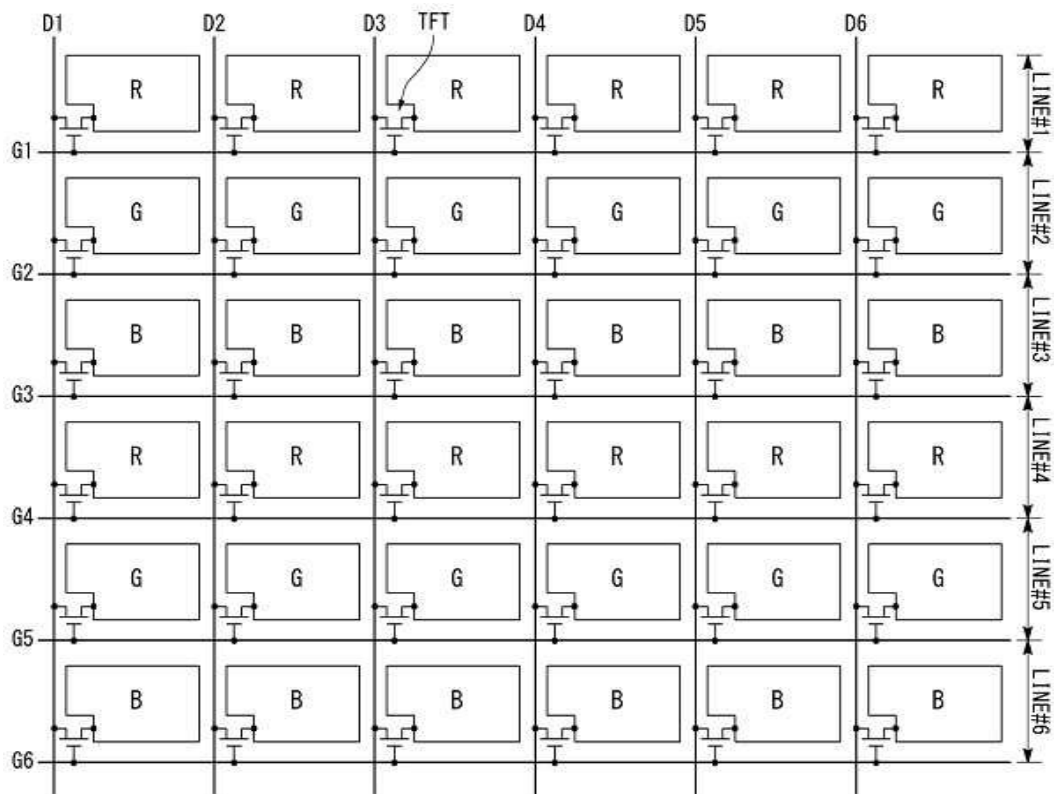
도면6



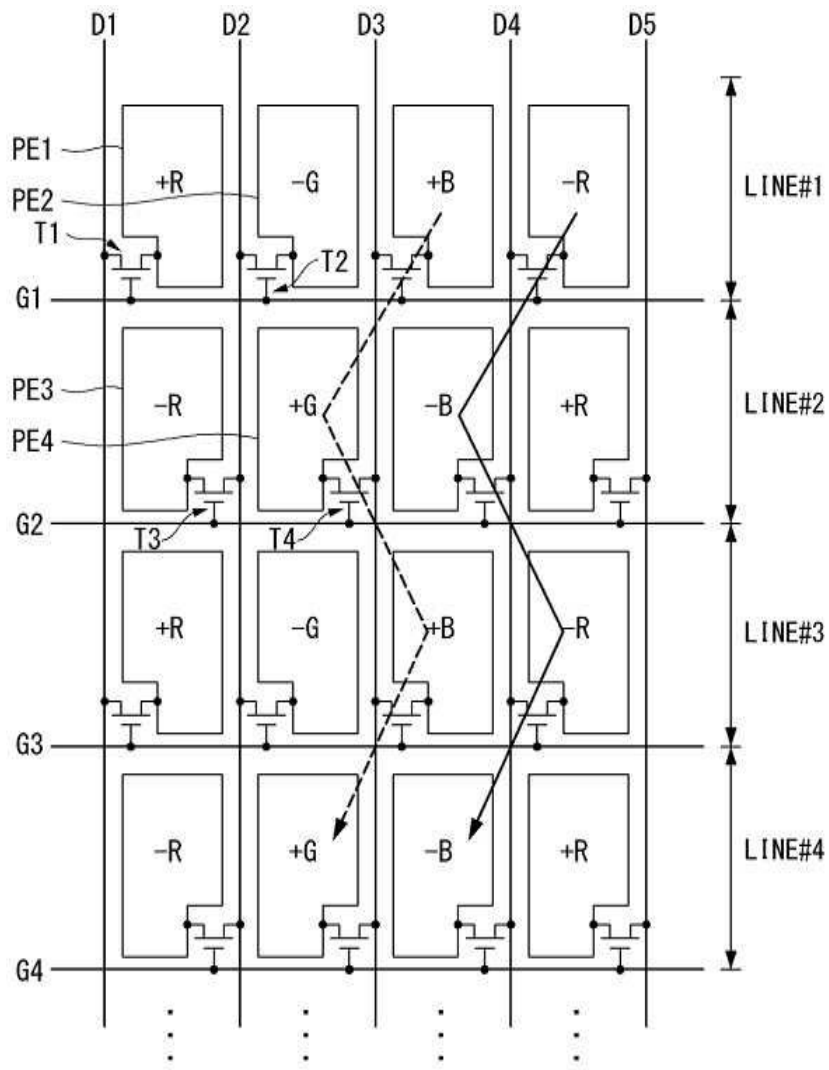
도면7



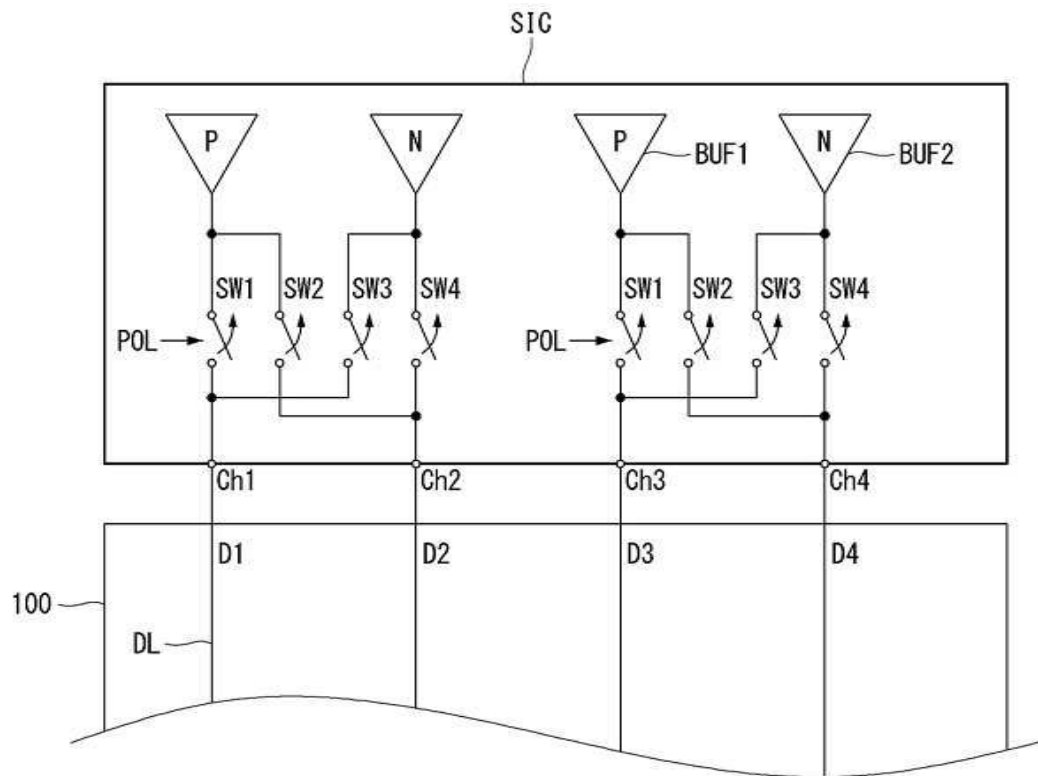
도면8



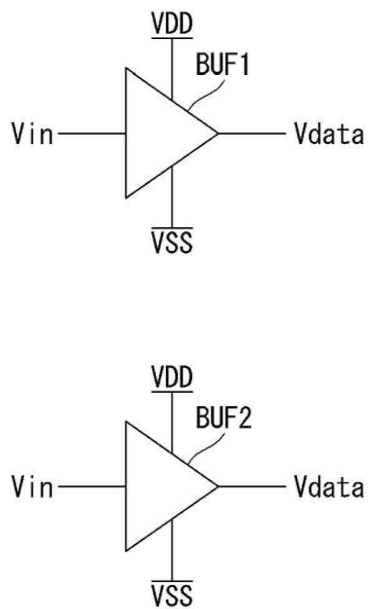
도면9



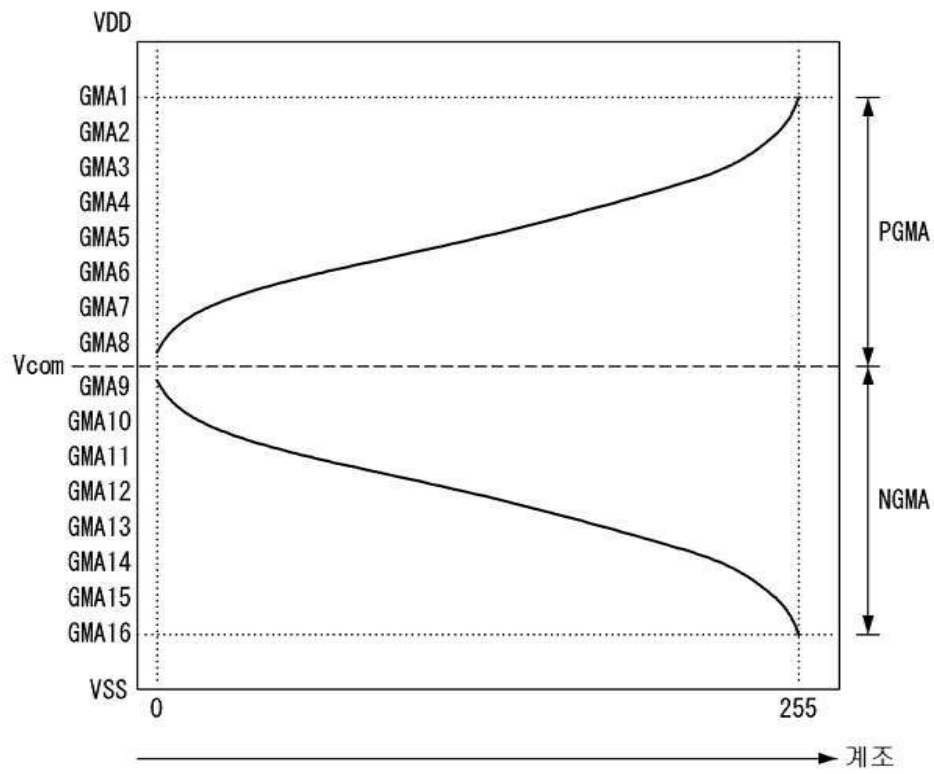
도면10



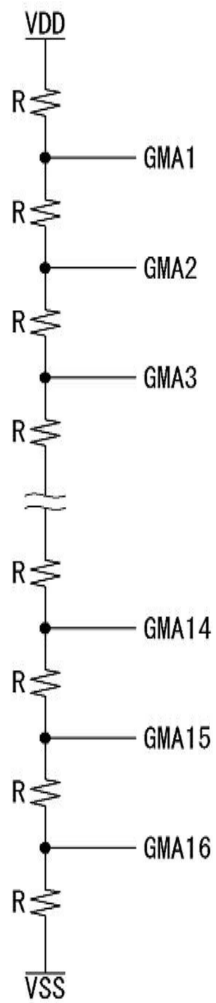
도면11



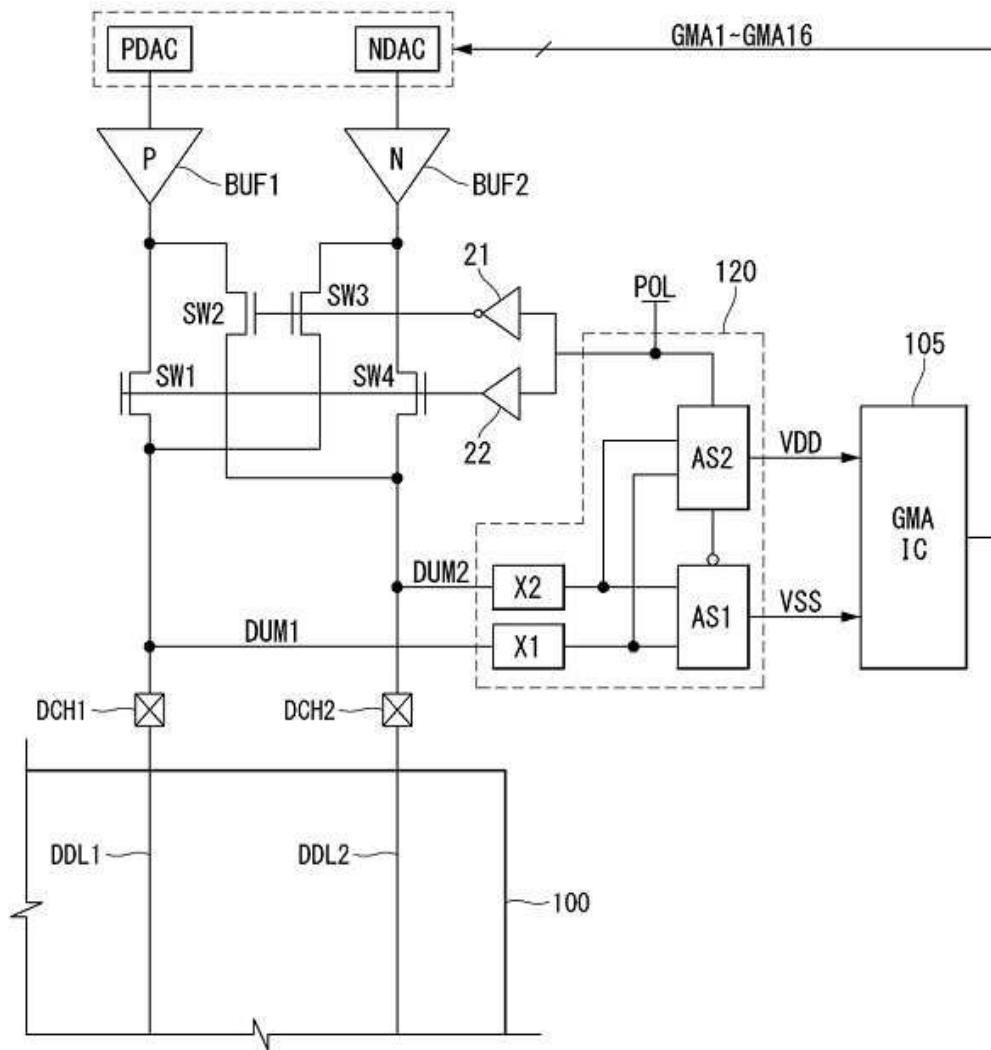
도면12



도면13

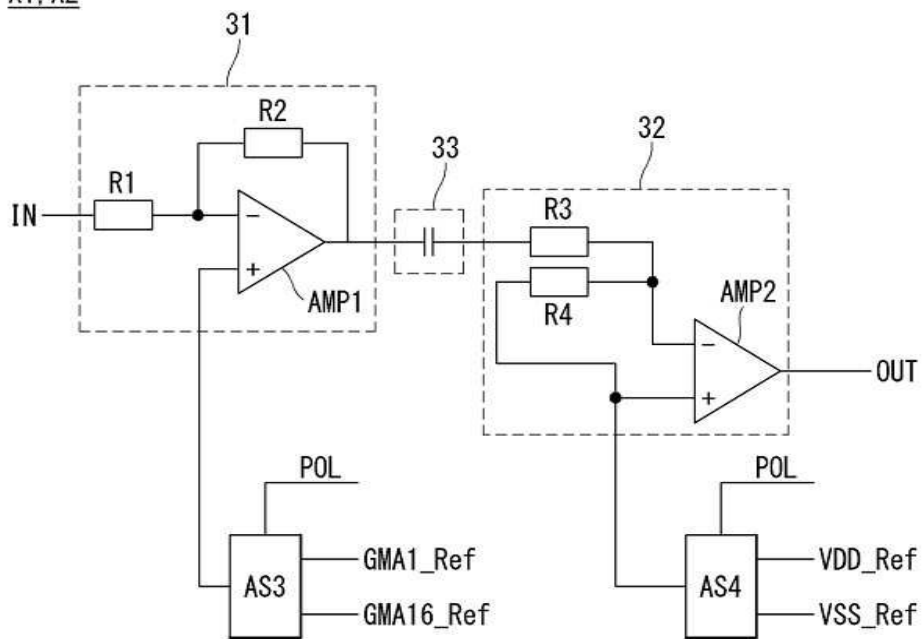


도면14

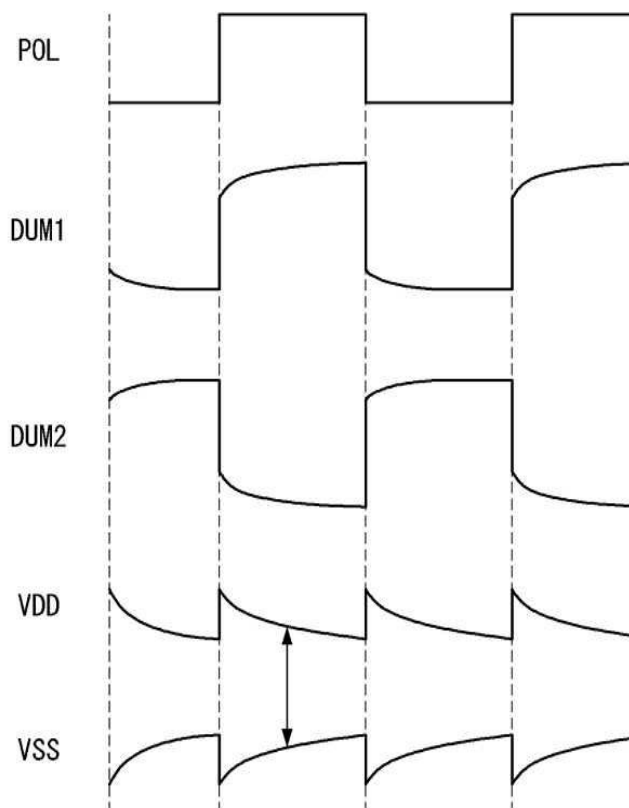


도면15

X1, X2



도면16



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020170105176A	公开(公告)日	2017-09-19
申请号	KR1020160027885	申请日	2016-03-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KYU JIN 김규진 JO YONG WON 조용완		
发明人	김규진 조용완		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3614 G09G3/3688 G09G2310/08 G09G2320/0673 G09G2300/0828 G09G2230/00		
外部链接	Espacenet		

摘要(译)

液晶显示器及其驱动方法本发明涉及液晶显示器及其驱动方法。该方法包括通过将高电位电源电压和低电位电源电压之间的电压分压来驱动正极性伽马参考电压和负极性伽马参考电压，并且通过将正极性数据电压和负极性数据电压转换为负极性伽马参考电压来产生正极性数据电压和负极性数据电压，基于伪数据电压和预定参考伽马参考电压之间的差产生补偿电压，并通过补偿电压升高高电位电源电压并通过补偿电压降低低电位电源电压，它包括。

