



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0001189
(43) 공개일자 2016년01월06일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) H02M 3/00 (2006.01)
(21) 출원번호 10-2014-0079170
(22) 출원일자 2014년06월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유승욱
서울특별시 송파구 올림픽로35가길 11, 1동 929호
(신천동, 한신잠실코아)
현재원
경기도 파주시 가람로 20, 102동 1704호 (와동동,
가람마을1단지벽산한라아파트)
(뒷면에 계속)
(74) 대리인
박장원

전체 청구항 수 : 총 5 항

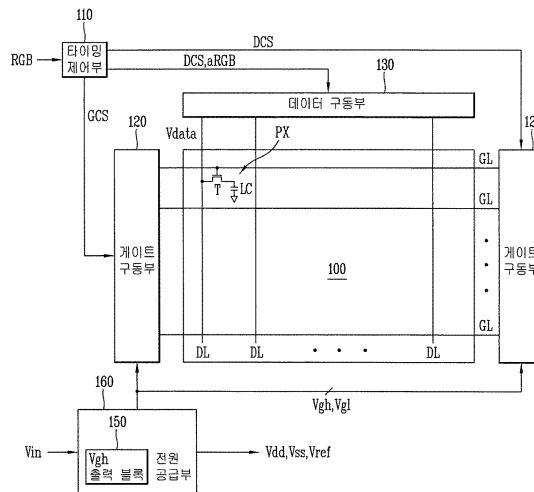
(54) 발명의 명칭 전원 공급부를 포함하는 액정표시장치

(57) 요약

본 발명은 액정표시장치를 개시한다. 보다 상세하게는, 본 발명은 PM-IC(Power Management-IC)를 구비하는 액정표시장치에서 전원 오프(Power-off)시 게이트 구동전압의 레벨이 낮아지는 현상에 기인하여 패널 방전동작이 원활하게 수행되지 못하는 문제를 개선한 전원부를 포함하는 액정표시장치에 관한 것이다.

본 발명의 실시예에 따르면, IC칩 형태로 구성된 PM-IC의 내부에 게이트 하이전압을 생성하는 부스트 컨트롤러의 입력단에 전압저하 지연회로를 구비함으로써, 액정표시장치의 전원 오프시 게이트 하이전압의 레벨저하를 시점을 늦추어 액정패널의 영역별 방전구동의 편차를 저감할 수 있는 효과가 있다.

대표도 - 도3



(72) 발명자

김재혁

경기도 고양시 일산동구 노루목로 100, 211동 150
4호 (장항동, 호수마을2단지아파트)

박찬수

전라북도 군산시 서흥안길 50 (서흥남동)

명세서

청구범위

청구항 1

복수의 게이트 배선 및 데이터 배선이 교차 형성되는 액정패널;

상기 게이트 배선 및 데이터 배선과 각각 연결되는 게이트 구동부 및 데이터 구동부; 및

게이트 하이전압 및 게이트 로우전압을 상기 게이트 구동부에 공급하며, 전원 오프시 상기 게이트 하이전압의 전압레벨을 일정기간 유지시키는 전원공급부

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 구동부는 복수의 스테이지로 이루어지며,

전원 오프시, 모든 스테이지가 순차 또는 동시에 상기 게이트 하이전압을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 전원공급부는,

상기 게이트 로우전압을 생성하는 하나이상의 벡 컨트롤러;

상기 게이트 하이전압을 생성하는 하나이상의 부스트 컨트롤러; 및

상기 부스트 컨트롤러의 입력단에 연결되며, 상기 시스템 입력전압의 전압레벨의 저하를 일정기간 지연시켜 상기 부스트 컨트롤러에 입력하는 전압저하 지연회로

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항 및 제 3 항 중, 어느 하나의 항에 있어서,

상기 일정기간은,

UVLO 오프시점에서부터 2 ms 이상 6 ms 이하로 결정되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 부스트 컨트롤러는,

출력전압을 피드백 받아 상기 게이트 하이전압을 생성하는 차지 펌프 회로와 더 연결되는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술분야

본 발명은 액정표시장치에 관한 것으로, 특히 PM-IC(Power Management-IC)를 구비하는 액정표시장치에서 전원 오프(Power-off)시 게이트 구동전압의 레벨이 낮아지는 현상에 기인하여 패널 방전동작이 원활하게 수행되지 못

[0001]

하는 문제를 개선한 전원부를 포함하는 액정표시장치에 관한 것이다.

배경 기술

- [0002] 최근, 휴대폰(Mobile Phone), 노트북컴퓨터와 같은 각종 휴대기기(Portable device) 및, HDTV 등의 고해상도, 고품질의 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 이용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 활발히 연구되었지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 현재에는 액정표시장치(LCD)가 각광을 받고 있다.
- [0003] 특히, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor, TFT)가 이용되는 액티브 매트릭스 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다.
- [0004] 도 1은 종래 액티브 매트릭스 방식의 액정표시장치의 구조를 개략적으로 나타낸 도면이다.
- [0005] 도 1을 참조하면, 종래 액정표시장치는 복수의 화소가 매트릭스 형태로 형성되는 표시영역(A/A) 및 이를 둘러싸는 비표시영역(N/A)으로 구분되는 액정패널(10)과, 화소들을 구동하기 위한 구동회로들로 이루어진다.
- [0006] 이러한 액정표시장치는 외부로부터 인가되는 디지털 비디오 신호를 아날로그 데이터 신호로 변환하고, 게이트 구동신호에 의해 각 화소들을 하나의 수평라인씩 순차적으로 구동하여 상기 데이터 신호를 화소들에 충전시킴에 따라 화상을 구현하는 구조이다.
- [0007] 일반적으로, 액정표시장치는 공급되는 시스템 입력전압의 갑작스런 변동에 따른 오작동을 최소화하기 위해 저전압 록 아웃(Under Voltage Lock Out, UVLO)방식을 채용하고 있다. 이에 따라 시스템 입력전압이 설정된 최소 및 최대 전압의 범위를 벗어나게 되면 전원 공급부(미도시)로부터 전압 출력이 개시 또는 중지하게 된다.
- [0008] 한편, 액정표시장치는 전원-온(Power-on)상태에서 전원-오프(Power-off)상태로 전환될 때, 액정패널(10)의 내부에는 저항 및 캐패시턴스 성분에 의해 소정의 잔류 전압이 존재하게 되어 희미한 화상이 표시되는 화질저하 현상이 발생하게 된다. 이에 따라, 전원-오프시 시스템 입력전압의 레벨이 최소전압인 UVLO_OFF 전압으로 설정된 최소 전압까지 낮아질 때 게이트 구동부(20)는 모든 게이트 배선을 통해 게이트 하이전압을 출력하여 화소를 도통시킴으로써, 액정패널(10) 내부의 잔류 전압을 방전(Discharging)하게 된다.
- [0009] 그러나, 액정패널(10)이 대면적화 및 대형화 됨에 따라 게이트 배선의 신호 지연(Line delay)이 커지게 되고, 화면의 상부영역(Area1)와 하부영역(Area2)간에 신호 편차가 발생하여 상부영역(Area1) 대비 하부영역(Area2)에서 방전구동이 원활하게 수행되지 않는 문제가 발생하게 된다.
- [0010] 도 2는 종래 액정표시장치의 전원 오프시, 일부 신호들에 대한 파형을 나타낸 도면이다. 도면에서는 게이트 구동부로 입력되는 게이트 하이전압과, 게이트 구동부에서 출력되며 액정패널의 상부영역(도 1의 Area1) 및 하부영역(도 1의 Area2)별 게이트 배선으로 출력되는 게이트 하이전압인 방전전압을 각각 Vgh, Vdis로 나타내고 있다.
- [0011] 도 2를 참조하면, 시스템 입력전압(Vin)의 레벨이 낮아지기 시작하여 기설정된 UVLO_OFF 전압까지 낮아지면 전원 구동부의 구동전압 출력이 중지함에 되며 더불어 방전구동이 수행된다. 방전구동은 게이트 구동부의 출력 순차 또는 동시에 모두 게이트 하이전압(Vgh)으로 출력하여 액정패널의 모든 화소의 박막트랜지스터를 도통시킴으로써 액정 셀에 잔류하는 잔류 전압이 방전되도록 하는 것으로, 이때 액정패널에 출력되는 게이트 방전전압(Vdis)은 신호지연에 따라 영역마다 다른 파형을 갖게 된다.
- [0012] 이는, 전원 구동부의 구동이 중지됨에 따라 방전전압(Vdis)을 레벨을 결정하는 게이트 하이전압(Vgh)의 레벨이 낮아지기 때문이며, 상부영역(Area1)보다 하부영역(Area2)의 방전전압(Vdis)이 좀더 낮은 전압파형으로 출력된다.
- [0013] 즉, 게이트 구동부에서 출력되는 방전전압(Vdis)은 게이트 하이전압(Vgh)의 신호지연에 의해 액정패널의 상부영역(Area1) 대비 하부영역(Area2)의 전압레벨이 낮아지게 되며, 이는 전원 오프시 플리커(Flicker)의 형태로 시청자에게 시인된다.

발명의 내용

해결하려는 과제

[0014] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 본 발명은 방전구동시 신호지연에 의한 액정패널의 영역별 방전편차가 발생하는 문제를 개선하는 것을 목적으로 한다.

과제의 해결 수단

[0015] 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 전원공급부를 포함하는 액정표시장치는, 복수의 게이트 배선 및 데이터 배선이 교차 형성되는 액정패널; 상기 게이트 배선 및 데이터 배선과 각각 연결되는 게이트 구동부 및 데이터 구동부; 및 게이트 하이전압 및 게이트 로우전압을 상기 게이트 구동부에 공급하며, 전원 오프시 상기 게이트 하이전압의 전압레벨을 일정기간 유지시키는 전원공급부를 포함한다.

발명의 효과

[0016] 본 발명의 실시예에 따른 전원부를 포함하는 액정표시장치는, IC칩 형태로 구성된 PM-IC의 내부에 게이트 하이전압을 생성하는 부스트 콘트롤러의 입력단에 전압저하 지연회로를 구비함으로써, 액정표시장치의 전원 오프시 게이트 하이전압의 레벨저하를 시점을 늦추어 액정패널의 영역별 방전구동의 편차를 저감할 수 있는 효과가 있다.

도면의 간단한 설명

[0017] 도 1은 종래 액티브 매트릭스 방식의 액정표시장치의 구조를 개략적으로 나타낸 도면이다.
 도 2는 종래 액정표시장치의 전원 오프시, 일부 신호들에 대한 파형을 나타낸 도면이다.
 도 3은 본 발명의 실시예에 따른 전원공급부를 포함하는 액정표시장치를 나타낸 도면이다.
 도 4는 본 발명의 실시예에 따른 액정표시장치에 포함되는 전원공급부의 구조를 나타내는 도면이다.
 도 5는 본 발명의 실시예에 따른 액정표시장치의 전원 오프시, 일부 신호들에 대한 파형을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 명세서에서, 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 지칭하는데 사용되는 것으로, 해당 구성요소들은 이와 같은 용어들에 의해 한정되지는 않는다. 이하의 설명에서 기재된 용어들은 하나의 구성요소들을 다른 구성요소로부터 구별하는 목적으로 사용된다.

[0019] 특히, 어떤 구성요소가 다른 구성요소에 '연결' 또는 '접속' 있다고 기재된 경우에는 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다. 반면, 어떤 구성요소가 다른 구성요소에 '직접 연결' 또는 '직접 접속' 있다고 기재된 경우에는 중간에 다른 구성요소가 존재하지 않는다.

[0020] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서 본 발명을 한정하려는 의도가 아니며, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0021] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 전원공급부를 포함하는 액정표시장치를 설명한다.

[0022] 도 3은 본 발명의 실시예에 따른 전원공급부를 포함하는 액정표시장치를 나타낸 도면이다.

[0023] 도 3을 참조하면, 본 발명의 액정표시장치는, 복수의 게이트 배선(GL) 및 데이터 배선(DL)이 교차 형성되는 액정패널(100), 상기 게이트 배선(GL) 및 데이터 배선(DL)과 각각 연결되는 게이트 구동부(120) 및 데이터 구동부(130), 상기 게이트 구동부(120) 및 데이터 구동부(130)를 제어하는 타이밍 제어부(140) 및 게이트 하이전압(Vgh) 및 게이트 로우전압(Vgl)을 상기 게이트 구동부(120)에 공급하며, 전원 오프시 상기 게이트 하이전압(Vgh)의 전압레벨을 일정기간 유지시키는 전원공급부 (160)을 포함한다.

[0024] 액정패널(100)은 글라스를 이용한 기판 상에 다수의 게이트배선(GL)과 다수의 데이터배선(DL)이 매트릭스 형태로 교차되고, 교차지점에 다수의 화소(PX)가 정의된다.

[0025] 액정패널(100)의 표시영역 상에는 R,G,B 삼원색에 각각 대응하는 복수의 화소(PX)가 매트릭스 형태로 형성되며, 각 화소(PX)에는 스위칭 소자의 역할을 하는 적어도 하나의 박막트랜지스터(T)와, 액정층이 개재된 상하 전극으

로 이루어지는 액정캐패시터(LC)가 구비되어 화상을 표시하게 된다.

- [0026] 전술한 박막트랜지스터(T)는 게이트전극이 게이트 배선(GL)에 연결되고, 소스전극은 데이터 배선(DL)에 연결된다. 또한, 드레인전극은 공통전극과 대향하는 화소전극과 연결되어 있다. 이러한 박막트랜지스터(T)의 액티브층을 이루는 물질로는 비정질 실리콘(a-si silicon) 및 폴리 실리콘(Poly silicon)등이 이용될 수 있으나, 액정표시장치의 대형화 및 고화질화 추세에 따라 소자 성능 역시 고성능이 요구됨에 따라, 이동도 특성이 향상된 산화물 실리콘(Oxide silicon)이 이용될 수도 있다.
- [0027] 게이트 구동부(120)는 액정패널(100)의 화소영역을 제외한 비표시영역에 형성된 복수의 박막트랜지스터로 이루어지거나, 또는 별도의 구동IC로 구성된 쉬프트 레지스터이다. 이러한 게이트 구동부(120)는 복수의 스테이지로 이루어져 있으며, 하나의 게이트 배선(GL)은 하나의 스테이지에 할당된다. 또한, 게이트 구동부(120)는 대면적 및 고해상도 액정표시장치에서는 도시된 바와 같이 액정패널(100)의 양측으로 복수가개 구비될 수 있다.
- [0028] 특히, 게이트 구동부(120)는 일반적인 구동시, 타이밍 제어부(140)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(100)에 형성된 게이트배선(GL)을 통해 1 ~ 2 수평기간(1~2H)마다 게이트 하이전압(Vgh)을 순차적으로 출력한다. 또한 현재 게이트 하이전압(Vgh)이 출력되지 않는 게이트배선(GL)에는 게이트 로우전압(Vgl)을 출력하게 된다. 게이트 구동부(120)의 각 스테이지 중, 현재 게이트 하이전압(Vgh)을 출력중인 스테이지를 제외한 나머지 스테이지들은 게이트 배선(GL)을 통해 게이트 로우전압(Vgl)을 출력하게 된다.
- [0029] 이를 위해, 게이트 구동부(120)는 전원공급부(160)로부터 게이트 하이전압(Vgh) 및 게이트 로우전압(Vgl)을 공급받게 된다.
- [0030] 이에 따라, 게이트 배선(GL)을 통해 게이트 하이전압(Vgh)을 인가받는 박막트랜지스터(T)는 턴-온(turn-on)하며, 동시에 데이터 구동부(130)로부터 데이터배선(DL)을 통해 아날로그 파형의 데이터신호(Vdata)가 출력되어 박막트랜지스터(T)에 접속된 액정캐패시터(LC)들로 인가됨에 따라 화상이 구현된다.
- [0031] 데이터 구동부(130)는 타이밍 제어부(140)로부터 입력되는 데이터 제어신호(DCS)에 응답하여, 정렬된 디지털 형태의 영상신호(aRGB)를 기준전압에 따라 아날로그 형태의 데이터신호(Vdata)로 변환한다. 또한, 데이터 구동부(130)는 변환된 데이터신호(Vdata)를 하나의 수평선 단위로 래치하여 1 ~ 2 수평기간(1~2H)마다 모든 데이터 배선(DL)을 통해 동시에 액정패널(100)로 출력한다.
- [0032] 타이밍 제어부(140)는 외부시스템으로부터 타이밍 신호를 입력받아, 이에 대응하여 게이트 구동부(120) 및 데이터 구동부(130)의 제어신호(GCS, DCS)를 생성한다. 또한, 전송되는 디지털 형태의 영상신호(RGB)를 데이터 구동부(130)가 처리할 수 있는 형태로 변환하여 데이터 구동부(130)에 공급한다.
- [0033] 전원공급부(160)는 시스템 입력전압(Vin)을 인가받아, 액정패널(100), 게이트 및 데이터 구동부(120, 130)의 구동을 위한 전원전압(Vdd), 접지전압(Vss) 및 기준전압(Vref)등을 생성 및 공급한다. 특히, 이러한 전원공급부(160)는 액정표시장치의 안정적인 구동전압의 관리를 위해 PM-IC(Power Management-IC)로 구성될 수 있으며, 이러한 PM-IC는 입력되는 전압을 승압하는 부스트 콘트롤러(Boost controller) 및 전압을 강압하는 벅 콘트롤러(Buck controller), 그리고 차지 펌프 회로(Charge pump circuit)로 구성될 수 있다.
- [0034] 특히, 본 발명의 실시예에서는 전원공급부(160)내에 부스트 콘트롤러를 포함하는 Vgh 출력블록(150)이 시스템 입력전압(Vin)의 레벨이 낮아지더라도 일정기간 동안 게이트 구동부(120)로 출력되는 게이트 하이전압(Vgh)을 일정기간 유지시키는 것을 특징으로 한다.
- [0035] 이러한 게이트 하이전압 출력블록(150)은 액정표시장치의 전원-온 시 시스템 입력전압(Vin)이 UVLO_ON 전압이상 이 되면, 이를 게이트 하이전압(Vgh) 레벨로 승압하여 출력한다. 또한, 액정표시장치의 전원-오프시에는 시스템 입력전압(Vin)이 UVLO_OFF 전압이하로 낮아져 전원공급부(160)가 구동전압들의 출력을 중지하게 되더라도, 게이트 하이전압(Vgh)을 일정시간 동안 원 레벨로 유지하게 된다. 이에 따라, 액정패널(100)의 모든 게이트 배선(GL)을 통해 출력되는 방전전압이 상부영역 및 하부영역에서 거의 동일하게 출력됨에 따라, 액정패널(100)의 영역간 방전편차가 최소화 되게 된다.
- [0036] 이하, 도면을 참조하여 본 발명의 실시예에 따른 전원 공급부를 설명한다.
- [0037] 도 4는 본 발명의 실시예에 따른 액정표시장치에 포함되는 전원공급부의 구조를 나타내는 도면이다.
- [0038] 도 4를 참조하면, 본 발명의 전원 공급부(160)는, 게이트 로우전압(Vgl) 및 기타 강압된 전압을 출력하는 벅 콘트롤러(161, 162), 게이트 하이전압(Vgh) 및 기타 승압된 전압을 출력하는 부스트 콘트롤러(166, 167) 및 상기

부스트 콘트롤러(161)의 입력단에 연결되어 시스템 입력전압(Vin)의 전압레벨을 일정기간 유지시켜 상기 부스트 콘트롤러(161)에 입력하는 전압저하 지연회로(150)를 포함한다. 도면에서는 벽 콘트롤러(161, 162) 및 부스트 콘트롤러(166, 167)가 각각 두 개씩 구비되는 일 예를 나타내고 있으며, 콘트롤러의 개수는 이보다 더 많거나 적을 수 있다.

[0039] 또한, 본 발명의 전원 공급부(160)는 두 개의 저항소자에 의해 분압된 분압전압을 피드백 받아 상기 게이트 하이전압(Vgh)을 생성하는 차지 펌프(Charge pump) 회로(170)과 더 연결될 수 있다.

[0040] 상세하게는, 전원 공급부(160)는 하나이상의 벽 콘트롤러(161, 162) 및 부스트 콘트롤러(166, 167)로 구성될 수 있으며, 각 콘트롤러들은 입력되는 전압을 승합하거나 강압하는 전압 컨버터(converter)기능을 수행한다. 벽 콘트롤러(161, 162)는 높은 입력전압을 낮은 출력전압으로 변환하는 스텝다운(step-down) 컨버터이고, 부스트 콘트롤러(161, 162)는 낮은 입력전압을 높은 출력전압으로 변환하는 스텝업(step-up) 컨버터이다.

[0041] 일례로서, 본 발명의 액정표시장치는 3.3V의 시스템 입력전압(Vin)에 의해 구동될 수 있으며, 벽 콘트롤러(161, 162)는 시스템 입력전압(Vin)을 각각 - 5V의 게이트 로우전압(VGL)과, 기타 액정표시장치의 구동을 위한 3.3V 이하의 전압(Vout1)으로 변환할 수 있다.

[0042] 그리고, 부스트 콘트롤러(166, 167)는 3.3V 의 시스템 입력전압(Vin)을 입력받아 각각 25V의 게이트 하이전압(VGH)과, 기타 액정표시장치의 구동을 위한 3.3V 이상의 전압(Vout2)으로 변환할 수 있다.

[0043] 또한, 각 콘트롤러(161, 162, 166, 167)의 스위칭 방식으로는 PWM(Pulse Width Modulation)방식 또는 PFM(Pulse Frequency Modulation) 방식이 적용될 수 있다.

[0044] 특히, 본 발명의 게이트 하이전압(Vg1)을 출력하는 부스트 콘트롤러(166)는 입력단에 시스템 입력전압(Vin)이 직접 인가되는 것이 아닌, 전압 지연회로(165)와 연결되어 있으며, 부스트 콘트롤러(166) 및 전압 지연회로(165)는 하나의 VGH 출력블록(150)을 형성하게 된다.

[0045] 전압 지연회로(165)는 액정표시장치의 전원-오프에 따라 시스템 입력전압(Vin)의 전압레벨이 UVLO_OFF 이하로 낮아지더라도, 부스트 콘트롤러(166)에 인가되는 전압의 레벨을 일정기간 유지시켜주는 역할을 한다.

[0046] 즉, 전원-오프시 시스템 입력전압(Vin)의 전압레벨은 서서히 낮아지게 되며, UVLO 방식이 적용됨에 따라, 모든 콘트롤러(161, 162, 166, 167)에 입력되는 전압은 이전 입력되는 전압레벨을 유지하게 된다. 이후, 시스템 입력 전압(Vin)이 UVLO_OFF 이하로 낮아지면, Vgh 출력블록(150)의 부스트 콘트롤러(166)를 제외한 나머지 콘트롤러(162, 166, 167)에 입력되는 전압은 0V 또는 접지전압레벨로 천이하게 된다.

[0047] 즉, 전압 지연회로(165)는 시스템 입력전압(Vin)이 UVLO_OFF 이하로 낮아지더라도, 접속된 부스트 콘트롤러(166)에 공급되는 전압레벨을 전압저하가 발생하기 이전레벨로 일정기간 유지시켜준다. 이를 위해, 전압 지연회로(165)는 소정의 캐패시터(미도시)를 포함할 수 있으며, 그 캐패시터의 캐패시턴스는 상기 일정기간동안 부스트 콘트롤러(166)에 공급되는 전압레벨에 비례할 수 있다.

[0048] 상기 일정기간은 UVLO 오프시점에서부터 2 ms 이상 6 ms 이하로 결정될 수 있다.

[0049] 따라서, 부스트 콘트롤러(166)은 입력전압이 유지되는 기간 동안 전원 온 시와 동일한 PWM 신호에 대응하여 게이트 하이전압(Vgh)을 출력하게 되어, 게이트 하이전압(Vgh)의 전압레벨 저하가 소정기간 지연된다. 따라서, 게이트 구동부(도 3의 120)로부터 출력되는 방전전압(Vdis)이 액정패널의 모든 영역내의 잔류 전압을 방전할 수 있는 시간 동안 원 전압레벨을 유지할 수 있게 된다.

[0050] 한편, 각 콘트롤러(161, 162, 166, 167)은 설정자의 의도에 따라 출력단에 차지 펌프 회로(170)를 더 구비할 수 있다. 도 4를 참조하면, 부스트 콘트롤러(166)는 PWM 파형인 스위칭 신호(SW)을 출력하고 분압된 전압을 피드백(Feedback)받는 차지 펌프 회로(170)와 접속될 수 있다.

[0051] 차지 펌프 회로(170)는 부스트 콘트롤러(166)의 출력단과 연결되는 제1 노드(N1)와, 전원전압(Vdd)단 및 제1 노드(N1) 사이에 연결되는 인덕터(I1)와, 제1노드(N1)와 제1 전극이 연결되는 다이오드(D1)와, 다이오드(D1) 및 게이트 하이전압(Vgh) 출력단과 연결되는 제2 노드(N2)와, 서로 직렬 연결된 두 개의 저항으로 이루어지고 제2 노드(N1) 및 접지전압(VSS)단 사이에 연결되는 분압저항(R1, R2)과, 상기 분압저항(R1, R2)과 병렬 연결되고 제2 노드(N1) 및 접지전압(VSS)단 사이에 연결되는 출력 캐패시터(Cout)를 포함한다.

[0052] 특히, 부스트 콘트롤러(166)의 입력단 중 하나는 두 분압저항(R1, R2) 사이에 연결되어 있으며, 이러한 구조에 따라 부스트 콘트롤러(166)는 PWM의 스위칭 신호(SW)의 온, 오프에 의해 인덕터(I1)에 전압을 충전하고, 다이

오드(D1)를 거쳐 게이트 하이전압(Vgh)을 출력하게 된다. 또한, 부스트 콘트롤러(166)는 두 분압저항(R1, R2)에 의해 전압강하된 피드백 전압(FB)을 입력받아 PWM에 반영하게 된다.

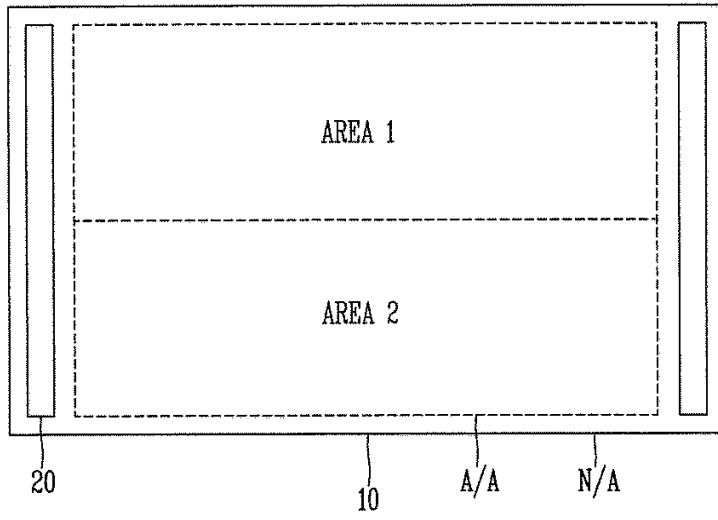
- [0053] 도시되어 있지는 않지만, 설정자의 의도에 따라, 타 콘트롤러(161, 162, 167)들도 상기와 동일 또는 유사한 차지 펄스 회로가 연결될 수 있다.
- [0054] 이하, 도면을 참조하여 본 발명의 실시예에 따른 전원공급부의 신호 파형을 설명한다.
- [0055] 도 5는 본 발명의 실시예에 따른 액정표시장치의 전원 오프시, 일부 신호들에 대한 파형을 나타낸 도면으로서, 도시된 바와 같이 시스템 입력전압(Vin)의 전압레벨이 낮아지기 시작하여 기 설정된 UVLO_OFF 전압까지 낮아지면, 전원 구동부의 구동전압 출력이 중지함에 따라 방전구동이 수행된다.
- [0056] 종래 입력전압(Vin)의 전압레벨이 UVLO_OFF 전압에 도달하면 전원 구동부의 구동전압 출력이 중지됨에 따라, 게이트 하이전압(Vgh)의 전압레벨 또한 즉시 낮아지게 되나, 본 발명의 실시예에 따르면 전압저하 지연회로에 의해 입력전압(Vin)의 전압레벨은 UVLO_OFF 전압이하가 되더라도 부스트 콘트롤러에 인가되는 전압이 동일레벨을 유지됨으로써, 그 유지기간만큼 게이트 하이전압(Vgh)은 일정기간(dt)동안 원 전압레벨이 유지되게 된다.
- [0057] 이에 따라, 방전전압(Vdis)이 액정패널의 전 영역에 대하여 잔류전압이 방전될 수 있는 시간 동안 유지됨에 따라 영역별 방전편차가 최소화되며 플리커 현상이 개선된다.
- [0058] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

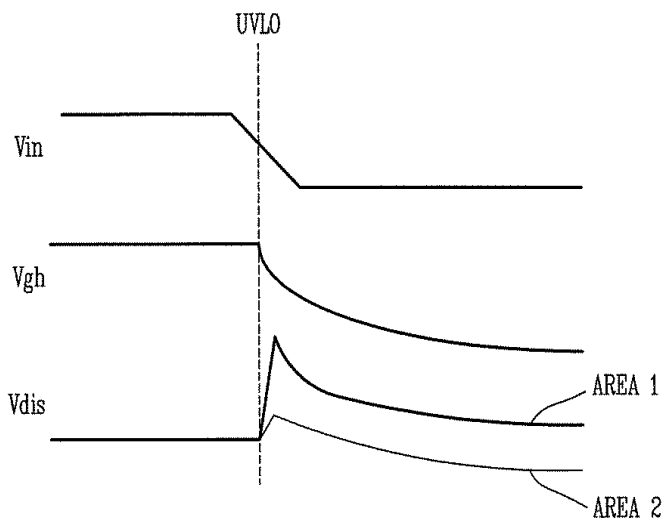
- [0059] 100 : 액정패널 120 : 게이트 구동부
- 130 : 데이터 구동부 140 : 타이밍 제어부
- 150 : VGH 출력블록 160 : 전원 공급부
- PX : 화소 T : 박막트랜지스터
- LC : 액정캐패시터 RGB : 영상신호
- aRGB : 정렬된 영상신호 GCS : 게이트 제어신호
- DCS : 데이터 제어신호 GL : 게이트 배선
- DL : 데이터 배선 Vdata : 데이터 신호
- Vgh : 게이트 하이전압 Vgl : 게이트 로우전압
- Vin : 시스템 입력전압 Vdd : 전원전압
- Vss : 접지전압 Vref : 참조전압

도면

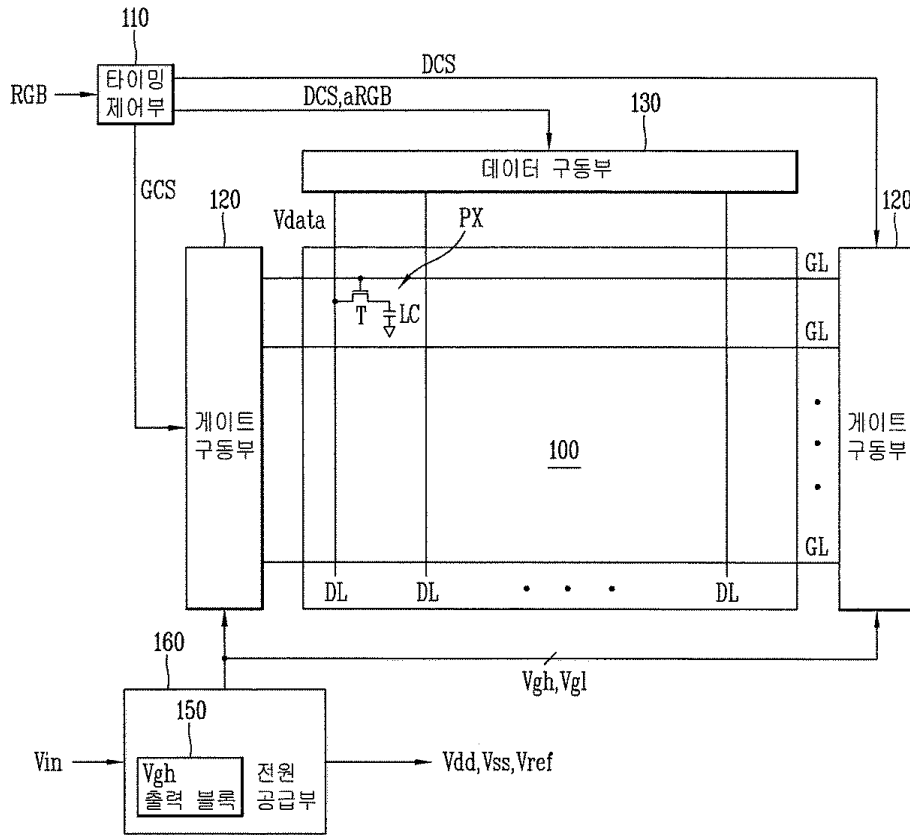
도면1



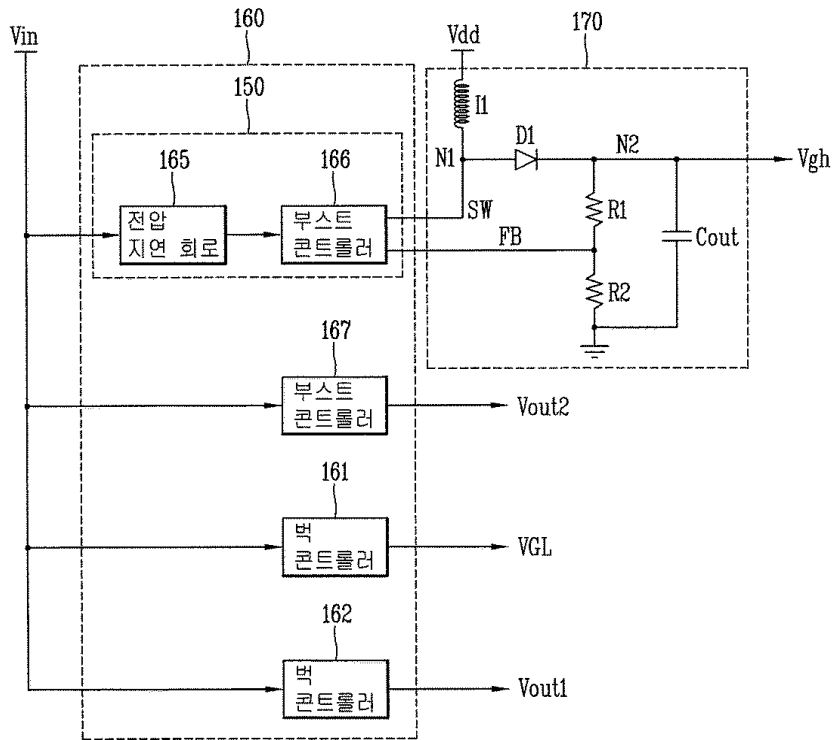
도면2



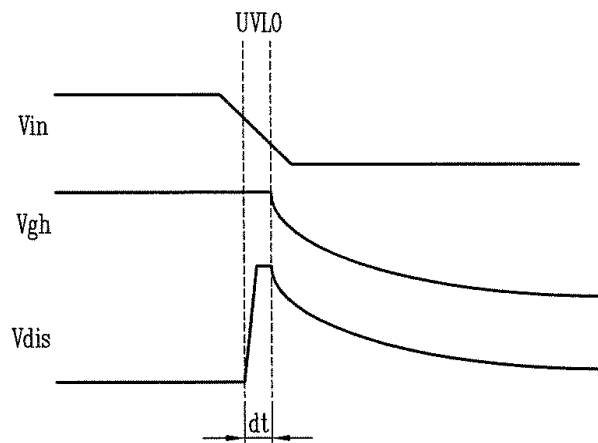
도면3



도면4



도면5



专利名称(译)	一种液晶显示装置，包括电源单元		
公开(公告)号	KR1020160001189A	公开(公告)日	2016-01-06
申请号	KR1020140079170	申请日	2014-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO SEUNG WOOK 유승욱 HYUN JAE WON 현재원 KIM JAE HYUK 김재혁 PARK CHAN SU 박찬수		
发明人	유승욱 현재원 김재혁 박찬수		
IPC分类号	G09G3/36 H02M3/00		
代理人(译)	PARK, JANG WON PARK, JANG WON박장원		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示装置。更具体地，本发明涉及一种具有PM-IC (电源管理IC) 的液晶显示装置，其中由于栅极驱动电压的电平在电源降低的现象而平滑地执行面板放电操作。液晶显示装置技术领域本发明涉及一种包括电源单元的液晶显示装置，其中解决了无法解决的问题。根据本发明的实施例，通过在升压控制器的输入端提供电压降延迟电路，用于在以IC芯片形式配置的PM-IC内部产生栅极高电压，栅极高电压的电平通过延迟下降的时间点，可以减小液晶面板的每个区域的放电驱动偏差。

