



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0145102  
(43) 공개일자 2015년12월29일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2014-0074501  
(22) 출원일자 2014년06월18일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
한상수  
경기도 파주시 한빛로 67, 213동 404호 (야당동, 한빛마을2단지휴먼빌레이크팰리스)  
조대명  
경기도 파주시 엘씨디로 201, H동 1911호 (LG디스플레이 정다운마을)  
(74) 대리인  
박장원

전체 청구항 수 : 총 6 항

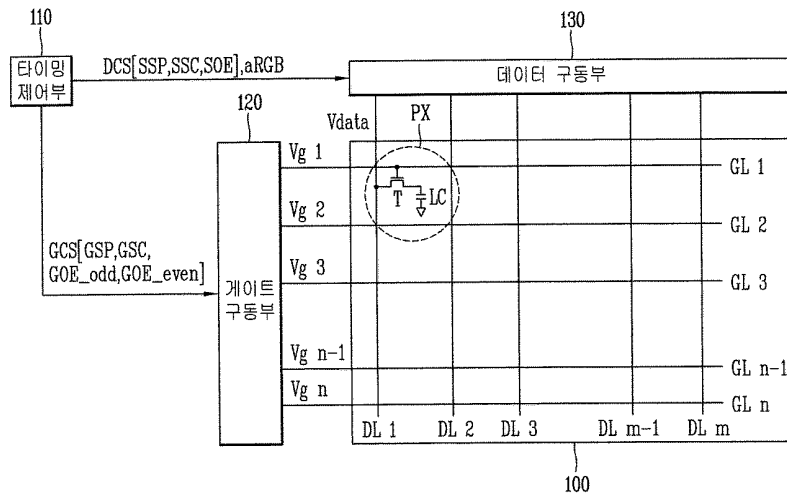
(54) 발명의 명칭 게이트 구동부를 포함하는 액정표시장치

(57) 요약

본 발명은 게이트 구동부를 포함하는 액정표시장치를 개시한다. 보다 상세하게는, 본 발명은 고해상도 대면적 액정표시장치에서 게이트 구동신호를 중첩구동함에 따라 증가하는 신호배선의 개수를 저감한 게이트 구동부를 포함하는 액정표시장치에 관한 것이다.

본 발명의 실시예에 따른 액정표시장치는, 게이트 중첩구동방식에서 게이트 제어신호 중, 특정 제어신호에 대하여 라이징 에지(rising edge) 뿐만 아니라, 폴링 에지(falling edge)에도 게이트 구동신호의 하이레벨구간을 동기화 하도록 설정함으로써 게이트 제어신호의 개수를 저감할 수 있는 효과가 있다.

대표도 - 도3



## 명세서

### 청구범위

#### 청구항 1

복수의 게이트 제어신호 및 데이터 제어신호를 생성하는 타이밍 제어부;

상기 게이트 제어신호 중, 게이트 쉬프트 클록(GSC)의 한 주기내에 제1 및 제2 게이트 구동신호를 생성하는 게이트 구동부;

상기 데이터 제어신호에 대응하여 데이터 신호를 생성하는 데이터 구동부; 및

상기 게이트 구동신호 및 데이터 신호가 각각 출력되는 복수의 게이트 배선 및 데이터 배선이 매트릭스 형태로 형성되는 액정패널

을 포함하는 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제1 및 제2 게이트 구동신호는,

각각 기수 게이트 구동신호 및 우수 게이트 구동신호인 것을 특징으로 하는 액정표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 제1 및 제2 게이트 구동신호는,

1 프레임동안 2 수평기간의 하이레벨 구간을 가지며, 1 수평기간 동안 중첩되는 것을 특징으로 하는 액정표시장치

#### 청구항 4

제1 항에 있어서,

상기 제1 및 제2 게이트 구동신호는,

상기 게이트 쉬프트 클록(GSC)의 한 주기내의 라이징 에지 및 폴링 에지 각각에 라이징 에지가 대응하는 것을 특징으로 하는 액정표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 게이트 제어신호는,

게이트 스타트 펄스(GSP), 제1 게이트 출력 인에이블 신호(GOE\_odd) 및 제2 게이트 출력 인에이블신호(GOE\_even)을 더 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 6

제 1 항에 있어서,

상기 게이트 구동부는,

상기 액정패널의 좌우로 두 개가 구비되며, 출력단이 각각 동일, 또는 서로 다른 게이트 배선에 연결되는 것을 특징으로 하는 액정표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 게이트 구동부를 포함하는 액정표시장치에 관한 것으로, 특히 고해상도 대면적 액정표시장치에서 게이트 구동신호를 중첩구동함에 따라 증가하는 신호배선의 개수를 저감한 게이트 구동부를 포함하는 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 평판표시장치에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 있으며, 이중 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 최근에는 액정표시장치(LCD)가 차세대 표시장치로서 주목받고 있다.

[0003] 특히, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor, TFT)가 이용되는 액티브 매트릭스 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다.

[0004] 액티브 매트릭스 방식의 액정표시장치는, 복수의 게이트 배선 및 데이터 배선이 매트릭스 형태로 교차하여 형성되고, 그 교차지점에 복수의 스위칭 소자를 포함하는 화소가 구비되는 액정패널과, 이를 제어하기 위한 구동회로들로 이루어진다. 이러한 액정표시장치는 외부시스템으로부터 인가되는 디지털 비디오 신호를 기준전압을 이용하여 아날로그 데이터신호로 변환하고 데이터배선에 공급함과 동시에 게이트 구동신호를 게이트 배선에 순차적으로 공급하여 스위칭 소자를 도통함으로써 데이터 신호를 액정 셀에 충전시키는 구조이다.

[0005] 여기서, 상기 구동회로는 액정패널내 박막트랜지스터 형태로 실장되거나 혹은 별도의 IC칩 형태로 구현되는데, 대면적 및 고해상도의 액정표시장치에서는 액정패널의 내부저항이 높아짐에 따른 오작동을 방지하기 위해 IC칩으로 구현된 구동회로를 이용하게 된다.

[0006] 도 1은 종래의 액정표시장치의 게이트 구동부에 이용되는 하나의 게이트 IC칩을 나타낸 도면이고, 도 2는 게이트 구동부의 입출력 신호의 파형을 나타낸 도면이다.

[0007] 도 1 및 도 2를 참조하면, 종래 액정표시장치의 게이트 구동부(20)는 게이트 제어신호에 대응하여 복수의 게이트 구동신호(Vg1 ~ Vgn)을 순차적으로 출력하게 된다. 여기서 게이트 제어신호로는 게이트 스타트 펄스(GSP), 게이트 출력 인에이بل 신호(GOE) 및 게이트 쉬프트 클럭(GSC) 등이 있다.

[0008] 특히, 도면에서는 게이트 제어신호를 기수 및 우수로 나누어 게이트 구동부(20)에 입력함으로써, 게이트 구동부(20)의 구동신호인 게이트 구동신호(Vg1 ~ Vgn)를 선 후간 일부 중첩구동시키는 방식을 도시하고 있다.

[0009] 게이트 구동신호 중첩구동방식은 액정표시장치가 대면적화 및 고해상도화 됨에 따라 액정패널의 내부저항 증가하여 게이트 구동신호가 왜곡되는 문제를 개선하기 위한 것이다. 게이트 구동부(20)에 기수번째 제어신호들(GSP\_odd, GSC\_odd, GOE\_odd)과, 그보다 약 1수평기간(1H) 지연된 우수번째 제어신호(GSP\_even, GSC\_even, GOE\_even)를 입력하여 이에 대응하는 게이트 구동신호(Vg1 ~ Vgn)들을 하이레벨구간이 2수평기간(2H)이 되도록 제어하는 동시에, 선후 기수 우수 게이트 구동신호간에 서로 약 1 수평기간(1H)중첩시켜 출력함으로써 게이트 배선의 충전시간을 종래보다 확보하게 된다.

[0010] 도면을 참조하여 게이트 구동신호(Vg1 ~ Vgn)의 생성방법을 설명하면, 기수 게이트 스타트 펄스(GSP\_odd)가 하이레벨이 되고, 이어서 기수 쉬프트 클럭(GSC\_odd)의 라이징 에지(rising edge)에 동기하여 하이레벨의 기수 게이트 구동신호(Vg1, Vg3, ... Vgn-1)를 생성한다. 이때, 게이트 구동부(20)는 기수 게이트 인에이블 신호(GOE\_odd)의 하이레벨 구간에는 게이트 구동신호가 로우레벨이 되도록 제어함으로써 최종적으로 출력되는 기수 게이트 구동신호(Vg1, Vg3, ... Vgn-1)를 생성하게 된다. 우수 게이트 구동신호(Vg2, Vg4, ... Vgn) 또한 이와 동일한 방식으로 생성된다.

**발명의 내용**

**해결하려는 과제**

[0011] 그러나, 상기와 같은 게이트 구동신호 중첩구동 방식을 적용하기 위해서는, 종래대비 게이트 제어신호의 개수가 두 배가 되며, 이에 따라 게이트 제어신호 입력배선 또한 두 배가 요구된다. 이러한 게이트 제어신호 입력배선은 액정패널의 외곽부분, 즉 비표시영역에 형성됨에 따라 현재 액정표시장치의 추세인 네로우 베젤(narrow

bezel)구조를 구현하기 어렵게 된다.

[0012] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 게이트 중첩구동방식의 액정표시장치에서 제어신호의 개수를 저감하는 데 그 목적이 있다.

**과제의 해결 수단**

[0013] 상기의 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 액정표시장치는, 복수의 게이트 제어신호 및 데이터 제어신호를 생성하는 타이밍 제어부; 상기 게이트 제어신호 중, 게이트 쉬프트 클럭(GSC)의 한 주기내에 제1 및 제2 게이트 구동신호를 생성하는 게이트 구동부; 상기 데이터 제어신호에 대응하여 데이터 신호를 생성하는 데이터 구동부; 및 상기 게이트 구동신호 및 데이터 신호가 각각 출력되는 복수의 게이트 배선 및 데이터 배선이 매트릭스 형태로 형성되는 액정패널을 포함한다.

**발명의 효과**

[0014] 본 발명의 실시예에 따르면, 게이트 중첩구동방식 액정표시장치에서 게이트 제어신호 중, 특정 제어신호에 대하여 라이징 에지(rising edge) 뿐만 아니라, 폴링 에지(falling edge)에도 게이트 구동신호의 하이레벨구간을 동기화 하도록 설정함으로써 게이트 제어신호의 개수를 저감할 수 있다.

[0015] 이에 따라, 본 발명은 게이트 제어신호 입력배선의 개수를 저감하여 액정패널의 비표시영역의 폭을 줄이고 네로 우 베젤을 구현할 수 있는 효과가 있다.

**도면의 간단한 설명**

[0016] 도 1은 종래의 액정표시장치에 이용되는 하나의 IC칩으로 구성된 게이트 구동부의 나타낸 도면이고, 도 2는 게이트 구동부의 입출력 신호의 파형을 나타낸 도면이다.

도 3은 본 발명의 제1 실시예에 따른 게이트 구동부를 포함하는 액정표시장치를 나타낸 도면이다.

도 4는 본 발명의 제2 실시예에 따른 게이트 구동부를 포함하는 액정표시장치를 나타낸 도면이다.

도 5는 본 발명의 실시예에 따른 액정표시장치의 게이트 제어신호 및 게이트 구동신호를 나타내는 도면이다.

도 6은 본 발명의 실시예에 따른 게이트 구동부를 포함하는 액정표시장치의 일 부분을 나타낸 도면이다.

도 7은 종래 및 본 발명의 실시예에 따른 액정표시장치의 제어신호 공급배선의 형태를 개략적으로 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0017] 본 명세서에서, 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 지칭하는데 사용되는 것으로, 해당 구성요소들은 이와 같은 용어들에 의해 한정되지는 않는다. 이하의 설명에서 기재된 용어들은 하나의 구성요소들을 다른 구성요소로부터 구별하는 목적으로 사용된다.

[0018] 특히, 어떤 구성요소가 다른 구성요소에 '연결' 또는 '접속' 있다고 기재된 경우에는 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다. 반면, 어떤 구성요소가 다른 구성요소에 '직접 연결' 또는 '직접 접속' 있다고 기재된 경우에는 중간에 다른 구성요소가 존재하지 않는다.

[0019] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서 본 발명을 한정하려는 의도가 아니며, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0020] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 게이트 구동부를 포함하는 액정표시장치를 설명한다.

[0021] 도 3은 본 발명의 제1 실시예에 따른 게이트 구동부를 포함하는 액정표시장치를 나타낸 도면이다.

[0022] 도 3을 참조하면, 본 발명의 액정표시장치는, 복수의 게이트 제어신호 및 데이터 제어신호를 생성하는 타이밍 제어부(110), 상기 게이트 제어신호 중, 게이트 쉬프트 클럭(GSC)의 한 주기내에 제1 및 제2 게이트 구동신호를 생성하는 게이트 구동부(120), 상기 데이터 제어신호에 대응하여 데이터 신호를 생성하는 데이터 구동부(130) 및, 상기 게이트 구동신호 및 데이터 신호가 각각 출력되는 복수의 게이트 배선 및 데이터 배선이 매트릭스 형태로 형성되는 액정패널(100)을 포함한다.

- [0023] 액정패널(100)은 글라스 또는 플라스틱을 이용한 기판 상에 다수의 게이트 배선(GL1 ~ GLn)과 다수의 데이터배선(DL1 ~ DLm)이 매트릭스 형태로 교차형성되고, 그 교차지점에 다수의 화소(PX)가 정의된다. 액정패널(100)의 표시영역 상에는 R,G,B 삼원색에 각각 대응하는 복수의 화소(PX)가 매트릭스 형태로 형성되며, 각 화소(PX)는 적어도 하나의 박막트랜지스터(T)와 액정캐패시터(LC)가 구성되어 화상을 표시하게 된다.
- [0024] 전술한 박막트랜지스터(T)의 게이트전극은 게이트배선(GL)에 연결되고, 소스전극은 데이터배선(DL)에 연결되며, 그리고 드레인전극은 공통전극과 대향하는 화소전극과 연결되어 있다. 이러한 박막트랜지스터(T)의 액티브층을 이루는 물질로는 비정질 실리콘이 널리 이용되나, 폴리 실리콘 또는 옥사이드 반도체 등으로 이루어질 수도 있다. 그리고 공통전극과 화소전극은 하나의 액정캐패시터(LC)를 이루게 된다.
- [0025] 타이밍 제어부(110)는 외부시스템으로부터 전송되는 디지털 형태의 영상신호와, 도시하지는 않았지만 수평동기 신호, 수직동기신호, 데이터 출력 인에이블 신호 등의 타이밍 신호를 인가받아 게이트 구동부(120), 데이터 구동부(130)의 구동을 위한 제어신호들(GCS, DCS)을 생성하고, 정렬된 영상신호(aRGB)를 데이터 구동부에 공급한다.
- [0026] 여기서, 타이밍 제어부(110)가 게이트 구동부(120)에 제공하는 게이트 제어신호(GCS)로는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클록(Gate Shift Clock, GSC) 및 게이트 출력 인에이블신호(Gate Output Enable, GOE)등이 있다.
- [0027] 게이트 스타트 펄스(GSP)는 게이트 구동부(120)의 구동시작을 알리는 신호이며, 게이트 쉬프트 클록(GSC)은 게이트 구동부(120)를 이루는 복수의 스테이지간에 출력이 하나의 수평선 단위로 쉬프트(shift) 되도록 제어하는 신호이다. 또한, 게이트 출력 인에이블 신호(GOE)는 게이트 구동신호(Vg1 ~ Vgn)의 출력을 제어하는 신호로서 게이트 출력 인에이블 신호(GOE)가 하이레벨일 때, 게이트 구동신호(Vg1 ~ Vgn)의 출력을 중지하도록 함으로써 그 출력타이밍을 정의하게 된다.
- [0028] 특히, 본 발명의 실시예에 따른 액정표시장치에서는 이웃한 수평선의 게이트 구동신호(Vg1 ~ Vgn)가 서로 소정 기간 중첩되도록 하여 게이트 배선의 충전시간을 확보할 수 있도록 게이트 중첩구동방식이 적용된다. 이를 위해 타이밍 제어부(110)는 하나의 게이트 구동신호(Vg1 ~ Vgn)의 하이레벨 구간이 2 수평기간으로 1 수평기간이 중첩되도록 게이트 제어신호(GCS)의 파형을 조절한다.
- [0029] 종래 중첩구동 방식에서는 게이트 구동IC의 기수번째 채널 및 우수번째 채널을 통한 출력에 대하여 각각 다른 타이밍의 신호생성을 위해, 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 클록(GSC) 및 게이트 출력인에이블 신호(GOE) 모두를 기수번째 및 우수번째로 나누어 총 6개의 게이트 제어신호(GCS)를 통해 기수번째 게이트 구동신호(Vg1, Vg3, ... Vgn-1) 및 우수번째 게이트 구동신호(Vg2, Vg4, ... Vgn)를 생성하였으나, 본 발명에서는 게이트 제어신호(GCS) 중, 게이트 출력인에이블 신호(GOE)를 제외한 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 클록(GSC)을 기수번째 및 우수번째 게이트 구동신호 생성시 공통적으로 이용하는 것을 특징으로 한다.
- [0030] 상기 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 클록(GSC)을 공통으로 이용하여 통해 기수번째 게이트 구동신호(Vg1, Vg3, ... Vgn-1) 및 우수번째 게이트 구동신호(Vg2, Vg4, ... Vgn)를 별개로 형성하는 구체적 방법에 대해서는 후술한다.
- [0031] 또한, 타이밍 제어부(110)는 데이터 구동부(130)에 데이터 제어신호(DCS)를 공급한다. 이러한 데이터 제어신호(DCS)에는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 쉬프트 클럭(Source Shift Clock, SSC) 및 소스 출력 인에이블 신호(Source Output Enable, SOE) 등이 있다.
- [0032] 그리고, 타이밍 제어부(110)는 외부로부터 수신한 영상신호를 데이터 구동부(130)가 처리할 수 있는 형태로 정렬 및 변환하여 정렬된 영상신호(aRGB)로서 데이터 구동부(130)에 공급한다.
- [0033] 게이트 구동부(120)는 공급되는 게이트 제어신호(GSC)에 대응하여 액정패널(100)에 형성된 다수의 게이트 배선(GL1 ~ GLn)에 1 프레임동안 하이레벨의 게이트 구동신호(Vg1 ~ Vgn)를 순차적으로 출력하여 박막트랜지스터(T)를 도통한다. 이때, 게이트 구동신호(Vg1 ~ Vgn)는 2 수평기간의 하이레벨 구간을 가지며, 기수번째 게이트 구동신호(Vg1, Vg3, ... Vgn-1) 및 우수번째 게이트 구동신호(Vg2, Vg4, ... Vgn)는 서로 약 1 수평기간씩 중첩되도록 한다.
- [0034] 이러한 게이트 구동부(120)는 플렉서블 필름회로기판(미도시)상에 실장된 복수의 게이트 구동IC들로 구성되어 있으며, 액정패널(100)의 일측에 TAB방식으로 분당된다. 그리고 각 게이트 구동IC들은 액정패널의 모서리영역에 LOG(line on glass)영역의 배선들을 통해 타이밍 제어부(110)와 연결되어 게이트 제어신호(GCS)를 공급받게 된다.

다.

- [0035] 여기서, 게이트 구동부(120)에 공급되는 게이트 제어신호(GSC)는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클록(GSC), 기수 게이트 출력인에이블 신호(GOE\_odd) 및 우수 게이트 출력인에이블 신호(GOE\_even)이 있으며, 게이트 스타트 펄스(GSP)에 동기하여 순차적으로 게이트 구동신호(Vg1 ~ Vgn)를 생성하되, 게이트 쉬프트 클록(GSC)의 하이레벨 구간에서 기수번째 및 우수번째 게이트 구동신호를 각각 하나씩 생성함으로써 필요한 제어신호의 개수가 저감된다.
- [0036] 일 예로서, 기수번째 게이트 구동신호(Vg1, Vg3, ... Vgn-1)는 게이트 쉬프트 클록(GSC)의 라이징 에지(rising edge)에 대응하여 하이레벨로 출력되며, 우수번째 게이트 구동신호(Vg2, Vg4, ... Vgn)은 상기 라이징 에지 이후 하이레벨 상태에서 로우레벨로 천이되는 폴링 에지(falling edge)에 대응하여 하이레벨로 출력된다. 즉, 게이트 쉬프트 클록(GSC)의 한 주기에 두 게이트 구동신호를 생성하게 된다. 여기서, 각 게이트 구동신호들(Vg1, Vg3, ... Vgn-1)의 실제 하이레벨 구간은 게이트 출력 인에이블 신호(GOE)에 의해 조절되며, 1 수평기간(1H) 정도로 설정된다.
- [0037] 통상적으로, 게이트 구동IC는 게이트 쉬프트 클록(GSC)의 라이징 에지에만 게이트 구동신호를 생성하도록 설정되어 있으나, 라이징 에지 뿐만 아니라, 폴링 에지에도 게이트 구동IC가 게이트 구동신호를 생성할 수 있도록 각 게이트 구동IC 설정값은 미리 변경되어 있어야 한다.
- [0038] 데이터 구동부(130)는 타이밍 제어부(110)로부터 입력되는 데이터 제어신호(DCS)에 대응하여, 입력되는 정렬된 디지털형태의 영상신호(aRGB)를 기준전압(reference voltage)에 따라 아날로그 형태의 데이터 전압(Vdata)으로 변환한다. 또한, 데이터 구동부(130)는 전술한 데이터 전압(Vdata)을 하나의 수평선 단위로 래치하여 게이트 구동신호의 수평기간(1H)마다 모든 데이터 배선(DL)을 통해 동시에 액정패널(100)로 출력한다. 이러한 구동을 위해, 데이터 구동부(130)는 쉬프트 레지스터, 래치, DAC 및 출력버퍼를 포함할 수 있다.
- [0039] 이러한 데이터 구동부(130)는 복수의 데이터 구동IC가 플렉서블 필름회로기판(미도시)상에 실장되고, 액정패널(100) 및 메인회로기판(미도시) 사이에 TAB방식으로 본딩된다.
- [0040] 전술한 구조에 따라, 본 발명의 실시예에 따른 게이트 구동부를 포함하는 액정표시장치는, 게이트 중첩구동방식에서 기수 게이트 구동신호 및 우수 게이트 구동신호 생성시 특정 게이트 구동신호를 공통으로 이용함으로써, 게이트 제어신호의 개수를 저감할 수 있다.
- [0041] 한편, 도 3에서는 게이트 구동부(120)가 액정패널(100)의 일측만에 배치되는 일 예를 나타내고 있으나, 게이트 구동부(120)가 액정패널(100)의 양측에 배치되는 듀얼 게이트(dual gate)구조의 액정표시장치에도 본 발명의 기술적 사상을 적용할 수 있다.
- [0042] 듀얼 게이트 구조는 액정패널이 대면적화 및 고해상도에 의한 신호지연 문제를 개선하기 위해 게이트 구동IC를 두 배로 구비한 구조로서, 대향하는 두 게이트 구동IC의 채널이 동일 게이트 배선과 접속하는 구조와, 대향하는 두 게이트 구동IC가 각각 기수번째 게이트 배선 및 우수번째 게이트 배선과 접속하는 구조가 있으며, 두 구조 모두에 대하여 게이트 스타트 펄스(GSP) 및 게이트 쉬프트 클록(GSC)를 공통으로 이용하는 방법을 적용할 수 있다. 이하, 도면을 참조하여 대향하는 두 게이트 구동IC가 각각 별도의 게이트 배선과 접속하는 구조의 액정표시장치에 본 발명의 기술적 사상을 적용한 실시예를 설명한다.
- [0043] 도 4는 본 발명의 제2 실시예에 따른 게이트 구동부를 포함하는 액정표시장치를 나타낸 도면이다. 도 4를 참조하면, 복수의 게이트 제어신호(GCS1, GCS2) 및 데이터 제어신호(DCS)를 생성하는 타이밍 제어부(210), 상기 게이트 제어신호 중, 게이트 쉬프트 클록(GSC)의 한 주기내에 제1 및 제2 게이트 구동신호(Vg1 ~ Vgn)를 각각 생성하는 제1 및 제2 게이트 구동부(220a, 220b), 상기 데이터 제어신호(DCS)에 대응하여 데이터 신호(Vdata)를 생성하는 데이터 구동부(230) 및, 상기 제1 및 제2 게이트 구동신호(Vg1 ~ Vgn) 및 데이터 신호(Vdata)가 각각 출력되는 복수의 게이트 배선(GL1 ~ GLn) 및 데이터 배선(DL1 ~ DLm)이 매트릭스 형태로 형성되는 액정패널(200)을 포함한다.
- [0044] 제2 실시예에서는, 액정패널(200)을 중심으로 양측에 두 개의 게이트 구동부(220a, 220b)를 구비하고, 제1 게이트 구동부(220a)는 액정패널(200)에 형성된 게이트 배선(GL1 ~ GLn) 중 기수 게이트 배선(GL1, GL3, ... GLn-1)와 접속되며, 제2 게이트 구동부(220b)는 우수 게이트 배선(GL2, GL4, ... GLn)과 접속되는 구조이다.
- [0045] 그리고, 타이밍 제어부(210)는 제1 및 제2 게이트 구동부(220a, 220b)에 각각 제1 및 제2 게이트 제어신호(GCS1, GCS2)를 공급한다. 여기서, 제1 게이트 제어신호(GCS1)에는 기수 게이트 출력 인에이블 신호(GOE\_odd)가

포함되고, 제2 게이트 제어신호(GCS2)에는 우수 게이트 출력 인에이블 신호(GOE\_even)가 포함된다. 또한, 제1 및 제2 게이트 제어신호(GCS1, GCS2)에는 공통적으로 게이트 스타트 펄스(GSP)와 게이트 쉬프트 클록(GSC)이 포함되어 있다.

- [0046] 따라서, 총 4개의 게이트 제어신호(GSP, GSC, GOE\_odd, GOE\_even)를 이용하여 제1 및 제2 게이트 구동부(220a, 220b)를 제어하게 되며, 이는 각각 기수번째 게이트 배선(GL1, GL3, ... GLn-1)과 우수번째 게이트 배선(GL2, GL4, ... GLn)을 통해 게이트 구동신호(Vg1 ~ Vgn)을 교번하여 출력하게 된다.
- [0047] 이하, 도면을 참조하여 본 발명의 제1 및 제2 실시예에서 이용되는 게이트 제어신호 및 게이트 구동신호의 신호 파형을 통해 본 발명의 액정표시장치의 구동방법을 설명한다.
- [0048] 도 5는 본 발명의 실시예에 따른 액정표시장치의 게이트 제어신호 및 게이트 구동신호를 나타내는 도면이다.
- [0049] 도 5를 참조하면, 본 발명의 게이트 구동부를 포함하는 액정표시장치의 게이트 제어신호(GCS)는, 게이트 구동부의 구동시작을 알리는 게이트 스타트 펄스(GSP)와, 게이트 구동부를 이루는 복수의 스테이지간에 출력이 하나의 수평선 단위로 쉬프트(shift) 되도록 제어하는 게이트 쉬프트 클록(GSC)과, 기수 번째 게이트 구동신호(Vg1, Vg3, ... Vgn-1)의 출력을 제어하는 기수 게이트 출력 인에이블 신호(GOE\_odd)와, 우수 번째 게이트 구동신호(Vg2, Vg4, ... Vgn)의 출력을 제어하는 우수 게이트 출력 인에이블 신호(GOE\_even)로 이루어진다.
- [0050] 먼저, 각 프레임의 시작 시점에서 게이트 구동부에 게이트 스타트 펄스(GSP)가 입력되고, 이후 게이트 스타트 클록(GSC)이 입력된다. 여기서, 게이트 스타트 클록(GSC)은 1 주기가 2 수평기간(2H) 보다 여유있게 하이레벨 및 로우레벨이 교번하는 클록신호이다. 게이트 구동부는 이러한 클록신호의 라이징 에지와 대응하여 기수번째 게이트 구동신호(Vg1, Vg3, ... Vgn-1)을 생성한다. 이때, 게이트 쉬프트 클록(GSC)은 하이레벨 구간이 1 주기에 1 수평기간보다 약간 긴 정도이므로, 라이징 에지에 기수번째 게이트 구동신호(Vg1, Vg3, ... Vgn-1)을 대응시키고, 폴링 에지에 우수번째 게이트 구동신호(Vg2, Vg4, ... Vgn)을 대응시킴에 따라 각 게이트 구동신호(Vg1 ~ Vgn)들은 2 수평기간(2H)의 하이레벨 구간을 갖게 된다.
- [0051] 또한, 각 게이트 구동신호(Vg1 ~ Vgn)들은 신호지연에 따른 오작동을 방지하기 위해, 시작 및 끝 부분의 경사가 완만하게 형성되지 않도록 그 출력을 제어하여야 한다. 이를 위해, 기수 게이트 출력 인에이블 신호(GOE\_odd) 및 우수 게이트 출력 인에이블 신호(GOE\_even)를 공급하여 게이트 구동신호(Vg1 ~ Vgn)의 하이레벨 폭을 조절한다. 이에 따라, 게이트 구동신호(Vg1 ~ Vgn)은 2 수평기간(2H)으로 제어된다.
- [0052] 또한, 게이트 쉬프트 클록(GSC)은 1 수평기간(1H) 보다 약간 긴 하이레벨 및 로우레벨이 교번하는 클록신호이므로, 기수번째 게이트 구동신호(Vg1, Vg3, ... Vgn-1) 및 우수번째 게이트 구동신호(Vg2, Vg4, ... Vgn)들은 서로 1 수평기간(1H)의 중첩기간을 갖게 되며, 그 중첩 기간동안 데이터 신호가 공급됨으로서 액정 셀이 충전된다.
- [0053] 한편, 전술한 게이트 제어신호들(GSP, GSC, GOE\_odd, GOE\_even)은 액정패널의 외곽 모서리 영역상에 형성되는 LOG배선을 통해 게이트 구동부에 공급되며, 종래 대비 그 개수가 저감됨에 따라 액정패널의 외곽 비표시영역의 면적을 줄일 수 있는 효과가 있다. 이하, 도면을 참조하여 본 발명의 게이트 제어신호가 입력되는 배선의 형태 및 이에 따른 효과를 설명한다.
- [0054] 도 6은 본 발명의 실시예에 따른 게이트 구동부를 포함하는 액정표시장치의 일 부분을 나타낸 도면이다.
- [0055] 도 6을 참조하면, 본 발명의 액정표시장치는 표시영역(A/A)상에 복수의 게이트 배선(GL) 및 데이터 배선(DL)이 매트릭스 형태로 형성되고, 그 교차지점에 화소(PX)가 정의되는 액정패널(100)과, 액정패널(100)의 일측 비표시영역(N/A)상에 본딩되어 출력단이 게이트 배선(GL)과 접속되는 게이트 구동부(120)와, 게이트 구동부(120)와는 수직한 방향으로 액정패널(100)의 일측 비표시영역(N/A)상에 본딩되는 데이터 구동부(130)를 포함한다.
- [0056] 게이트 구동부(120)는 플렉서블 회로기판(121)상에 실장된 게이트 구동IC(122)를 포함하고, 데이터 구동부(130) 또한 플렉서블 회로기판(131)상에 실장된 데이터 구동IC(132)를 포함한다. 데이터 구동부(130)의 플렉서블 회로기판(131)의 일 측에는 타이밍 제어부(미도시)가 구비되는 메인회로기판(150)이 연결되어 있다.
- [0057] 이러한 구조에서, 타이밍 제어부의 출력단과 연결된 제어신호 공급배선(105)들은 메인회로기판(150)에서 데이터 구동부(130)의 플렉서블 회로기판(131)을 거쳐 액정패널(100)상에 라인 온 글래스(LOG) 구조로 게이트 구동IC(122)와 연결된다.
- [0058] 이러한 제어신호 공급배선(105)은 배선간 간섭 및 배선 저항을 고려하여 최소 마진으로 그 배선 폭 및 배선 간

격이 결정된다. 따라서, 네로우 베젤(narrow bezel) 구현을 위해 제어신호 공급배선(105)의 배선 폭 및 간격을 줄이는 데는 한계가 있다. 그러나, 본 발명의 액정표시장치에서는 게이트 제어신호 공급배선의 개수를 종래 6개에서 4개로 줄임으로써 보다 작은 면적의 비표시영역(N/A)상에 LOG 구조의 제어신호 공급배선(105)을 형성할 수 있다.

[0059] 도 7은 종래 및 본 발명의 실시예에 따른 액정표시장치의 제어신호 공급배선의 형태를 개략적으로 나타낸 도면이다. 도 7은 도 6의 'L'에 대응하는 부분에 대한 종래 및 본 발명의 배선구조로서, 먼저 종래 액정표시장치에서는 게이트 제어신호의 공급배선은 기수 게이트 스타트 펄스(GSP\_odd), 우수 게이트 스타트 펄스(GSP\_even), 기수 게이트 쉬프트 클럭(GSC\_odd), 우수 게이트 쉬프트 클럭(GSC\_even), 기수 게이트 출력 인에이블 신호(GOE\_odd) 및 우수 게이트 출력 인에이블 신호(GOE\_even)의 총 6개가 형성되어야 한다(a).

[0060] 이와 대비하여, 본 발명의 실시예에 따른 액정표시장치에서는 게이트 공급배선은 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC), 기수 게이트 출력 인에이블 신호(GOE\_odd) 및 우수 게이트 출력 인에이블 신호(GOE\_even)의 총 4개로 게이트 제어신호 공급배선을 구현할 수 있다(b). 따라서, 제어신호 배선이 비표시영역(N/A)에서 차지하는 폭을 w1에서 w2로 줄일 수 있는 효과가 있다.

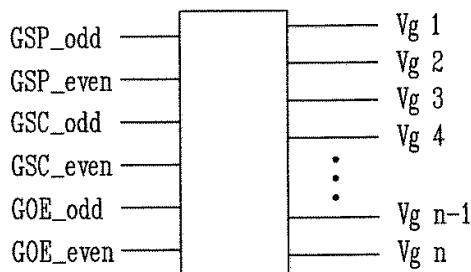
[0061] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

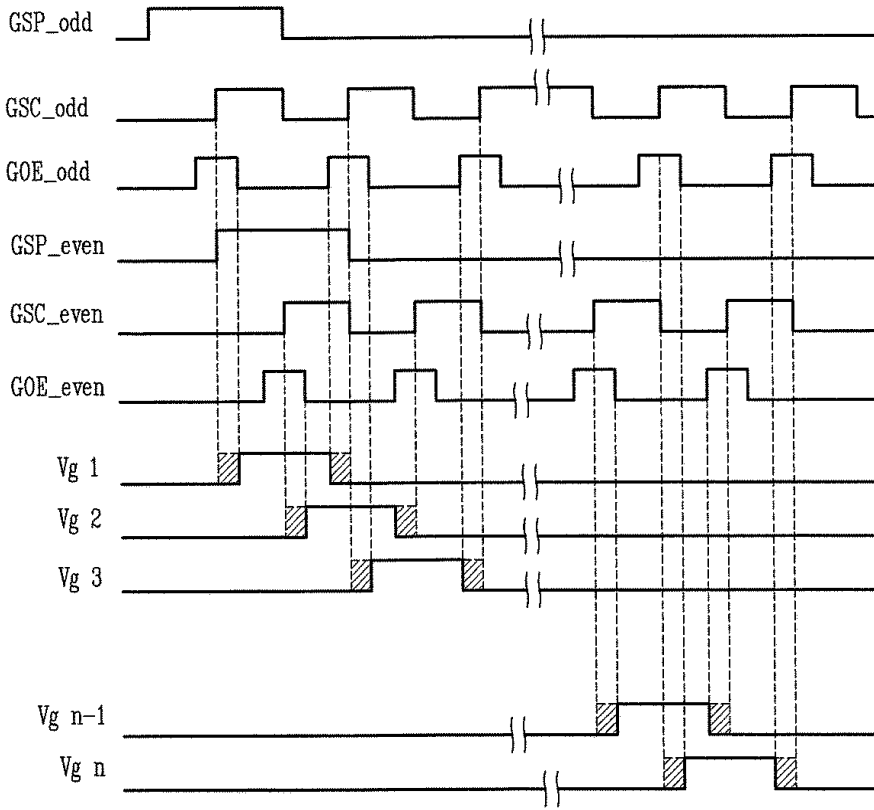
- [0062] 100 : 액정패널 110 : 타이밍 제어부
- 120 : 게이트 구동부 130 : 데이터 구동부
- GL : 게이트 배선 DL : 데이터 배선
- PX : 화소 T : 박막트랜지스터
- LC : 액정캐패시터 Vg1 ~ Vgn : 게이트 구동신호
- Vdata : 데이터 신호 GCS : 게이트 제어신호
- GSP : 게이트 스타트 펄스 GSC : 게이트 쉬프트 클럭
- GOE\_odd, GOE\_even : 기수 및 우수 게이트 출력 인에이블 신호
- DCS : 데이터 제어신호 SSP : 소스 스타트 펄스
- SSC : 소스 쉬프트 클럭 SOE : 소스 출력 인에이블 신호

**도면**

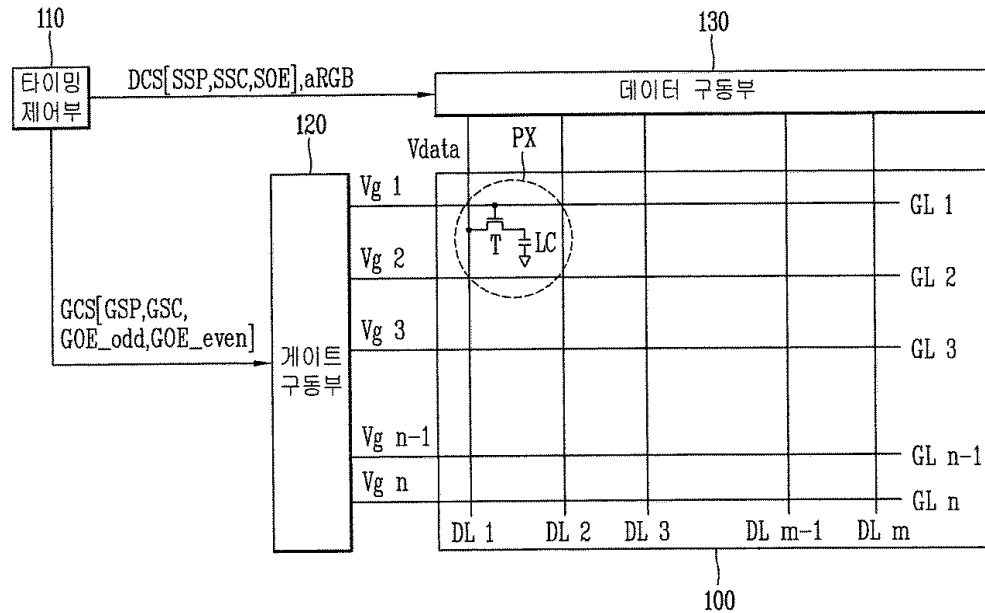
**도면1**



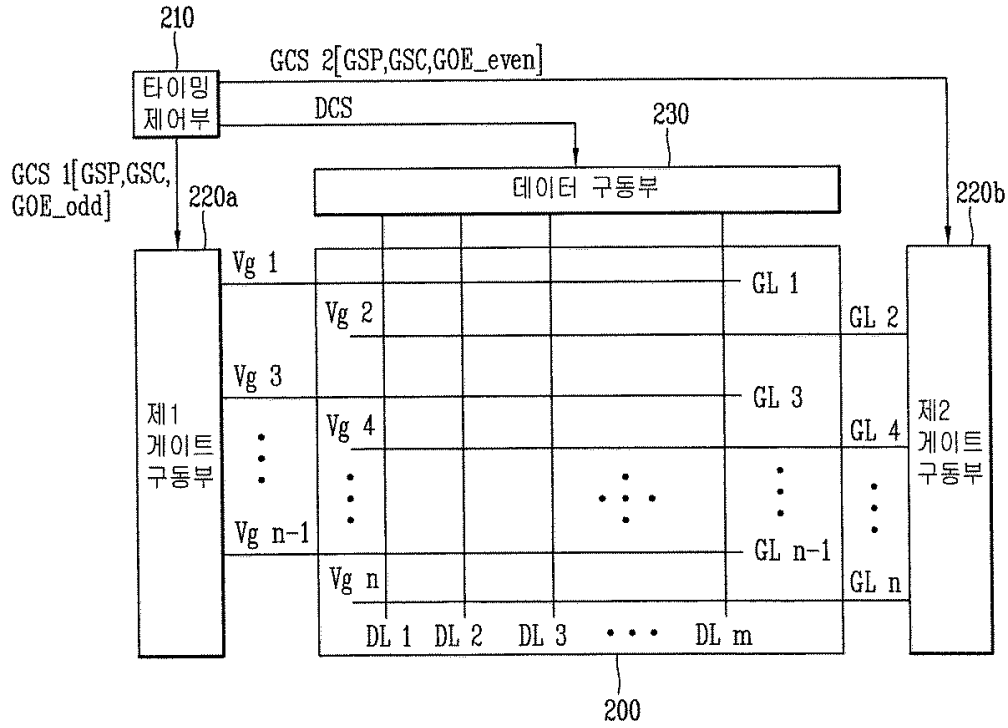
도면2



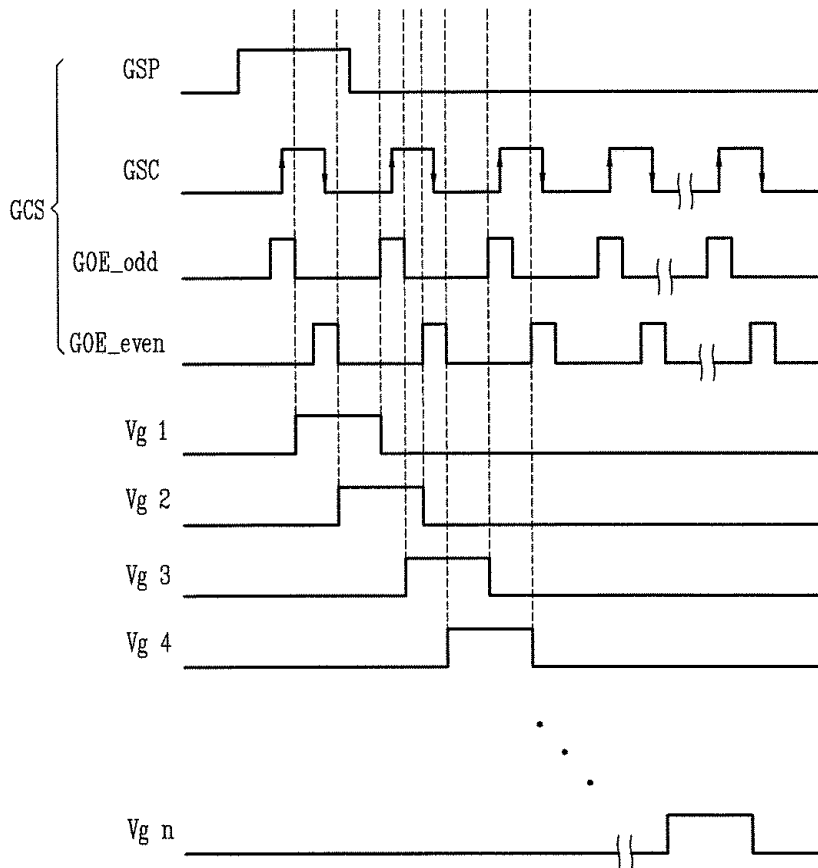
도면3



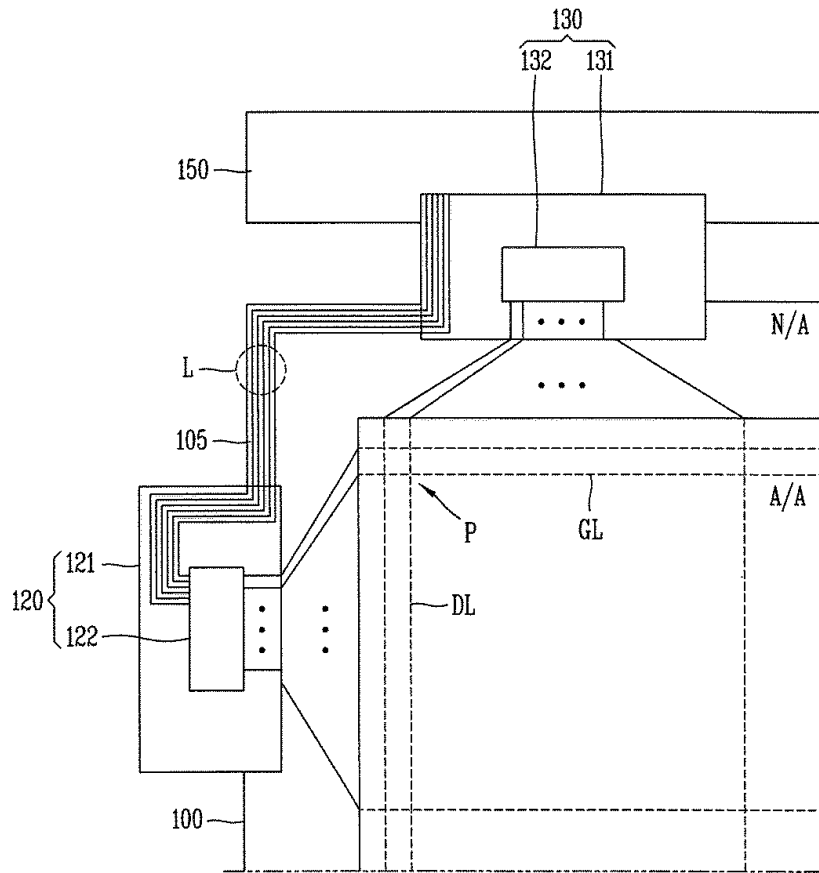
도면4



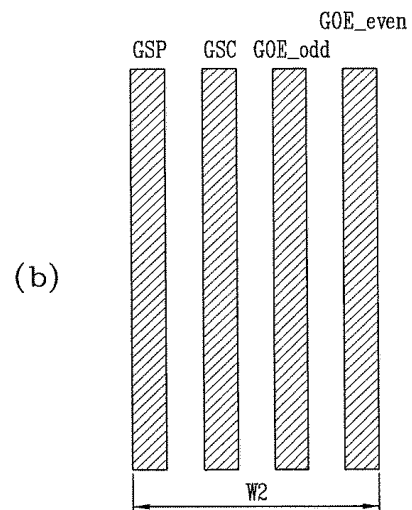
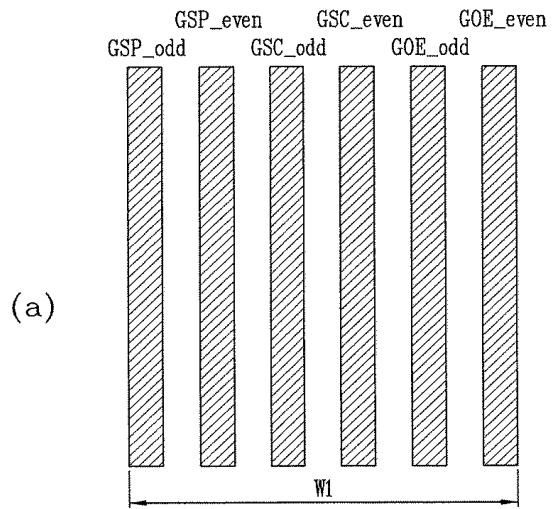
도면5



도면6



도면7



专利名称(译)	一种包括栅极驱动器的液晶显示装置		
公开(公告)号	<a href="#">KR1020150145102A</a>	公开(公告)日	2015-12-29
申请号	KR1020140074501	申请日	2014-06-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN SANG SOO 한상수 CHO DAE MYEONG 조대명		
发明人	한상수 조대명		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3677 G09G3/3688 G02F1/13306 G09G2310/08		
代理人(译)	박장원		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在本发明中，公开了一种包括栅极驱动器的液晶显示装置。更具体地，本发明涉及一种包括栅极驱动器的液晶显示装置，该栅极驱动器通过在高分辨率大规模液晶显示装置中重叠驱动栅极驱动信号来减少增加的信号布线的数量。根据本发明的实施例，液晶显示装置设置为使栅极驱动信号的高电平部分不仅在上升沿同步，而且在下降沿同步来自栅极信号中的栅极信号重叠。驱动方法，从而减少了门控信号的数量。

COPYRIGHT KIPO 2016

