



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0068796
(43) 공개일자 2017년06월20일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/136286 (2013.01)
G02F 1/1368 (2013.01)
(21) 출원번호 10-2015-0175714
(22) 출원일자 2015년12월10일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오승택
경기도 파주시 월롱면 엘씨디로 201, 정다운마을
D동 1022호
박원근
서울특별시 강동구 천중로29길 22 지층동 1호
(74) 대리인
특허법인인벤투스

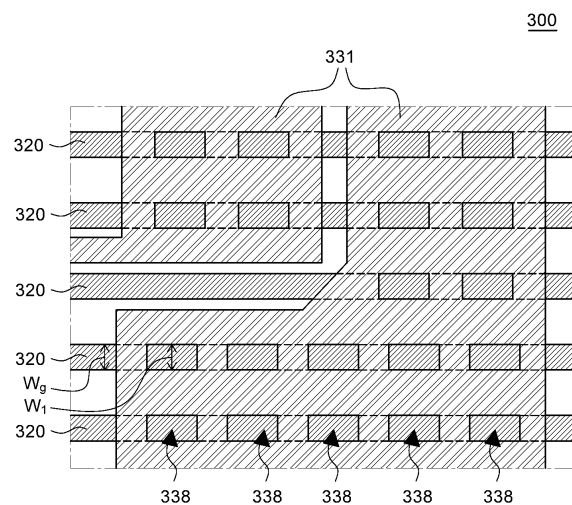
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정표시장치가 제공된다. 액정 표시 장치는 표시 영역 및 비표시 영역을 갖는 하부 기판을 포함한다. 복수의 게이트 라인은 하부 기판 상에서 비표시 영역에 배치된다. 게이트 절연층은 복수의 게이트 라인을 덮는다. 제1 공통 전압 라인은 게이트 절연층 상에 배치되고, 복수의 게이트 라인 사이에 대응하도록 배치된다. 최상층 공통 전압 라인은 제1 공통 전압 라인 상에 배치되고, 게이트 라인의 상부 영역을 덮도록 배치된다. 본 발명의 일 실시예에 따른 액정 표시 장치에서는 비표시 영역에서의 공통 전압 라인의 저항의 증가량이 감소되면서 동시에 공통 전압 라인과 게이트 라인 사이의 커패시턴스도 감소될 수 있다.

대표도 - 도3b



명세서

청구범위

청구항 1

표시 영역 및 비표시 영역을 갖는 하부 기관;

상기 하부 기관 상에서 상기 비표시 영역에 배치된 복수의 게이트 라인;

상기 복수의 게이트 라인을 덮는 게이트 절연층;

상기 게이트 절연층 상에 배치되고, 상기 복수의 게이트 라인 사이에 대응하도록 배치된 제1 공통 전압 라인; 및

상기 제1 공통 전압 라인 상에 배치되고, 상기 게이트 라인의 상부 영역을 덮도록 배치된 최상층 공통 전압 라인을 포함하는, 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 표시 영역에 배치된 박막 트랜지스터를 더 포함하고,

상기 제1 공통 전압 라인은 상기 박막 트랜지스터의 소스 전극 및 드레인 전극과 동일한 물질로 이루어진, 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 최상층 공통 전압 라인은 상기 제1 공통 전압 라인과 전기적으로 연결된, 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 게이트 절연층 상에서 적어도 상기 게이트 라인의 상부 영역에 배치된 제1 절연층을 더 포함하는, 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 공통 전압 라인 상에 상기 제1 공통 전압 라인과 중첩되도록 배치된 제2 공통 전압 라인을 더 포함하는, 액정 표시 장치.

청구항 6

제5항에 있어서,

상기 제1 절연층이 배치된 영역 상에 중첩되도록 배치된 제2 절연층을 더 포함하고,

상기 제1 절연층 및 상기 제2 절연층은 동일한 물질로 이루어진, 액정 표시 장치.

청구항 7

제5항에 있어서,

상기 제1 공통 전압 라인 및 상기 제2 공통 전압 라인은 컨택홀을 통해 전기적으로 연결되는, 액정 표시 장치.

청구항 8

제1항에 있어서,

상기 제1 절연층의 폭은 상기 게이트 라인의 폭보다 넓거나 같은, 액정 표시 장치.

청구항 9

제1항에 있어서,

상기 최상층 공통 전압 라인은 상기 제1 공통 전압 라인과 동일한 물질로 이루어진, 액정 표시 장치.

청구항 10

일방향으로 연장된 복수의 게이트 라인이 배치된 표시 영역 및 비표시 영역을 포함하는 표시 패널; 및

상기 표시 영역에서 상기 복수의 게이트 라인과 평행하게 배치되고, 상기 비표시 영역에서 상기 복수의 게이트 라인과 교차하도록 배치된 제1 공통 전압 라인을 포함하고,

상기 제1 공통 전압 라인은 상기 비표시 영역에서의 상기 복수의 게이트 라인과 중첩하는 영역 중 적어도 일부에 위치하는 복수의 제1 개구부를 갖는, 액정 표시 장치.

청구항 11

제10항에 있어서,

적어도 상기 복수의 제1 개구부 내에 배치된 절연층을 더 포함하고,

상기 절연층은 상기 표시 패널 상에 배치되는 상부 기판과 하부 기판을 밀봉하는 실(seal) 또는 상기 상부 기판과 상기 하부 기판 사이를 접착하는 접착제인, 액정 표시 장치.

청구항 12

제10항에 있어서,

상기 제1 공통 전압 라인 상에서 상기 제1 공통 전압 라인과 중첩되도록 배치된 제2 공통 전압 라인을 더 포함하고,

상기 제2 공통 전압 라인은 상기 복수의 게이트 라인과 중첩하는 영역 중 적어도 일부에 제2 개구부를 포함하는, 액정 표시 장치.

청구항 13

제12항에 있어서,

상기 제2 개구부는 상기 복수의 제1 개구부와 적어도 일부 중첩되도록 배치된, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 보다 상세하게는 공통 전압 라인과 게이트 라인 사이의 커패시턴스를 감소시킬 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(Liquid Crystal Display; LCD)는 전기장을 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시한다. 구체적으로, 액정 표시 장치는 복수의 액정 셀들이 매트릭스 형태로 배열된 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 포함한다.

[0003] 최근에는 사용자의 터치 입력을 감지하는 장치인 터치 스크린 패널(Touch Screen Panel; TSP)이 탑재된 액정 표시 장치가 널리 사용되고 있다. 터치 스크린 패널은 액정 표시 장치 상부에 온-셀(on-cell) 방식으로 부착될 수 있다. 그러나, 온-셀 방식의 경우, 액정 표시 장치의 두께가 증가되고, 증가된 두께로 인해 액정 표시 장치의 시인성이 저하되는 단점이 있다. 이를 해결하기 위해, 터치 스크린 패널이 액정 표시 장치 내에 일체화된 인-셀

(In-Cell) 방식의 터치 스크린 패널이 개발되었다.

- [0004] 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치의 공통 전극은 터치 전극으로도 사용될 수 있다. 또한, 공통 전극과 연결된 공통 전압 라인이 터치 신호를 수신하는 터치 신호 라인으로 사용될 수도 있다. 즉, 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치는 시분할 구동을 하여, 공통 전극이 제1 시구간 동안에는 화소 전극과 전기장을 형성하는 공통 전극으로 동작하고, 제2 시구간 동안에는 터치 전극으로 동작한다. 그러나, 공통 전압 라인이 높은 저항 또는 높은 커패시턴스를 가지는 경우, 터치 신호의 신호 지연이 유발될 수 있다. 특히, 공통 전압 라인은 터치 스크린 패널의 하단부로 갈수록 분지된 공통 전압 라인의 개수가 감소되고, 분지된 하나의 공통 전압 라인의 단면적은 증가한다. 하나의 공통 전압 라인의 단면적이 증가함에 따라, 비표시 영역에 배치된 게이트 라인과 중첩되는 영역의 면적도 증가한다. 이에 따라 공통 전압 라인과 게이트 라인 사이의 커패시턴스도 증가하는 문제점이 발생한다.
- [0005] 도 1은 인-셀 방식의 액정 표시 장치에서 터치 라인의 구조를 나타내는 개략적인 평면도이다. 도 2a 내지 도 2c는 종래기술의 베젤 영역에서 공통 전압 라인과 게이트 라인의 배치 구조를 설명하기 위한 개략적인 확대 평면도 및 단면도이다.
- [0006] 도 1을 참조하면, 종래의 액정 표시 장치(100)는 하부 기판(101), 터치 전극, 공통 전압 라인(110), 터치 패드 및 표시 소자(display element)를 포함한다. 하부 기판(101)은 액티브 영역(AA), 제1 베젤 영역(BA1), 제2 베젤 영역(BA2) 및 패드 영역(PA)을 포함한다.
- [0007] 액티브 영역(AA)에는 터치 전극 및 표시 소자가 배치된다. 표시 소자는 박막 트랜지스터(Thin Film Transistor; TFT), 박막 트랜지스터와 연결된 화소 전극 및 화소 전극과 전기장을 형성하는 공통 전극을 포함한다. 앞서 언급한 바와 같이, 터치 스크린 패널이 인-셀 방식으로 탑재된 경우, 표시 소자의 공통 전극은 터치 전극으로 기능한다. 패드 영역(PA)에는 제1 터치 패드(TP1) 및 제2 터치 패드(TP2)가 배치된다. 구동 회로는 패드 영역(PA) 또는 하부 기판(101) 외부에 배치될 수 있다. 구동 회로는 박막 트랜지스터로 표시 신호를 제공하며, 구동 회로에서 제공된 신호에 기초하여 화소 전극과 공통 전극 사이에 전기장을 형성시킨다. 신호는 표시 라인을 통해 전달되며, 표시 라인은 구동 회로와 전기적으로 연결되어 패드 영역(PA)에서 액티브 영역(AA)으로 연장된다. 제1 터치 패드(TP1) 및 제2 터치 패드(TP2)는 공통 전압 라인으로부터 터치 신호를 수신한다.
- [0008] 공통 전압 라인(110)은 공통 전극과 전기적으로 연결되며, 터치 신호를 전달한다. 공통 전압 라인(110)은 액티브 영역(AA)에서 가로 방향으로 연장되고, 제1 베젤 영역(BA1) 및 제2 베젤 영역(BA2)에서는 세로 방향으로 연장되어 패드 영역(PA)의 제1 터치 패드(TP1) 및 제2 터치 패드(TP2)와 연결된다.
- [0009] 도 1에 도시된 바와 같이, 공통 전압 라인(110)은 제1 베젤 영역(BA1) 및 제2 베젤 영역(BA2)에서 세로방향으로 연장되고 공통 전압 라인(110) 각각은 세로 방향으로 연장된 길이가 서로 상이하다.
- [0010] 보다 구체적으로, 도 1, 도 2a 및 도 2b를 참조하면, 제2 터치 패드(TP2)에 인접한 제2 베젤 영역(BA2)에서 공통 전압 라인(110)은 공통 전압 라인(110)의 하단부로 갈수록 공통 전압 라인(110)의 개수는 감소하고, 각각의 공통 전압 라인(110)의 폭은 넓어진다. 즉, 공통 전압 라인(110)은 제1 터치 패드(TP1) 및 제2 터치 패드(TP2)에 인접할수록 공통 전압 라인(110)의 개수는 증가하고, 각각의 공통 전압 라인(110)의 폭은 좁아진다.
- [0011] 또한, 도 1, 도 2a 및 도 2b를 참조하면, 베젤 영역(BA1, BA2)에서 게이트 라인(120)은 가로 방향으로 배치되고, 공통 전압 라인(110)은 세로 방향으로 배치된다. 게이트 라인(120)의 상부에는 게이트 절연층(140)이 배치되는데, 공통 전압 라인(110)과 게이트 라인(120)이 교차하는 영역에서는 공통 전압 라인(110)과 게이트 라인(120)에 의한 커패시턴스가 발생한다.
- [0012] 이에 따라, 공통 전압 라인(110)과 게이트 라인(120)이 교차하는 영역의 면적이 커질수록 커패시턴스도 증가한다. 즉, 베젤 영역(BA1, BA2)의 하단부로 갈수록 공통 전압 라인(110) 각각이 게이트 라인(120)과 중첩하는 면적이 증가하고 이에 따른 공통 전압 라인(110)과 게이트 라인(120) 사이의 커패시턴스도 증가한다. 이러한 커패시턴스는 터치 신호를 지연시킬 수 있는 문제점을 야기시킨다.
- [0013] 또한, 도 2c를 참조하면, 공통 전압 라인(110)과 게이트 라인(120) 사이에 게이트 절연층(140)이 배치된다. 공통 전압 라인(110)과 게이트 라인(120) 사이의 커패시턴스는 공통 전압 라인(110)과 게이트 라인(120) 사이에 배치된 게이트 절연층(140)의 두께(d_c)에 반비례한다.
- [0014] 이에, 상술한 문제를 해결하기 위해, 공통 전압 라인의 저항을 증가시키지 않으면서 게이트 라인과 공통 전압 라인 사이에 존재하는 커패시턴스를 감소시킬 수 있는 공통 전압 라인의 구조를 포함하는 표시 장치에 대한 필

요성이 존재한다.

[0015] [관련기술문헌]

[0016] 1. 터치 스크린 일체형 표시 장치 (한국공개특허번호 제10-2015-0053537호)

발명의 내용

해결하려는 과제

[0017] 본 발명의 발명자들은 상술한 바와 같이 비표시 영역인 베젤 영역에서 공통 전압 라인이 하단부로 갈수록 게이트 라인과 중첩하는 단면적이 증가하여 공통 전압 라인과 게이트 라인 사이의 커패시턴스가 증가하는 문제점을 해결하기 위해, 커패시턴스를 감소시킬 수 있는 공통 전압 라인을 포함하는 액정 표시 장치의 새로운 구조를 발명하였다.

[0018] 이에, 본 발명이 해결하고자 하는 과제는 공통 전압 라인의 저항을 증가시키지 않으면서 공통 전압 라인과 게이트 라인이 서로 중첩하는 단면적을 저감시킬 수 있는 구조를 갖는 공통 전압 라인을 포함하는 액정 표시 장치를 제공하는 것이다.

[0019] 또한, 본 발명이 해결하고자 하는 다른 과제는 공통 전압 라인과 게이트 라인 사이의 거리를 증가시켜 커패시턴스를 저감시킬 수 있는 액정 표시 장치를 제공하는 것이다.

[0020] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0021] 본 발명의 일 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 표시 영역 및 비표시 영역을 갖는 하부 기판을 포함한다. 복수의 게이트 라인은 하부 기판 상에서 비표시 영역에 배치된다. 게이트 절연층은 복수의 게이트 라인을 덮는다. 제1 공통 전압 라인은 게이트 절연층 상에 배치되고, 복수의 게이트 라인 사이에 대응하도록 배치된다. 최상층 공통 전압 라인은 제1 공통 전압 라인 상에 배치되고, 게이트 라인의 상부 영역을 덮도록 배치된다. 본 발명의 일 실시예에 따른 액정 표시 장치에서는 비표시 영역에서의 공통 전압 라인의 저항의 증가량이 감소되면서 동시에 공통 전압 라인과 게이트 라인 사이의 커패시턴스도 감소될 수 있다.

[0022] 액정 표시 장치는 표시 영역에 배치된 박막 트랜지스터를 더 포함하고, 제1 공통 전압 라인은 박막 트랜지스터의 소스 전극 및 드레인 전극과 동일한 물질로 이루어진다.

[0023] 최상층 공통 전압 라인은 제1 공통 전압 라인과 전기적으로 연결된다.

[0024] 액정 표시 장치는 게이트 절연층 상에서 적어도 게이트 라인의 상부 영역에 배치된 제1 절연층을 더 포함한다.

[0025] 액정 표시 장치는 제1 공통 전압 라인 상에 제1 공통 전압 라인과 중첩되도록 배치된 제2 공통 전압 라인을 더 포함한다.

[0026] 액정 표시 장치는 제1 절연층이 배치된 영역 상에 중첩되도록 배치된 제2 절연층을 더 포함하고, 제1 절연층 및 제2 절연층은 동일한 물질로 이루어진다.

[0027] 제1 공통 전압 라인 및 제2 공통 전압 라인은 콘택홀을 통해 전기적으로 연결된다.

[0028] 제1 절연층의 폭은 게이트 라인의 폭보다 넓거나 같다.

[0029] 최상층 공통 전압 라인은 제1 공통 전압 라인과 동일한 물질로 이루어진다.

[0030] 본 발명의 다른 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 일방향으로 연장된 복수의 게이트 라인이 배치된 표시 영역 및 비표시 영역을 포함하는 표시 패널을 포함한다. 제1 공통 전압 라인은 표시 영역에서 복수의 게이트 라인과 평행하게 배치되고, 비표시 영역에서 복수의 게이트 라인과 교차하도록 배치된다. 제1 공통 전압 라인은 비표시 영역에서의 복수의 게이트 라인과 중첩하는 영역 중 적어도 일부에 위치하는 복수의 제1 개구부를 갖는다. 본 발명의 다른 실시예에 따른 액정 표시 장치에 의해 비표시 영역의 공통 전압 라인에 형성된 개구부는 공통 전압 라인과 게이트 라인이 중첩하는 영역을 감소시켜 공통 전압 라인과 게이트 라인 사이의 커패시턴스도 저감시킬 수 있다.

- [0031] 액정 표시 장치는 적어도 복수의 제1 개구부 내에 배치된 절연층을 더 포함하고, 절연층은 표시 패널 상에 배치되는 상부 기관과 하부 기관을 밀봉하는 실(seal) 또는 상부 기관과 하부 기관 사이를 접착하는 접착제이다.
- [0032] 액정 표시 장치는 제1 공통 전압 라인 상에서 제1 공통 전압 라인에 중첩되도록 배치된 제2 공통 전압 라인을 더 포함하고, 제2 공통 전압 라인은 복수의 게이트 라인에 중첩하는 영역 중 적어도 일부에 제2 개구부를 포함한다.
- [0033] 제2 개구부는 복수의 제1 개구부와 적어도 일부 중첩되도록 배치된다.
- [0034] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0035] 본 발명은 액정 표시 패널의 비표시 영역에서 하단부로 갈수록 공통 전압 라인에 게이트 라인 사이의 커패시턴스가 증가하는 것을 억제할 수 있는 액정 표시 장치를 제조할 수 있다.
- [0036] 또한, 본 발명은 공통 전압 라인에 게이트 라인이 중첩하는 단면적을 감소시켜 공통 전압 라인에 게이트 라인 사이의 커패시턴스를 저감시킬 수 있는 액정 표시 장치를 제조할 수 있다.
- [0037] 또한, 본 발명은 공통 전압 라인에 게이트 라인 사이의 거리를 증가시켜 공통 전압 라인에 게이트 라인 사이의 커패시턴스를 저감시킬 수 있는 액정 표시 장치를 제조할 수 있다.
- [0038] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0039] 도 1은 인-셀 방식의 액정 표시 장치에서 터치 라인의 구조를 나타내는 개략적인 평면도이다.
- 도 2a 내지 도 2c는 종래기술의 베젤 영역에서 공통 전압 라인에 게이트 라인의 배치 구조를 설명하기 위한 액정 표시 장치의 개략적인 확대 평면도 및 단면도이다.
- 도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 베젤 영역에서의 공통 전압 라인에 게이트 라인의 배치 구조를 설명하기 위한 액정 표시 장치의 개략적인 확대 평면도 및 단면도이다.
- 도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치의 개략적인 단면도이다.
- 도 5는 본 발명의 또 다른 실시예에 따른 베젤 영역에서의 공통 전압 라인에 게이트 라인의 배치 구조를 설명하기 위한 액정 표시 장치의 개략적인 확대 평면도이다.
- 도 6은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 개략적인 단면도이다.
- 도 7은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 개략적인 단면도이다.
- 도 8은 본 발명의 실시예들에 따른 공통 전압 라인에 게이트 라인 사이의 커패시턴스의 변화를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0041] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0042] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0043] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접' 이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0044] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0045] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0046] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0047] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0048] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0049] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0050] 도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 베젤 영역에서의 공통 전압 라인과 게이트 라인의 배치 구조를 설명하기 위한 액정 표시 장치의 개략적인 확대 평면도 및 단면도이다. 도 3a 내지 도 3c에 도시된 액정 표시 장치(300)는 도 1 내지 도 2c에 도시된 액정 표시 장치(100)와 비교하여 제1 개구부(338)의 구성이 추가되었을 뿐, 다른 구성요소는 실질적으로 동일하므로 중복 설명은 생략한다. 도 3a 및 도 3b에서는 설명의 편의를 위해 게이트 절연층(340)을 생략하였다.
- [0051] 도 3a 내지 도 3c를 참조하면, 게이트 라인(320)은 하부 기판(301) 상에서 가로 방향으로 배치된다. 여기서, 게이트 라인(320)은 표시 영역의 박막 트랜지스터의 게이트 전극과 동일한 물질로 이루어질 수 있다.
- [0052] 도 3c를 참조하면, 게이트 라인(320) 상에 게이트 절연층(340)이 배치된다. 게이트 절연층(340)은 게이트 라인(320)을 완전히 덮도록 배치될 수 있다. 여기서, 게이트 절연층(340)은 표시 영역의 박막 트랜지스터에서 게이트 전극 상에 배치되는 게이트 절연층(340)과 동일한 층일 수 있다. 예를 들어, 게이트 절연층(340)은 실리콘 나이트라이드(SiNx) 및 실리콘 옥사이드(SiOx) 중 적어도 하나로 이루어진다.
- [0053] 도 3a 내지 도 3c를 참조하면, 제1 공통 전압 라인(331)은 게이트 절연층(340) 상에서 게이트 라인(320)과 중첩되도록 배치된다. 구체적으로, 도 3a를 참조하면 게이트 라인(320) 각각은 복수의 제1 공통 전압 라인(331)과 중첩된다. 도 3b를 참조하면, 게이트 라인(320)의 일부는 복수의 제1 공통 전압 라인(331)과 중첩되고, 게이트 라인(320)의 나머지 일부는 하나의 제1 공통 전압 라인(331)과 중첩된다.
- [0054] 여기서, 제1 공통 전압 라인(331)은 표시 영역의 박막 트랜지스터에서 소스 전극 및 드레인 전극과 동일한 물질로 이루어질 수 있다. 예를 들어, 제1 공통 전압 라인(331)은 티타늄(Ti), 티타늄(Ti)을 포함하는 화합물 또는 이들 중 적어도 하나를 포함하는 혼합물로 이루어질 수 있다.
- [0055] 도 3a 및 도 3b를 참조하면, 제1 공통 전압 라인(331)은 게이트 라인(320)과 중첩하는 영역 중 적어도 일부에 제1 개구부(338)를 갖는다. 다시 말해, 제1 개구부(338)는 하나의 게이트 라인(320)과 제1 공통 전압 라인(331)이 교차되는 영역에 적어도 하나 존재한다. 제1 개구부(338)는 게이트 라인(320)의 상부 영역에 배치된 게이트 절연층(340)의 일부를 노출시킬 수 있다. 이와 같이, 제1 개구부(338)는 제1 공통 전압 라인(331)과 게이트 라인(320) 사이의 커패시턴스를 감소시킬 수 있도록 게이트 라인(320)의 상부 영역에 존재한다.
- [0056] 여기서, 제1 공통 전압 라인(331)이 가질 수 있는 제1 개구부(338)의 수는 제한되지 않는다. 다만, 제1 공통 전압 라인(331)의 폭이나 면적이 작아질수록 제1 공통 전압 라인(331)의 저항이 커질 수 있으므로, 제1 공통 전압 라인(331)과 게이트 라인(320) 사이의 커패시턴스와 제1 공통 전압 라인(331)의 저항 사이의 상관관계를 고려하여 제1 개구부(338)의 수와 면적이 결정될 수 있다.
- [0057] 도 3a 내지 도 3c를 참조하면, 제1 개구부(338)의 폭(W₁)은 게이트 라인(320)의 폭(W_g)과 동일하다. 이에 따라,

제1 공통 전압 라인(331)은 제1 개구부(338)에 의해 게이트 라인(320)과 중첩되는 면적을 감소시킬 수 있고, 제1 개구부(338)를 통해 제1 공통 전압 라인(331)과 게이트 라인(320) 사이의 커패시턴스도 감소될 수 있다. 몇몇 실시예에서, 제1 개구부(338)의 폭(W_1)은 게이트 라인(320)의 폭(W_g)보다 넓도록 구성될 수 있고, 이에 따라 제1 공통 전압 라인(331)과 게이트 라인(320) 사이의 커패시턴스가 보다 감소될 수 있다.

[0058] 나아가, 제1 공통 전압 라인(331)과 게이트 라인(320) 사이의 커패시턴스를 감소시키기 위해 제1 개구부(338)의 수와 면적을 증가시킬 수 있다. 제1 개구부(338)의 수와 면적을 증가시키면 제1 공통 전압 라인(331)의 폭과 면적이 감소된다. 복수의 제1 개구부(338)를 갖는 제1 공통 전압 라인(331)은 메쉬(mesh) 형태와 유사한 형태를 가질 수 있다.

[0059] 몇몇 실시예에서, 제1 개구부(338)의 내부 및 제1 공통 전압 라인(331) 상에는 절연층이 더 배치될 수 있다. 구체적으로, 제1 개구부(338)의 내부 및 제1 공통 전압 라인(331) 상에 배치되는 절연층은 하부 기판에 대향하여 배치되는 상부 기판과 하부 기판을 밀봉하는 실(seal) 또는 상부 기판과 하부 기판 사이를 접착하는 접착제일 수 있다.

[0060] 본 발명의 일 실시예에 따른 액정 표시 장치(300)에서 비표시 영역에 배치된 제1 공통 전압 라인(331)은 게이트 라인(320)과 중첩되는 영역 상에 적어도 하나의 제1 개구부(338)를 포함한다. 이에 따라, 제1 공통 전압 라인(331)에서 게이트 라인(320)과 중첩되는 영역이 감소되어, 제1 공통 전압 라인(331)과 게이트 라인(320) 사이의 커패시턴스가 감소된다. 즉, 본 발명의 일 실시예에 따른 액정 표시 장치(300)는 단일 층으로 이루어진 제1 공통 전압 라인(331)에서 게이트 라인(320)과 중첩되는 영역의 일부를 패터닝하여, 제1 공통 전압 라인(331)의 저항의 증가량을 최소화하면서 제1 공통 전압 라인(331)과 게이트 라인(320) 사이의 커패시턴스를 저감시킬 수 있다. 나아가, 액정 표시 장치(300)에서 제1 공통 전압 라인(331)과 게이트 라인(320) 사이의 커패시턴스가 감소됨에 따라 제1 공통 전압 라인(331) 또는 게이트 라인(320)을 통해 전달되는 신호의 지연이 억제될 수 있다.

[0061] 도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치의 개략적인 단면도이다. 도 4에 도시된 액정 표시 장치(400)는 도 3a 내지 도 3c에 도시된 액정 표시 장치(300)와 비교하여 제2 공통 전압 라인(432) 및 제2 개구부(439)의 구성이 추가되었을 뿐, 다른 구성요소는 실질적으로 동일하므로 중복 설명은 생략한다.

[0062] 도 4를 참조하면, 제1 공통 전압 라인(331) 상에 제2 공통 전압 라인(432)이 배치된다. 여기서, 제2 공통 전압 라인(432)은 제1 공통 전압 라인(331)과 완전히 중첩되어 배치될 수 있다. 이에 따라, 제1 공통 전압 라인(331)과 제2 공통 전압 라인(432)은 하나의 공통 전압 라인으로 기능할 수 있다.

[0063] 제2 공통 전압 라인(432)은 표시 영역의 박막 트랜지스터에서 소스 전극 및 드레인 전극을 구성하는 물질과 동일한 물질로 이루어질 수 있다. 예를 들어, 제2 공통 전압 라인(432)은 알루미늄(Al), 알루미늄(Al)을 포함하는 화합물 또는 이들 중 적어도 하나를 포함하는 혼합물로 이루어질 수 있다. 이 경우, 박막 트랜지스터의 소스 전극 및 드레인 전극은 복층 구조일 수 있고, 소스 전극 및 드레인 전극의 하나의 층은 제1 공통 전압 라인(331)과 동일한 물질로 형성되고, 소스 전극 및 드레인 전극의 다른 하나의 층은 제2 공통 전압 라인(432)과 동일한 물질로 형성될 수 있다.

[0064] 이와 같이, 도전성 물질로 이루어진 제1 공통 전압 라인(331) 상에 도전성 물질로 이루어진 제2 공통 전압 라인(432)이 적층되어 도전성 물질 전체의 두께가 증가한다. 즉, 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)의 연장 방향에 대해 수직 방향의 단면적이 증가한다. 이에 따라, 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)이 적층된 구조를 통해 전체 공통 전압 라인의 저항은 감소된다.

[0065] 도 4를 참조하면, 제2 공통 전압 라인(432)은 제1 개구부(338) 상에 대응하여 배치된 제2 개구부(439)를 포함한다. 제1 개구부(338)는 게이트 라인(320)의 상부 영역과 중첩되도록 존재하므로, 제2 개구부(439)의 영역도 게이트 라인(320)의 상부 영역과 중첩된다. 이에 따라, 제2 개구부(439)는 게이트 절연층(340)의 일부를 노출시킨다.

[0066] 도 4를 참조하면, 제2 개구부(439)의 폭(W_2)은 제1 개구부(338)의 폭(W_1)과 동일하다. 이에 따라, 제1 개구부(338) 및 제2 개구부(439)가 형성된 게이트 라인(320)의 상부 영역에는 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)과 같은 도전성 물질이 존재하지 않을 수 있다. 제1 개구부(338) 및 제2 개구부(439)가 형성된 게이트 라인(320)의 상부 영역에 도전성 물질이 존재하지 않으므로써 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)이 게이트 라인(320)과 중첩하는 면적이 감소하여 게이트 라인(320)과 전체 공통 전압 라인 사이의 커패시턴스가 현저하게 감소될 수 있다. 도 4에서는 제2 개구부(439)의 폭(W_2)이 제1 개구부(338)의 폭(W_1)과 동

일한 것으로 도시되었으나, 제2 개구부(439)의 폭(W_2)은 제1 개구부(338)의 폭(W_1)보다 넓도록 구성될 수 있다.

- [0067] 본 발명의 다른 실시예에 따른 액정 표시 장치(400)에서 비표시 영역에 배치된 제1 공통 전압 라인(331) 상에 제2 공통 전압 라인(432)이 배치된다. 제2 공통 전압 라인(432)은 제2 개구부(439)를 포함하고, 제2 개구부(439)는 제1 개구부(338)와 함께 게이트 라인(320)의 상부 영역에 나란히 형성된다. 즉, 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)이 게이트 라인(320)과 중첩되는 영역 상의 일부에 제1 개구부(338) 및 제2 개구부(439)가 존재한다.
- [0068] 상술한 바와 같이, 제1 개구부(338) 상에 중첩되어 제2 개구부(439)가 배치됨에 따라, 게이트 라인(320)과 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)이 중첩하는 면적이 감소한다. 이에 따라, 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)으로 이루어지는 전체 공통 전압 라인과 게이트 라인(320) 사이의 커패시턴스가 감소한다.
- [0069] 또한, 동일하게 중첩되는 제1 개구부(338) 및 제2 개구부(439)가 형성됨과 동시에, 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)이 복층으로 배치되어 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)의 전체 두께가 증가한다. 이에 따라, 제1 공통 전압 라인(331)의 저항과 제2 공통 전압 라인(432)의 저항이 병렬 연결되어 제1 공통 전압 라인(331) 및 제2 공통 전압 라인(432)의 전체 저항이 감소된다.
- [0070] 이에 따라, 비표시 영역에서 전체 공통 전압 라인과 게이트 라인(320) 사이의 커패시턴스와 전체 공통 전압 라인의 전체 저항이 감소되며, 전체 공통 전압 라인을 통해 전달되는 신호의 지연도 억제될 수 있다.
- [0071] 도 5는 본 발명의 또 다른 실시예에 따른 베젤 영역에서의 공통 전압 라인과 게이트 라인의 배치 구조를 설명하기 위한 액정 표시 장치의 개략적인 확대 평면도이다. 도 6은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 개략적인 단면도이다. 도 5 및 도 6에 도시된 액정 표시 장치(500)는 도 3a 내지 도 3c에 도시된 액정 표시 장치(300)와 비교하여 최상층 공통 전압 라인(533)이 추가되었으며, 제1 공통 전압 라인(531)의 구조 및 형상만이 상이할 뿐, 다른 구성요소는 실질적으로 동일하므로 중복 설명은 생략한다.
- [0072] 도 5 및 도 6을 참조하면, 게이트 라인(320)이 배치된 영역과 중첩되지 않도록 게이트 절연층(340) 상에 제1 공통 전압 라인(531)이 배치된다. 구체적으로, 게이트 라인(320)의 상부 영역에는 제1 공통 전압 라인(531)이 배치되지 않고, 제1 공통 전압 라인(531)은 두 개의 게이트 라인(320) 사이마다 배치된다. 여기서, 복수의 제1 공통 전압 라인(531) 각각은 서로 단절되어 배치된다. 즉, 제1 공통 전압 라인(531)은 비표시 영역에서 하부 기판(301) 상에 섬(island) 형상으로 배치된다.
- [0073] 여기서, 제1 공통 전압 라인(531)은 표시 영역의 박막 트랜지스터에서 소스 전극 및 드레인 전극과 동일한 물질로 이루어질 수 있다. 예를 들어, 제1 공통 전압 라인(531)은 티타늄(Ti), 티타늄(Ti)을 포함하는 화합물 또는 이들 중 적어도 하나를 포함하는 혼합물로 이루어질 수 있다.
- [0074] 도 5 및 도 6을 참조하면, 제1 공통 전압 라인(531) 사이의 이격된 폭(W_3)은 게이트 라인(320)의 폭(W_g)보다 넓다. 도 6에서는 제1 공통 전압 라인(531) 사이의 이격된 폭(W_3)이 게이트 라인(320)의 폭(W_g)보다 넓은 것으로 도시되었으나, 이에 제한되지 않으며 실시예마다 다양하게 결정될 수 있다. 다만, 제1 공통 전압 라인(531) 사이의 이격된 폭(W_3)은 제1 공통 전압 라인(531)이 게이트 라인(320)의 상부 영역과 중첩되지 않도록 결정된다.
- [0075] 도 5 및 도 6을 참조하면, 제1 절연층(551)은 게이트 절연층(340) 상에서 게이트 라인(320)의 상부 영역의 적어도 일부에 배치된다. 즉, 제1 절연층(551)은 서로 단절된 제1 공통 전압 라인(531) 사이를 채우도록 게이트 라인(320)의 상부 영역과 중첩되어 배치된다. 또한, 제1 절연층(551)은 제1 공통 전압 라인(531) 및 게이트 절연층(340)을 덮도록 배치된다.
- [0076] 여기서, 제1 절연층(551)은 표시 영역의 박막 트랜지스터의 소스 전극 및 드레인 전극 상에 배치되는 평탄화층을 구성하는 물질과 동일한 물질로 이루어질 수 있다. 예를 들어, 제1 절연층(551)은 PAC(PolyAcryl)으로 이루어질 수 있다.
- [0077] 도 5 및 도 6을 참조하면, 최상층 공통 전압 라인(533)이 제1 공통 전압 라인(531) 및 게이트 라인(320) 상부를 모두 덮도록 배치된다. 즉, 최상층 공통 전압 라인(533)은 섬 형상으로 서로 단절되어 배치된 제1 공통 전압 라인(531)을 모두 덮도록 배치된다. 이에 따라, 최상층 공통 전압 라인(533)은 서로 단절된 제1 공통 전압 라인(531)을 전기적으로 연결시킬 수 있다.
- [0078] 여기서, 최상층 공통 전압 라인(533)은 제1 공통 전압 라인과 동일한 물질로 이루어질 수 있다. 예를 들어, 최

상층 공통 전압 라인(533)은 티타늄(Ti), 티타늄(Ti)을 포함하는 화합물 또는 이들 중 적어도 하나를 포함하는 혼합물로 이루어질 수 있다.

[0079] 도 6을 참조하면, 최상층 공통 전압 라인(533)은 게이트 라인(320)의 상부 영역에 배치된 게이트 절연층(340) 및 제1 절연층(551)에 의해 게이트 라인(320)으로부터 이격되어 배치된다. 이와 같이 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이에 배치된 게이트 절연층(340) 및 제1 절연층(551)은 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 커패시턴스를 감소시킬 수 있다. 구체적으로, 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 커패시턴스는 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이에 존재하는 유전체의 유전율 및 게이트 라인(320) 및 최상층 공통 전압 라인(533)이 중첩하는 면적의 넓이에 비례하고, 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 유전체의 두께에 반비례한다. 이에 따라, 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 커패시턴스는 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이에 배치된 절연층의 전체 두께, 즉, 게이트 라인(320)의 상부 영역의 게이트 절연층(340)의 두께(d_c) 및 게이트 라인(320)의 상부 영역의 제1 절연층(551)의 두께(d_1)의 합에 반비례한다. 즉, 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이에 배치된 절연층이 두꺼워짐에 따라 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 커패시턴스는 감소한다.

[0080] 도 6에 도시되지 않았으나, 최상층 공통 전압 라인(533)과 제1 공통 전압 라인(531) 사이에 공통 전압 라인이 더 배치될 수도 있다. 또한, 최상층 공통 전압 라인(533)과 추가된 공통 전압 라인 사이에 절연층이 더 배치될 수 있다. 나아가, 추가된 공통 전압 라인이 제1 공통 전압 라인(531)과 같이 단절된 구조로 섬 형상을 갖는 경우에는 이격된 공통 전압 라인 사이에 절연층이 배치될 수 있다. 이와 같이, 최상층 공통 전압 라인(533)과 제1 공통 전압 라인 사이에 추가로 배치된 공통 전압 라인을 포함하는 구체적인 구조에 대해서는 도 7을 참조하여 후술한다.

[0081] 본 발명의 또 다른 실시예에 따른 액정 표시 장치(500)에서 비표시 영역에 배치된 게이트 라인(320)의 상부 영역에 중첩되지 않도록 제1 공통 전압 라인(531)이 단절되어 배치된다. 즉, 게이트 라인(320)의 상부 영역에는 제1 공통 전압 라인(531)이 배치되지 않고, 제1 절연층(551)이 배치된다. 제1 절연층(551) 상에는 최상층 공통 전압 라인(533)이 순차적으로 배치된다. 즉, 최상층 공통 전압 라인(533)과 게이트 라인(320) 사이에는 게이트 절연층(340)과 제1 절연층(551)이 배치된다. 이에, 최상층 공통 전압 라인(533)이 게이트 라인(320) 상의 게이트 절연층(340)의 두께(d_c) 및 게이트 라인(320) 상의 제1 절연층(551)의 두께(d_1)만큼 게이트 라인(320)에서 이격된다. 이에 따라, 도전성 물질로 이루어진 최상층 공통 전압 라인(533)과 게이트 라인(320) 사이의 커패시턴스가 게이트 라인(320) 상의 게이트 절연층(340)의 두께(d_c) 및 게이트 라인(320) 상의 제1 절연층(551)의 두께(d_1)의 합에 반비례하여 감소된다. 즉, 최상층 공통 전압 라인(533)과 게이트 라인(320) 사이의 커패시턴스는 제1 공통 전압 라인(531)이 게이트 라인(320)의 상부 영역에 중첩되어 배치되는 경우보다 감소된다.

[0082] 도 7은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 개략적인 단면도이다. 도 7에 도시된 액정 표시 장치(700)는 도 6에 도시된 액정 표시 장치(500)와 비교하여 제2 공통 전압 라인(732) 및 제2 절연층(752)의 구성을 더 포함할 뿐, 다른 구성요소는 실질적으로 동일하므로 중복 설명은 생략한다.

[0083] 도 7을 참조하면, 제2 공통 전압 라인(732)은 제1 절연층(551) 상에 단절된 상태로 배치된다. 구체적으로, 제2 공통 전압 라인(732)은 게이트 라인(320)의 상부 영역에 중첩되지 않고, 제1 공통 전압 라인(531)의 상부 영역에 중첩되도록 배치된다.

[0084] 여기서, 제2 공통 전압 라인(732)은 표시 영역의 박막 트랜지스터에서 소스 전극 및 드레인 전극을 구성하는 물질과 동일한 물질로 이루어질 수 있다. 또한, 제2 공통 전압 라인(732)은 제1 공통 전압 라인(531)과 상이한 물질로 구성될 수 있다. 예를 들어, 제2 공통 전압 라인(732)은 알루미늄(Al), 알루미늄(Al)을 포함하는 화합물 또는 이들 중 적어도 하나를 포함하는 혼합물로 이루어질 수 있다. 즉, 제2 공통 전압 라인(732)은 표시 영역의 박막 트랜지스터의 소스 전극 및 드레인 전극과 동시에 패터닝되어 배치될 수 있다.

[0085] 도 7을 참조하면, 제2 공통 전압 라인(732)은 게이트 라인(320)의 폭(W_g)보다 넓게 이격되어 배치된다. 즉, 제2 공통 전압 라인(531) 사이의 이격된 폭(W_4)은 게이트 라인(320)의 폭(W_g)보다 넓다. 또한, 제2 공통 전압 라인(531) 사이의 이격된 폭(W_4)은 제1 공통 전압 라인(531) 사이의 이격된 폭(W_3)보다 같을 수 있다. 도 7에서는 제2 공통 전압 라인(732) 사이의 이격된 폭(W_4)이 게이트 라인(320)의 폭(W_g)보다 넓은 것으로 도시되었으나, 이

에 제한되지 않으며 실시예마다 다양하게 결정될 수 있다. 다만, 제2 공통 전압 라인(732) 사이의 이격된 폭(W_4)은 제2 공통 전압 라인(732)이 게이트 라인(320)의 상부 영역과 중첩되지 않도록 결정될 수 있다.

[0086] 도 7에 도시되지 않았으나, 제2 공통 전압 라인(732)은 컨택홀을 통해 제1 공통 전압 라인(531)과 전기적으로 연결된다. 이에 따라, 제2 공통 전압 라인(732)은 서로 단절된 제1 공통 전압 라인(531)을 전기적으로 연결시킬 수 있다. 또한, 컨택홀을 통해 제2 공통 전압 라인(732)이 제1 공통 전압 라인(531)과 전기적으로 연결됨에 따라, 제1 공통 전압 라인(531)과 제2 공통 전압 라인(732)이 병렬로 연결되고, 제1 공통 전압 라인(531)과 제2 공통 전압 라인(732)을 포함하는 공통 전압 라인의 저항이 감소한다.

[0087] 도 7을 참조하면, 제2 절연층(752)은 제1 절연층(551) 상에서 게이트 라인(320)의 상부 영역의 적어도 일부에 배치된다. 구체적으로, 제2 절연층(752)은 서로 단절된 제2 공통 전압 라인(732) 사이에서 게이트 라인(320)이 배치된 영역 상에서 게이트 라인(320)과 중첩되어 배치된다. 또한, 제2 절연층(752)은 게이트 라인(320)의 상부 영역에서 제1 절연층(551) 상에 배치된다. 제2 절연층(752)의 하면은 제1 절연층(551)의 상면에 접하도록 배치된다. 이에 따라, 게이트 라인(320)의 상부 영역에는 게이트 절연층(320), 제1 절연층(551) 및 제2 절연층(752)이 순차적으로 적층된 구조가 형성된다.

[0088] 여기서, 제2 절연층(752)은 제1 절연층(551)과 동일한 물질로 이루어질 수 있으며, 이는 표시 영역의 박막 트랜지스터의 소스 전극 및 드레인 전극 상에 배치되는 평탄화층을 구성하는 물질과 동일한 물질이다. 예를 들어, 제2 절연층(752)은 PAC(PolyACryl)으로 이루어질 수 있다.

[0089] 도 7을 참조하면, 게이트 절연층(340), 제1 절연층(551) 및 제2 절연층(752)은 최상층 공통 전압 라인(533)을 게이트 라인(320)으로부터 이격되도록 배치된다. 이에 따라, 게이트 라인(320)의 상부 영역과 최상층 공통 전압 라인(533) 사이에 배치된 게이트 절연층(340), 제1 절연층(551) 및 제2 절연층(752)은 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 커패시턴스를 감소시킬 수 있다. 구체적으로, 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 커패시턴스는 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 유전체의 두께에 반비례한다. 이에 따라, 게이트 라인(320) 및 최상층 공통 전압 라인(533) 사이의 커패시턴스는 게이트 라인(320)의 상부 영역의 게이트 절연층(340)의 두께(d_c), 게이트 라인(320)의 상부 영역의 제1 절연층(551)의 두께(d_1) 및 게이트 라인(320)의 상부 영역의 제2 절연층(752)의 두께(d_2)의 합에 반비례한다.

[0090] 본 발명의 또 다른 실시예에 따른 액정 표시 장치(700)에서 비표시 영역에 배치된 게이트 라인(320)의 상부 영역에 중첩되지 않도록 제2 공통 전압 라인(732)이 단절되어 배치된다. 즉, 게이트 라인(320)의 상부 영역에는 제1 공통 전압 라인(531) 및 제2 공통 전압 라인(732)이 배치되지 않고, 제1 절연층(551) 및 제2 절연층(752)이 배치된다. 제2 절연층(752) 상에는 최상층 공통 전압 라인(533)이 배치된다. 즉, 제2 공통 전압 라인(732)과 게이트 라인(320) 사이에는 게이트 절연층(340)과 제1 절연층(551)이 배치된다. 이에, 최상층 공통 전압 라인(533)은 게이트 라인(320) 상의 게이트 절연층(340)의 두께(d_c), 게이트 라인(320) 상의 제1 절연층(551)의 두께(d_1) 및 게이트 라인(320) 상의 제2 절연층(752)의 두께(d_2)만큼 게이트 라인(320)에서 이격된다. 이에 따라, 도전성 물질로 이루어진 최상층 공통 전압 라인(533)과 게이트 라인(320) 사이의 커패시턴스가 게이트 라인(320) 상의 게이트 절연층(340)의 두께(d_c), 게이트 라인(320) 상의 제1 절연층(551)의 두께(d_1) 및 게이트 라인(320) 상의 제2 절연층(752)의 두께(d_2)의 합에 반비례하여 감소된다.

[0091] 또한, 액정 표시 장치(700)에서 제2 공통 전압 라인(732)이 최상층 공통 전압 라인(533) 및 제1 공통 전압 라인(531) 사이에 배치됨에 따라, 비표시 영역에 배치된 공통 전압 라인 전체의 저항도 감소된다. 구체적으로, 최상층 공통 전압 라인(533)이 제2 공통 전압 라인(532) 상부에서 컨택홀을 통해 전기적으로 연결되는 경우, 최상층 공통 전압 라인(533)이 제2 공통 전압 라인(532)과 전기적으로 병렬 연결된다. 이에 따라, 비표시 영역에 배치된 공통 전압 라인 전체의 두께는 증가하고 공통 전압 라인 전체의 저항도 감소된다.

[0092] 도 8은 본 발명의 실시예들에 따른 공통 전압 라인과 게이트 라인 사이의 커패시턴스의 변화를 나타내는 그래프이다. 도 8에서 x축은 공통 전압 라인의 배치번호를 의미한다. 구체적으로, R0는 가장 짧은 공통 전압 라인으로 가로 방향으로 연장하는 부분이 표시 영역에서 최상단부에 존재하며, R26은 가장 긴 공통 전압 라인으로 가로 방향으로 연장하는 부분이 표시 영역에서 최하단에 존재한다. R0에서 R26으로 갈수록 공통 전압 라인은 길어지고, 가로 방향으로 연장하는 부분은 하단부에 배치된다. 도 8에서 y축은 비교예의 공통 전압 라인의 최대 커패시턴스(C_0)에 대한 공통 전압 라인별 커패시턴스(C) 비율을 의미한다. 예를 들어, 100%는 공통 전압 라인이 비교예의 공통 전압 라인의 커패시턴스 최대값(C_0)과 동일한 커패시턴스를 갖는 것을 의미하고, 10%는 공통 전압

라인이 비교예의 공통 전압 라인의 커패시턴스 최대값(C0)의 10%의 커패시턴스를 갖는 것을 의미한다.

[0093] 도 8에서 비교예는 도 2a 내지 도 2c에 도시된 종래기술에 따른 액정 표시 장치이고, 실시예 1은 도 6에 도시된 본 발명의 또 다른 실시예에 따른 액정 표시 장치이고, 실시예 2는 도 7에 도시된 본 발명의 또 다른 실시예에 따른 액정 표시 장치이다.

[0094] 비교예에서는 게이트 라인(120) 상에 공통 전압 라인(110)이 중첩되어 배치된다. 반면, 실시예 1에서는 게이트 라인(320) 상에 제1 공통 전압 라인(531)이 중첩되지 않도록 배치되고, 실시예 2에서는 게이트 라인(320) 상에 제1 공통 전압 라인(531) 및 제2 공통 전압 라인(732)이 중첩되지 않도록 배치된다. 이에 따라, 비교예에서는 게이트 라인(120)과 공통 전압 라인(110) 사이의 거리가 작아 게이트 라인(120)과 공통 전압 라인(110) 사이의 커패시턴스가 크고, 게이트 라인(320)과 제2 공통 전압 라인(531) 사이의 커패시턴스 및 게이트 라인(320)과 최상층 공통 전압 라인(533) 사이의 커패시턴스는 비교예의 커패시턴스와 비교하여 현저하게 저감된다. 예를 들어, 실시예 1은 비교예보다 R26에서의 커패시턴스가 약 85% 감소되고, 실시예 2는 비교예보다 R26에서의 커패시턴스가 약 94% 감소된다.

[0095] 도 8을 참조하면, 비교예에서는 R26으로 갈수록 비교예의 공통 전압 라인의 최대 커패시턴스에 대한 공통 전압 라인의 커패시턴스 비율이 급격하게 증가하지만, 실시예 1 및 실시예 2에서는 R26으로 갈수록 비교예의 공통 전압 라인의 최대 커패시턴스에 대한 공통 전압 라인의 커패시턴스 비율이 크게 증가하지 않는다. 이는, R26으로 갈수록 공통 전압 라인과 게이트 라인 사이의 중첩 면적이 비교예에 비해 실시예 1 및 실시예 2에서 크게 증가하지 않는 것을 의미한다. 다시 말해, 실시예 1 및 실시예 2에서 R26으로 갈수록 공통 전압 라인과 게이트 라인 사이의 커패시턴스는 비교예보다 현저하게 감소된다. 이는 게이트 라인(320)의 상부 영역에 절연층을 배치하여, 게이트 라인(320)과 최상층 공통 전압 라인(533) 사이의 간격을 증가시킴으로써, 게이트 라인(320)과 공통 전압 라인 사이의 커패시턴스를 현저하게 감소시킬 수 있음을 나타낸다.

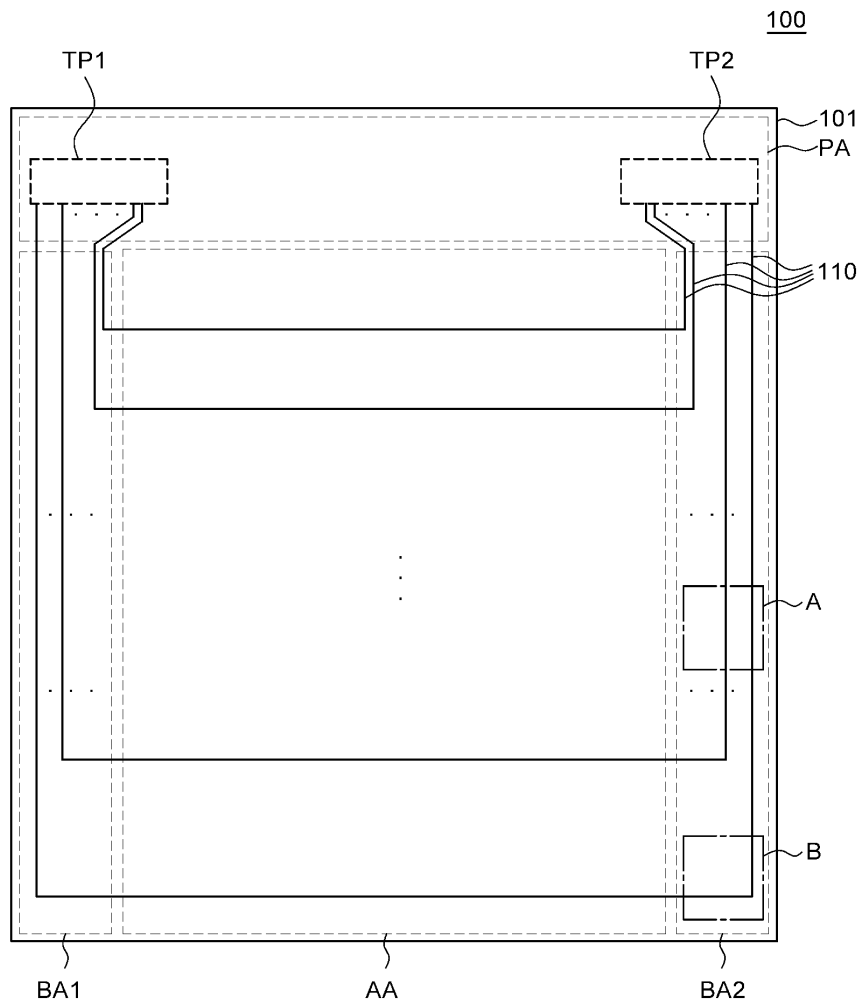
[0096] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

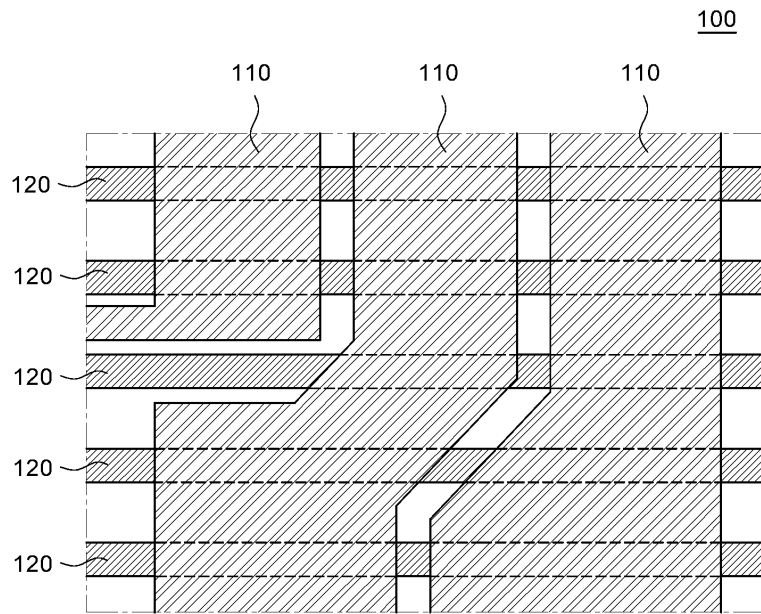
[0097] 100: 액정 표시 장치
101, 301: 하부 기판
110: 공통 전압 라인
120, 320: 게이트 라인
140, 340: 게이트 절연층
331, 531: 제1 공통 전압 라인
432, 532, 732: 제2 공통 전압 라인
338: 제1 개구부
439: 제2 개구부
533: 최상층 공통 전압 라인
551: 제1 절연층
752: 제2 절연층

도면

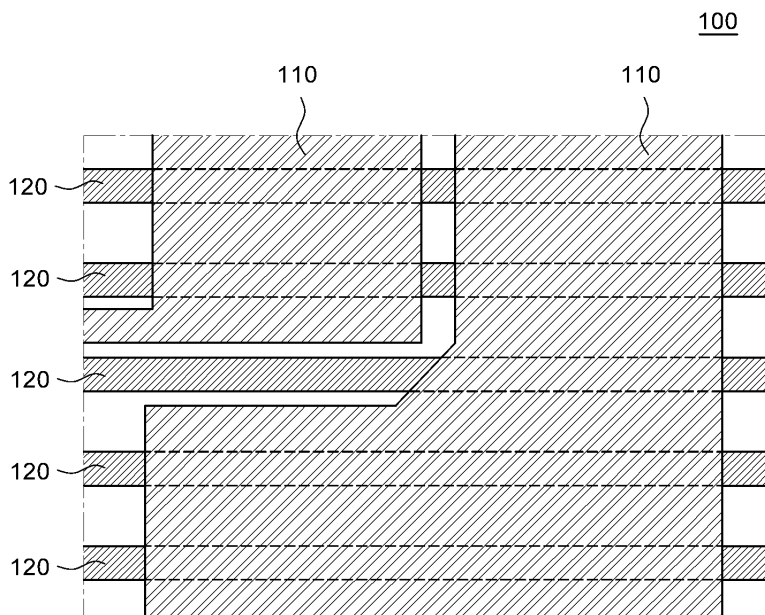
도면1



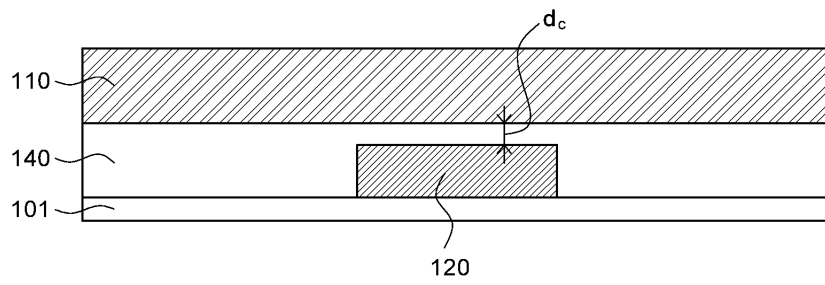
도면2a



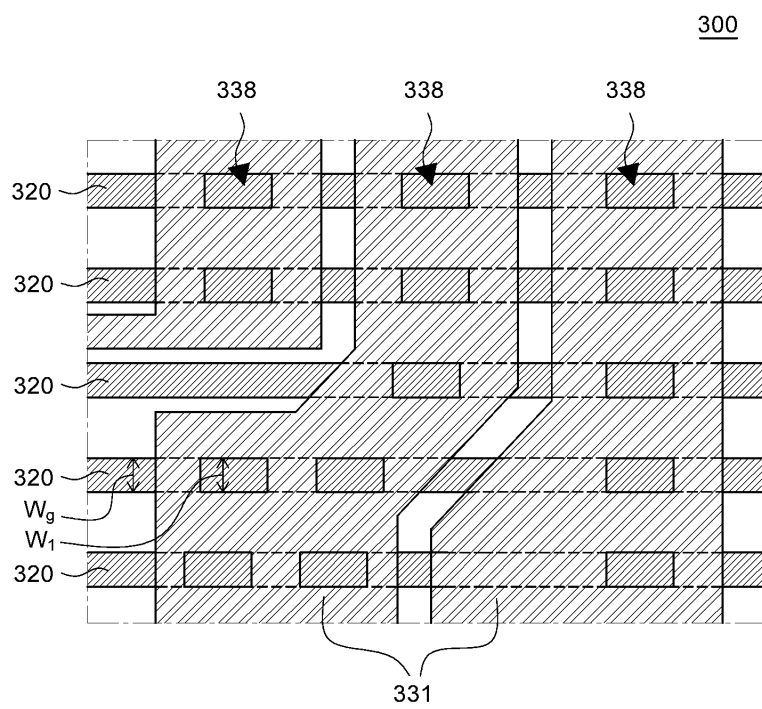
도면2b



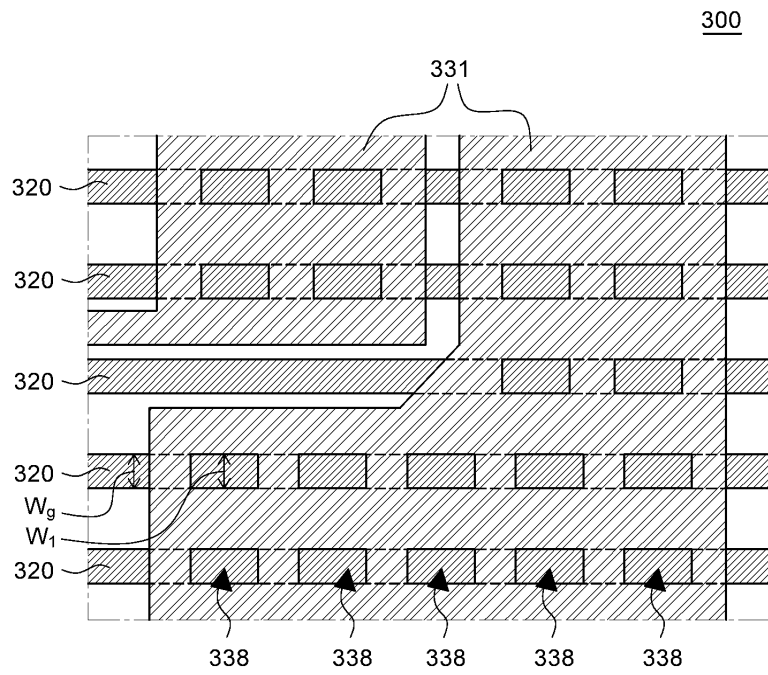
도면2c



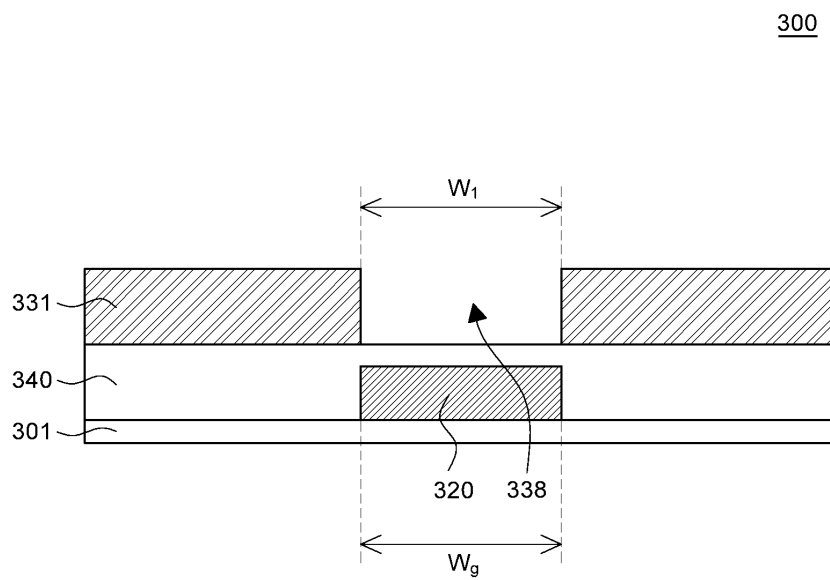
도면3a



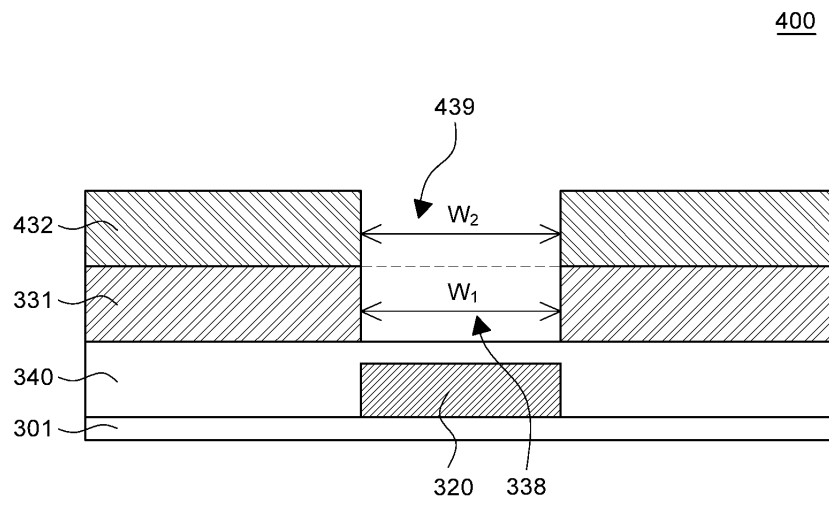
도면3b



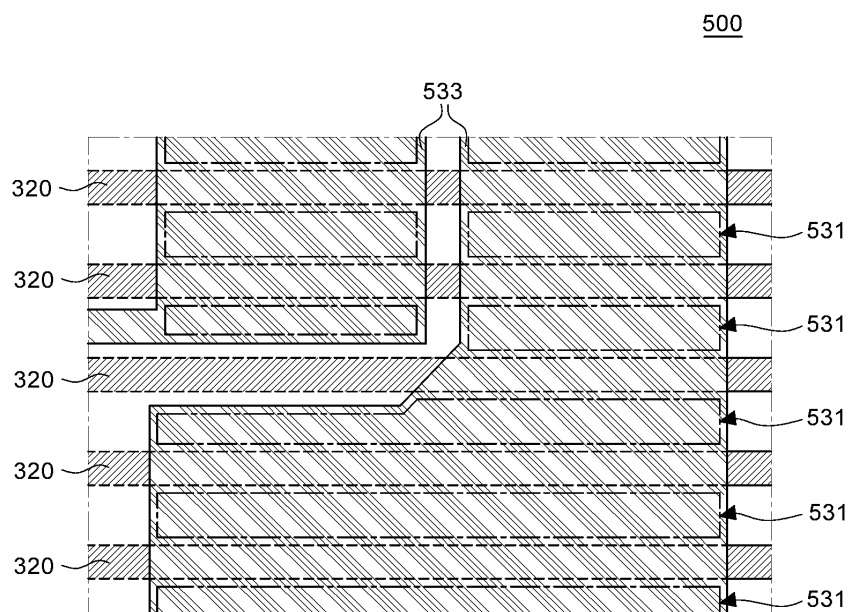
도면3c



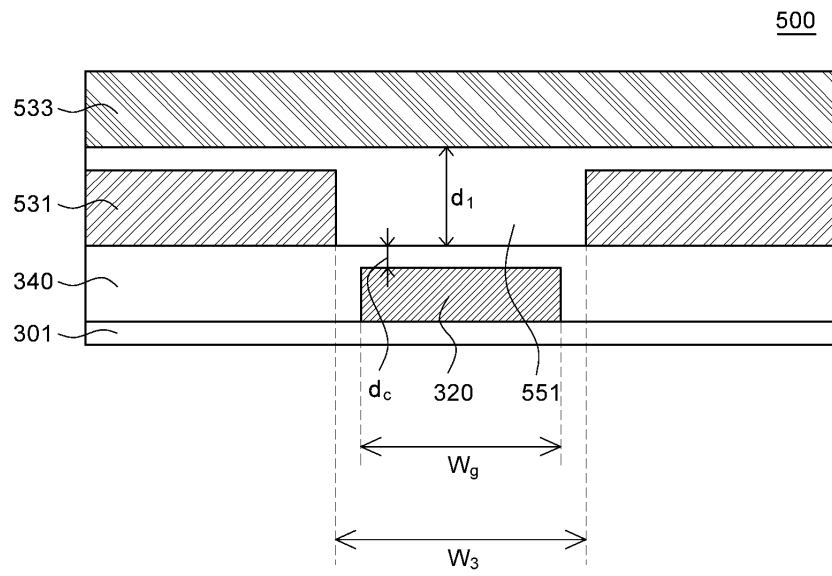
도면4



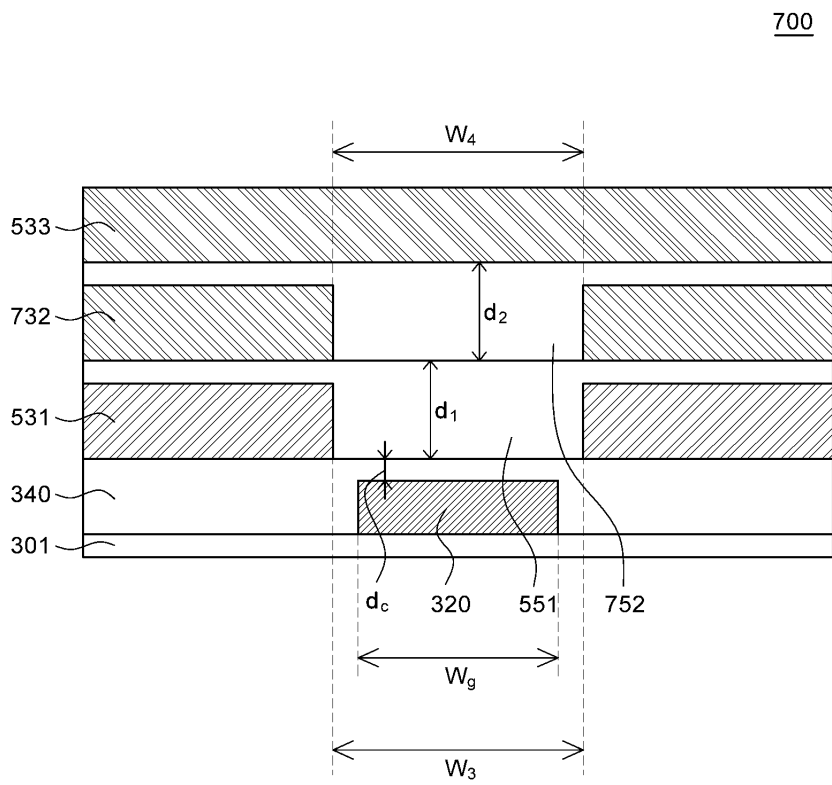
도면5



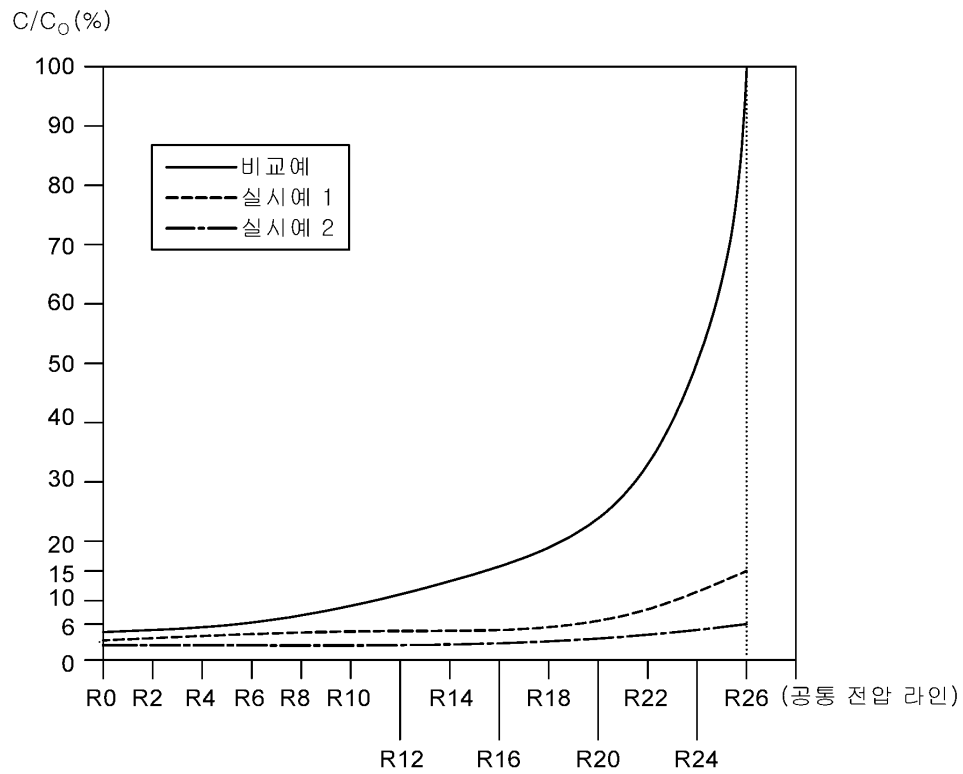
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR1020170068796A	公开(公告)日	2017-06-20
申请号	KR1020150175714	申请日	2015-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH SEUNG TAEK 오승택 PARK WON KEUN 박원근		
发明人	오승택 박원근		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/1368		
外部链接	Espacenet		

摘要(译)

提供液晶显示器。液晶显示器包括显示区域和具有非显示区域的下板。多个栅极线布置在下板上的非显示区域中。栅极绝缘层覆盖多条栅极线。第一公共电压线布置在栅极绝缘层上，并且布置成对应于多条栅极线。顶层公共电压线布置在第一公共电压线上，并且栅极线的上部区域布置为被覆盖。在根据本发明优选实施例的液晶显示器中，可以减小栅极线和公共电压线之间的电容，同时减小非显示区域处的公共电压线的电阻的增量。

