



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0062695  
(43) 공개일자 2011년06월10일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0119491

(22) 출원일자 2009년12월04일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

박상훈

경기도 파주시 월롱면 덕은리 정다운마을  
103-1511

강영권

경기도 고양시 일산서구 탄현동 탄현마을3단지아  
파트 301동 701호

(뒷면에 계속)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

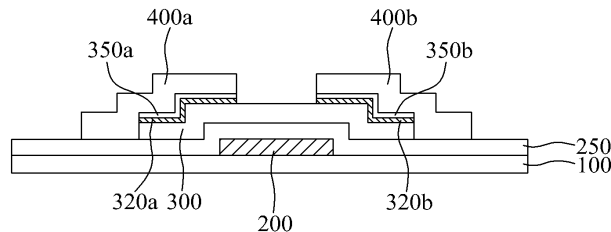
#### (54) 박막 트랜지스터 기관 및 그를 이용한 액정표시장치

#### (57) 요약

본 발명은, 기관; 상기 기관 상에 형성된 게이트 전극; 상기 게이트 전극 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 형성된 액티브층; 상기 액티브층의 일측 및 타측에 각각 이격 형성된 제1 식각조절층 및 제2 식각조절층; 상기 제1 식각조절층 상에 형성된 제1 오믹콘택층 및 상기 제2 식각조절층 상에 형성된 제2 오믹콘택층; 및 상기 제1 오믹콘택층 상에 형성된 소스 전극 및 상기 제2 오믹콘택층 상에 형성된 드레인 전극을 포함하는 박막 트랜지스터 기관, 및 그를 이용한 액정표시장치에 관한 것으로서,

본 발명은 액티브층 상에 식각조절층을 형성함으로써 제조공정 중 상기 액티브층이 과식각되는 것이 방지되기 때문에, 액티브층을 두껍게 형성할 필요가 없게 되어, 액티브층의 증착 공정시간을 단축할 수 있고 전류패스가 단축되어 소자 특성이 향상된다.

#### 대표도 - 도3



(72) 발명자

**류원상**

경기도 용인시 기흥구 신갈동 30-4번지 골든카운티  
빌라 B동 202호

**김용일**

충청남도 당진군 송악면 청금리 342번지

---

## 특허청구의 범위

### 청구항 1

기관;

상기 기관 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 액티브층;

상기 액티브층의 일측 및 타측에 각각 이격 형성된 제1 식각조절층 및 제2 식각조절층;

상기 제1 식각조절층 상에 형성된 제1 오믹콘택층 및 상기 제2 식각조절층 상에 형성된 제2 오믹콘택층; 및

상기 제1 오믹콘택층 상에 형성된 소스 전극 및 상기 제2 오믹콘택층 상에 형성된 드레인 전극을 포함하는 박막 트랜지스터 기관.

### 청구항 2

제1항에 있어서,

상기 제1 식각조절층 및 제2 식각조절층은 상기 액티브층 보다 식각속도가 빠른 물질로 이루어진 것을 특징으로 하는 박막 트랜지스터 기관.

### 청구항 3

제2항에 있어서,

상기 제1 식각조절층 및 제2 식각조절층은 SiGe로 이루어지고, 상기 액티브층은 비정질 Si로 이루어진 것을 특징으로 하는 박막 트랜지스터 기관.

### 청구항 4

기관;

상기 기관 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 액티브층;

상기 액티브층의 일측 및 타측에 각각 이격 형성된 제1 오믹콘택층 및 제2 오믹콘택층; 및

상기 제1 오믹콘택층 상에 형성된 소스 전극 및 상기 제2 오믹콘택층 상에 형성된 드레인 전극을 포함하여 이루어지고,

상기 제1 오믹콘택층 및 상기 제2 오믹콘택층은 상기 액티브층 보다 식각속도가 빠른 물질로 이루어진 것을 특징으로 하는 박막 트랜지스터 기관.

### 청구항 5

제4항에 있어서,

상기 제1 오믹콘택층 및 제2 오믹콘택층은 불순물이 도핑된 SiGe로 이루어지고, 상기 액티브층은 비정질 Si로 이루어진 것을 특징으로 하는 박막 트랜지스터 기관.

### 청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 액티브층은 상기 게이트 절연막 상에 형성된 미세결정질 반도체층 및 상기 미세결정질 반도체층 상에 형성된 비정질 반도체층을 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터 기관.

**청구항 7**

제6항에 있어서,

상기 미세결정질 반도체층은 미세결정질 SiGe로 이루어지고, 상기 비정질 반도체층은 비정질 Si으로 이루어진 것을 특징으로 하는 박막 트랜지스터 기판.

**청구항 8**

기판;

상기 기판 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성된 미세결정질 반도체층 및 상기 미세결정질 반도체층 상에 형성된 비정질 반도체층을 포함하여 이루어진 액티브층;

상기 액티브층의 일측 및 타측에 각각 이격 형성된 제1 오믹콘택층 및 제2 오믹콘택층; 및

상기 제1 오믹콘택층 상에 형성된 소스 전극 및 상기 제2 오믹콘택층 상에 형성된 드레인 전극을 포함하여 이루어진 박막 트랜지스터 기판.

**청구항 9**

제8항에 있어서,

상기 미세결정질 반도체층은 미세결정질 SiGe로 이루어지고, 상기 비정질 반도체층은 비정질 Si으로 이루어진 것을 특징으로 하는 박막 트랜지스터 기판.

**청구항 10**

제1 기판 및 제2 기판; 및

상기 제1 기판 및 제2 기판 사이에 형성된 액정층을 포함하여 이루어지고,

상기 제1 기판은 상기 제1항, 제4항 및 제8항 중 어느 한 항에 따른 박막 트랜지스터 기판으로 이루어진 것을 특징으로 하는 액정표시장치.

**명세서****발명의 상세한 설명****기술 분야**

[0001] 본 발명은 박막 트랜지스터 기판에 관한 것으로서, 보다 구체적으로는 백 채널 에치(Back Channel Etched: BCE)형 역 스테거드(Invert-Staggered) 구조의 박막 트랜지스터 기판에 관한 것이다.

**배경 기술**

[0002] 박막 트랜지스터는 액정표시장치(Liquid Crystal Display Device) 또는 유기 발광장치(Organic Light Emitting Device) 등과 같은 표시장치의 소위칭 소자로서 널리 이용되고 있다.

[0003] 상기 박막 트랜지스터는 게이트 전극, 반도체층, 및 소스/드레인 전극을 포함하여 이루어지는데, 상기 전극들의 배치 모습에 따라 스테거드(Staggered) 구조와 코플래너(Coplanar) 구조로 나눌 수 있다.

[0004] 상기 스테거드 구조는 반도체층을 중심으로 게이트 전극과 소스/드레인 전극이 위 아래로 분리 배치된 구조이고, 상기 코플래너 구조는 게이트 전극과 소스/드레인 전극이 동일 평면에 배치된 구조이다. 상기 스테거드 구조는 다시 게이트 전극이 아래에 배치되고 소스/드레인 전극이 위에 배치된 역 스테거드 구조(Invert-staggered)와 게이트 전극이 위에 배치되고 소스/드레인 전극이 아래에 배치된 정상 스테거드(normal staggered) 구조로 나눌 수 있다. 일반적으로, 스테거드 구조, 특히 역 스테거드 구조가 공정수가 감소 되고 게면 특성 등이 우수하여 대량생산에 주로 사용되고 있다.

- [0005] 상기 역 스테거드 구조의 박막 트랜지스터는 다시 채널 형성 방법에 따라 백 채널 에치(Back Channel Etched: BCE)형과 에치 스톱퍼(Etch stopper: ES)형으로 나눌 수 있다. 상기 에치 스톱퍼형은 반도체층 위에 에치 스톱퍼를 형성함으로써 소스/드레인 전극 형성을 위한 에칭 공정시 반도체층의 채널영역이 에칭되는 것이 방지되는 장점이 있다. 반면에, 상기 백 채널 에치형은 에치 스톱퍼를 형성하지 않기 때문에 소스/드레인 전극 형성을 위한 에칭 공정시 반도체층의 채널영역이 에칭되는 단점이 있다. 그러나, 상기 백 채널 에치형은 구조가 간단하고 제조 공정시 마스크 공정 회수를 줄일 수 있어 생산성 면에서 상대적으로 유리한 장점이 있고, 그에 따라 대량 생산시에는 백 채널 에치형이 주로 이용되고 있다.
- [0006] 이하에서는 도면을 참조로 종래 백 채널 에치(Back Channel Etched: BCE)형 역 스테거드(Invert-Staggered) 구조의 박막 트랜지스터(이하, '박막 트랜지스터'로 약칭함) 기관에 대해서 설명하기로 한다.
- [0007] 도 1은 종래의 박막 트랜지스터 기관의 개략적인 단면도이다.
- [0008] 도 1에서 알 수 있듯이, 종래의 박막 트랜지스터 기관은 기관(10), 게이트 전극(20), 게이트 절연막(25), 반도체층(30), 소스 전극(40a) 및 드레인 전극(40b)을 포함하여 이루어진다.
- [0009] 상기 게이트 전극(20)은 상기 기관(10) 상에 패터닝형성되어 있고, 상기 게이트 절연막(25)은 상기 게이트 전극(20)을 포함한 기관(10) 전면에 형성되어 있다.
- [0010] 상기 반도체층(30)은 상기 게이트 절연막(25) 상에 패터닝형성되어 있다. 상기 반도체층(30)은 불순물이 도핑되지 않은 액티브층(32)과 불순물이 도핑된 오믹콘택층(34)을 포함하여 이루어진다. 상기 오믹콘택층(34)은 상기 소스 전극(40a) 및 드레인 전극(40b)과 접촉하는 영역에 형성되어 전하의 이동 장벽을 낮추는 기능을 한다.
- [0011] 상기 소스 전극(40a)과 드레인 전극(40a)은 상기 반도체층(30) 상에서 소정 간격으로 서로 이격 형성되어 있다.
- [0012] 도 2는 종래의 박막 트랜지스터 기관의 제조공정을 도시한 개략적인 공정 단면도이다.
- [0013] 우선, 도 2a에서 알 수 있듯이, 기관(10) 상에 게이트 전극(20)을 패터닝 형성한다.
- [0014] 다음, 도 2b에서 알 수 있듯이, 상기 게이트 전극(20)을 포함한 기관(10) 전면에 게이트 절연막(25)을 형성한다.
- [0015] 다음, 도 2c에서 알 수 있듯이, 상기 게이트 절연막(25) 상에 반도체층(30)을 형성한다. 상기 반도체층(30)은 상기 게이트 절연막(25) 상에 액티브층(32)을 형성하고 상기 액티브층(32)의 상면에 불순물을 도핑하여 오믹콘택층(34)을 형성한 후 패터닝하는 공정을 통해 형성한다.
- [0016] 다음, 도 2d에서 알 수 있듯이, 상기 오믹 콘택층(34) 상에 소정 간격으로 이격되는 상기 소스 전극(40a) 및 드레인 전극(40b)을 형성한다.
- [0017] 다음, 도 2e에서 알 수 있듯이, 상기 소스 전극(40a) 및 드레인 전극(40b) 사이의 오믹콘택층(34)을 제거하여 박막 트랜지스터를 완성한다.
- [0018] 한편, 상기 소스 전극(40a) 및 드레인 전극(40b) 사이의 오믹콘택층(34)을 제거하는 공정 시에는 상기 오믹콘택층(34)과 더불어 그 아래의 액티브층(32)의 일부도 함께 제거한다. 그 이유는, 전술한 도 2c 공정에서 오믹콘택층(34) 형성을 위해 불순물을 도핑하게 되면 도핑한 불순물이 확산되어 상기 액티브층(32)의 상부에 불순물이 잔존할 수 있고, 그 경우 누설전류가 증가되기 때문이다.
- [0019] 그러나, 상기 소스 전극(40a) 및 드레인 전극(40b) 사이의 오믹콘택층(34)을 제거하는 공정 시에 그 아래의 액티브층(32)의 일부도 함께 제거할 경우, 상기 액티브층(32)이 과식각되는 문제가 발생할 수 있다.
- [0020] 한편, 이와 같은 액티브층(32)이 과식각되는 점을 고려하여 상기 액티브층(32)을 전체적으로 두껍게 형성할 수도 있으나, 그 경우 액티브층(32)의 증착공정 시간이 증가되고 또한 두꺼운 액티브층(32)으로 인해 전류 패스(path)가 길어져 결국 소자 특성이 저하되는 문제점이 있다.

## 발명의 내용

### 해결 하고자하는 과제

- [0021] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 액티브층이 과식각되는 문제를 방지할 수 있고 그에 따라 액티브층을 두껍게 형성할 필요가 없어 증착 공정시간을 단축할 수 있고 전류패스가

단축되어 소자 특성을 향상시킬 수 있는 박막 트랜지스터 기판 및 그 제조방법을 제공하는 것을 목적으로 한다.

[0022] 본 발명은 또한 상기와 같은 박막 트랜지스터 기판을 적용한 액정표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

### 과제 해결수단

[0023] 본 발명은 상기 목적을 달성하기 위해서, 기판; 상기 기판 상에 형성된 게이트 전극; 상기 게이트 전극 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 형성된 액티브층; 상기 액티브층의 일측 및 타측에 각각 이격 형성된 제1 식각조절층 및 제2 식각조절층; 상기 제1 식각조절층 상에 형성된 제1 오믹콘택층 및 상기 제2 식각조절층 상에 형성된 제2 오믹콘택층; 및 상기 제1 오믹콘택층 상에 형성된 소스 전극 및 상기 제2 오믹콘택층 상에 형성된 드레인 전극을 포함하는 박막 트랜지스터 기판을 제공한다.

[0024] 본 발명은 또한, 기판; 상기 기판 상에 형성된 게이트 전극; 상기 게이트 전극 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 형성된 액티브층; 상기 액티브층의 일측 및 타측에 각각 이격 형성된 제1 오믹콘택층 및 제2 오믹콘택층; 및 상기 제1 오믹콘택층 상에 형성된 소스 전극 및 상기 제2 오믹콘택층 상에 형성된 드레인 전극을 포함하여 이루어지고, 상기 제1 오믹콘택층 및 상기 제2 오믹콘택층은 상기 액티브층 보다 식각속도가 빠른 물질로 이루어진 것을 특징으로 하는 박막 트랜지스터 기판을 제공한다.

[0025] 본 발명은 또한, 기판; 상기 기판 상에 형성된 게이트 전극; 상기 게이트 전극 상에 형성된 게이트 절연막; 상기 게이트 절연막 상에 형성된 미세결정질 반도체층 및 상기 미세결정질 반도체층 상에 형성된 비정질 반도체층을 포함하여 이루어진 액티브층; 상기 액티브층의 일측 및 타측에 각각 이격 형성된 제1 오믹콘택층 및 제2 오믹콘택층; 및 상기 제1 오믹콘택층 상에 형성된 소스 전극 및 상기 제2 오믹콘택층 상에 형성된 드레인 전극을 포함하여 이루어진 박막 트랜지스터 기판을 제공한다.

[0026] 본 발명은 또한, 제1 기판 및 제2 기판; 및 상기 제1 기판 및 제2 기판 사이에 형성된 액정층을 포함하여 이루어지고, 상기 제1 기판은 전술한 박막 트랜지스터 기판 중 어느 하나의 기판으로 이루어진 것을 특징으로 하는 액정표시장치를 제공한다.

### 효과

[0027] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0028] 본 발명은 액티브층 상에 식각조절층을 형성함으로써 제조공정 중 상기 액티브층이 과식각되는 것이 방지되거나 또는 오믹콘택층을 액티브층 보다 식각속도가 빠른 물질로 구성함으로써 제조공정 중 상기 액티브층이 과식각되는 것이 방지된다. 따라서, 액티브층을 두껍게 형성할 필요가 없게 되어, 액티브층의 증착 공정시간을 단축할 수 있고 전류패스가 단축되어 소자 특성이 향상된다.

[0029] 또한, 본 발명은 액티브층을 그 하부는 미세결정질 반도체층으로 구성하고 그 상부는 비정질 반도체층으로 구성함으로써, 전기전도도가 증가되고 제조 비용이 절감되며 균일도가 향상되어 대면적에 유용하게 적용할 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0030] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 설명하기로 한다.

[0031] 박막 트랜지스터 기판

[0032] 도 3은 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 개략적인 단면도이고, 도 4a 및 도 4b는 도 3의 박막 트랜지스터 기판의 제조방법을 도시한 개략적인 공정단면도이다.

[0033] 도 3에서 알 수 있듯이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기판은, 기판(100), 게이트 전극(200), 게이트 절연막(250), 액티브층(300), 식각조절층(320a, 320b), 오믹콘택층(350a, 350b), 소스 전극(400a), 및 드레인 전극(400b)을 포함하여 이루어진다.

[0034] 상기 기판(100)은 유리 또는 투명한 플라스틱과 같은 투명 재료로 이루어질 수 있다.

[0035] 상기 게이트 전극(200)은 상기 기판(100) 상에 패턴 형성되어 있다. 상기 게이트 전극(200)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있다.

- [0036] 상기 게이트 절연막(250)은 상기 게이트 전극(200)을 포함한 기판(100) 전면에서 형성되어 있다. 상기 게이트 절연막(250)은 실리콘 산화막( $\text{SiO}_x$ ) 또는 실리콘 질화막( $\text{SiN}_x$ )으로 이루어질 수 있으며, 상기 산화막 또는 질화막의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있다.
- [0037] 상기 액티브층(300)은 상기 게이트 절연막(250) 상에 패턴 형성되어 있으며, 특히, 상기 게이트 전극(200) 상부에 대응하는 영역에 형성되어 있다. 상기 액티브층(300)은 비정질 실리콘(a-Si)과 같은 반도체물질로 이루어질 수 있다.
- [0038] 상기 식각조절층(320a, 320b)은 제1 식각조절층(320a) 및 제2 식각조절층(320b)을 포함하여 이루어진다.
- [0039] 상기 제1 식각조절층(320a)은 상기 액티브층(300)의 일측 상면에 형성되어 있고, 상기 제2 식각조절층(320b)은 상기 액티브층(300)의 타측 상면에 형성되어 있다.
- [0040] 상기 제1 식각조절층(320a) 및 제2 식각조절층(320b)은 상기 액티브층(300)의 과식각을 방지하기 위한 것으로서 상기 액티브층(300) 보다 식각속도가 빠른 물질로 이루어질 수 있다. 예로서, 상기 제1 식각조절층(320a) 및 제2 식각조절층(320b)은 SiGe로 이루어질 수 있다. 이와 같이 본 발명은 상기 액티브층(300) 상에 식각조절층(320a, 320b)을 형성함으로써 제조공정 중 상기 액티브층(300)이 과식각되는 것이 방지되는데, 이에 대해서는 후술하는 제조공정을 참조하면 보다 용이하게 이해할 수 있을 것이다.
- [0041] 상기 오믹콘택층(350a, 350b)은 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)을 포함하여 이루어진다.
- [0042] 상기 제1 오믹콘택층(350a)은 상기 제1 식각조절층(320a) 상에 형성되어 있고, 상기 제2 오믹콘택층(350b)은 상기 제2 식각조절층(320a) 상에 형성되어 있다.
- [0043] 상기 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)은 반도체물질에 불순물, 예를 들어 인(P)과 같은 5족원소가 도핑되어 이루어질 수 있다. 예로서, 상기 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)은 인(P)이 도핑된 a-Si 또는 인(P)이 도핑된 SiGe로 이루어질 수 있다.
- [0044] 상기 소스 전극(400a)은 상기 제1 오믹콘택층(350a) 상에 형성되어 있고, 상기 드레인 전극(400b)은 상기 제2 오믹콘택층(350b) 상에 형성되어 있다.
- [0045] 상기 소스 전극(400a) 및 드레인 전극(400b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있다.
- [0046] 이와 같은 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 제조방법을 설명하면 하기와 같다.
- [0047] 도 4a에서 알 수 있듯이, 우선, 기판(100) 상에 게이트 전극(200)을 패턴 형성하고, 다음, 상기 게이트 전극(200)을 포함한 기판(100) 전면에서 게이트 절연막(250)을 형성하고, 다음, 상기 게이트 절연막(250) 상에 액티브층(300), 식각조절층(320) 및 오믹콘택층(350)을 패턴 형성하고, 다음, 상기 오믹콘택층(350) 상에 소정 간격으로 이격되는 소스 전극(400a) 및 드레인 전극(400b)을 형성한다.
- [0048] 도 4b에서 알 수 있듯이, 상기 소스 전극(400a) 및 드레인 전극(400b) 사이로 노출되는 상기 오믹콘택층(350) 및 식각조절층(320)의 소정영역을 식각한다.
- [0049] 그리하면, 상기 액티브층(300)의 일측 및 타측에 각각 제1 식각조절층(320a) 및 제2 식각조절층(320b)이 형성됨과 더불어 상기 제1 식각조절층(320a) 및 제2 식각조절층(320b) 상에 각각 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)이 형성된다.
- [0050] 이때, 전술한 바와 같이, 상기 식각조절층(320)은 상기 액티브층(300) 보다 식각속도가 빠른 물질로 이루어져 있기 때문에, 도 4b 공정에서 상기 소스 전극(400a) 및 드레인 전극(400b) 사이의 식각조절층(320)을 식각하는 공정 시에 상기 식각조절층(320)은 빠른 속도로 식각되지만, 상기 식각조절층(320) 아래에 형성된 액티브층(300)은 식각속도가 느리게 된다. 따라서, 액티브층(300)이 과식각되는 문제가 방지되고, 그에 따라 액티브층(300)을 두껍게 형성할 필요가 없게 되어, 액티브층(300)의 증착 공정시간을 단축할 수 있고 전류패스가 단축되어 소자 특성을 향상시킬 수 있다.
- [0051] 상기 식각조절층(320)의 식각공정은 건식식각공정을 이용할 수 있고, 구체적으로  $\text{CF}_4$  및  $\text{Cl}_2$  가스를 이용할 수 있으며, 상기 가스의 함량비를 적절히 조절함으로써 상기 식각조절층(320)의 식각속도와 상기 액티브층(300)의 식각속도를 조절할 수 있다.

- [0052] 한편, 도시하지는 않았지만, 상기 소스 전극(400a) 및 드레인 전극(400b)을 포함한 기판(100) 전면에는 보호막이 추가로 형성되고, 상기 보호막 상에는 화소전극이 추가로 형성될 수 있다. 이때, 상기 보호막에는 콘택홀이 형성되어 있고, 상기 화소전극은 상기 콘택홀을 통해 상기 드레인 전극(400b)과 연결된다. 이에 대해서는 후술하는 액정표시장치에 대한 설명을 참조하면 용이하게 이해할 수 있을 것이다.
- [0053] 도 5는 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이고, 도 6a 및 도 6b는 도 5의 박막 트랜지스터 기관의 제조방법을 도시한 개략적인 공정단면도이다. 이하에서는 전술한 실시예와 동일한 구성에 대한 구체적인 설명은 생략하기로 한다.
- [0054] 도 5에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관은, 기판(100), 게이트 전극(200), 게이트 절연막(250), 액티브층(300), 오믹콘택층(350a, 350b), 소스 전극(400a), 및 드레인 전극(400b)을 포함하여 이루어진다.
- [0055] 상기 게이트 전극(200)은 상기 기판(100) 상에 패턴 형성되어 있고, 상기 게이트 절연막(250)은 상기 게이트 전극(200)을 포함한 기판(100) 전면에서 형성되어 있다.
- [0056] 상기 액티브층(300)은 상기 게이트 절연막(250) 상에 패턴 형성되어 있고, 비정질 실리콘(a-Si)과 같은 반도체 물질로 이루어질 수 있다.
- [0057] 상기 오믹콘택층(350a, 350b)은 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)을 포함하여 이루어진다.
- [0058] 상기 제1 오믹콘택층(350a)은 상기 액티브층(300)의 일측 상면에 형성되어 있고, 상기 제2 오믹콘택층(350b)은 상기 액티브층(300)의 타측 상면에 형성되어 있다.
- [0059] 이와 같은, 도 5에 따른 본 발명의 다른 실시예에서는, 상기 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)이 전하의 이동 장벽을 낮추는 일반적인 기능과 더불어 상기 액티브층(300)의 과식각을 방지하는 식각조절층의 기능도 수행한다.
- [0060] 즉, 상기 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)은 상기 액티브층(300) 보다 식각속도가 빠른 물질로 이루어짐으로써 제조공정 중 상기 액티브층(300)이 과식각되는 것을 방지하게 한다. 이와 같은 기능을 수행하는 상기 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)은 불순물이 도핑된 SiGe로 이루어질 수 있다. 예로서, 상기 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)은 인(P)과 같은 5족 원소가 도핑된 SiGe로 이루어질 수 있다.
- [0061] 상기 소스 전극(400a)은 상기 제1 오믹콘택층(350a) 상에 형성되어 있고, 상기 드레인 전극(400b)은 상기 제2 오믹콘택층(350b) 상에 형성되어 있다.
- [0062] 이와 같은 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관의 제조방법을 설명하면 하기와 같다.
- [0063] 도 6a에서 알 수 있듯이, 우선, 기판(100) 상에 게이트 전극(200)을 패턴 형성하고, 다음, 상기 게이트 전극(200)을 포함한 기판(100) 전면에서 게이트 절연막(250)을 형성하고, 다음, 상기 게이트 절연막(250) 상에 액티브층(300), 오믹콘택층(350)을 패턴 형성하고, 다음, 상기 오믹콘택층(350) 상에 소정 간격으로 이격되는 소스 전극(400a) 및 드레인 전극(400b)을 형성한다.
- [0064] 도 6b에서 알 수 있듯이, 상기 소스 전극(400a) 및 드레인 전극(400b) 사이로 노출되는 상기 오믹콘택층(350)의 소정영역을 식각한다.
- [0065] 그리하면, 상기 액티브층(300)의 일측에 제1 오믹콘택층(350a)이 형성되고, 상기 액티브층(300)의 타측에 제2 오믹콘택층(350a)이 형성된다.
- [0066] 이때, 전술한 바와 같이, 상기 오믹콘택층(350)은 상기 액티브층(300) 보다 식각속도가 빠른 물질로 이루어져 있기 때문에, 도 6b 공정에서 상기 소스 전극(400a) 및 드레인 전극(400b) 사이의 오믹콘택층(350)을 식각하는 공정 시에 상기 오믹콘택층(350)은 빠른 속도로 식각되지만, 상기 오믹콘택층(350) 아래에 형성된 액티브층(300)은 식각속도가 느리게 된다. 따라서, 액티브층(300)이 과식각되는 문제가 방지되고, 그에 따라 액티브층(300)을 두껍게 형성할 필요가 없게 되어, 액티브층(300)의 증착 공정시간을 단축할 수 있고 전류패스가 단축되어 소자 특성을 향상시킬 수 있다.
- [0067] 상기 오믹콘택층(350)의 식각공정은 건식식각공정을 이용할 수 있고, 구체적으로 CF<sub>4</sub> 및 Cl<sub>2</sub> 가스를 이용할 수 있으며, 상기 가스의 함량비를 적절히 조절함으로써 상기 오믹콘택층(350)의 식각속도와 상기 액티브층(300)의

식각속도를 조절할 수 있다.

- [0068] 도 7은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도로서, 이는 액티브층(300)의 구성이 변경된 것을 제외하고 전술한 도 3에 따른 박막 트랜지스터 기관과 동일하다. 따라서, 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0069] 도 7에 도시한 본 발명의 또 다른 실시예에 따르면, 액티브층(300)이 미세결정질 반도체층(301) 및 비정질 반도체층(303)을 포함하여 이루어진다.
- [0070] 상기 미세결정질 반도체층(301)은 게이트 절연막(250) 상에 형성되어 있고, 상기 비정질 반도체층(303)은 상기 미세결정질 반도체층(301) 상에 형성되어 있다.
- [0071] 상기 미세결정질 반도체층(301)은 미세결정질 SiGe로 이루어질 수 있고, 상기 비정질 반도체층은 비정질 Si로 이루어질 수 있다.
- [0072] 일반적으로 액티브층에 이용되는 비정질 Si는 근거리 질서 특성을 갖고 원거리 질서 특성을 갖지 못하기 때문에 원거리에서는 규칙성이 존재하지 않아 테일 스테이트(tail state)를 형성하게 되고, 또한 비정질 Si는 Si결합수가 4 미만인 미결합(dangling bond) 사이트가 다수 존재하게 된다. 이와 같은 이유로 인해서 비정질 Si를 액티브층에 이용할 경우 전기전도도가 떨어지는 단점이 있어 고성능의 박막 트랜지스터에는 적합하지 않게 된다. 따라서, 고성능의 박막 트랜지스터에는 전기전도도가 우수한 결정질 Si가 바람직한데, 결정질 Si를 이용하기 위해서는 비정질 Si를 고온하에서 결정화해야 하기 때문에 비용이 증가 되고 또한 균일도가 좋지 않아 대면적에 이용하는 데는 한계가 있다.
- [0073] 이에 본 발명의 또 다른 실시예에서는, 미세결정질 반도체층(301)을 하부에 형성하고 비정질 반도체층(303)을 상부에 형성하여 액티브층(300)을 구성함으로써 전기전도도가 증가되면서도 비용이 절감되고 균일도를 향상시킬 수 있도록 한 것이다.
- [0074] 즉, 액티브층(300)에서 전자가 이동하는 유효 채널 영역은 게이트 전극(200)의 전계에 영향을 받는 액티브층(300)의 하부 영역이기 때문에, 하부 영역에 전기전도도가 비정질 Si보다 상대적으로 우수한 미세결정질 SiGe를 형성하여 액티브층(300)의 전기전도도를 증가시킬 수 있다. 또한 Ge의 용융점은 937.4℃이고 Si의 용융점은 1410℃이므로, 미세결정질 SiGe는 레이저나 열처리를 통해 결정화시키는 것이 아니라 플라즈마 강화 화학적 기상 증착법(Plasma Enhanced Chemical Vapor Deposition)을 이용하여 형성할 수 있고, 그에 따라 결정질 Si를 이용하는 경우보다 비용이 절감될 수 있고 또한 대면적에 용이하게 적용할 수 있다.
- [0075] 도 8은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도로서, 이는 액티브층(300)의 구성이 변경된 것을 제외하고 전술한 도 5에 따른 박막 트랜지스터 기관과 동일하다. 따라서, 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0076] 도 8에 도시한 본 발명의 또 다른 실시예는, 전술한 도 7과 동일하게, 액티브층(300)이 미세결정질 반도체층(301) 및 비정질 반도체층(303)을 포함하여 이루어진다.
- [0077] 상기 미세결정질 반도체층(301)은 게이트 절연막(250) 상에 형성되어 있고, 상기 비정질 반도체층(303)은 상기 미세결정질 반도체층(301) 상에 형성되어 있으며, 상기 미세결정질 반도체층(301)은 미세결정질 SiGe로 이루어질 수 있고, 상기 비정질 반도체층은 비정질 Si로 이루어질 수 있다.
- [0078] 한편, 본 발명의 또 다른 실시예에서는 도 8에서와 같이 액티브층(300)이 미세결정질 반도체층(301) 및 비정질 반도체층(303)을 포함하여 이루어지고, 제1 오믹콘택층(350a) 및 제2 오믹콘택층(350b)이 인(P)과 같은 5족 원소가 도핑된 비정질 Si로 이루어진 박막 트랜지스터 기관을 포함한다.
- [0079] 액정표시장치
- [0080] 도 9는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 단면도로서, 이는 전술한 도 3에 따른 박막 트랜지스터 기관을 적용한 액정표시장치에 관한 것이다. 따라서, 동일한 구성에 대해서는 동일한 도면 부호를 부여하였고, 동일한 구성에 대한 구체적인 설명은 생략하기로 한다.
- [0081] 도 9에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는 박막 트랜지스터 기관( $S_T$ ), 컬러 필터 기관( $S_C$ ), 및 상기 양 기관 사이에 형성된 액정층(LC)을 포함하여 이루어진다.
- [0082] 상기 박막 트랜지스터 기관( $S_T$ )은 제1 기관(100) 상에 형성된 게이트 전극(200), 게이트 절연막(250), 액티브층

(300), 식각조절층(320a, 320b), 오믹콘택층(350a, 350b), 소스 전극(400a), 및 드레인 전극(400b)을 포함하여 이루어지고, 이와 같은 각각의 구성은 전술한 도 3과 동일하다.

[0083] 또한, 상기 소스 전극(400a) 및 드레인 전극(400b)을 포함한 상기 제1 기관(100)의 전면에는 보호막(450)이 형성되어 있고, 상기 보호막(450)에는 콘택홀(455)이 형성되어 있어, 상기 콘택홀(455)을 통해 상기 드레인 전극(400b)이 노출되게 된다. 상기 보호막(450)은 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 물질로 이루어질 수도 있고, 아크릴과 같은 유기계 물질로 이루어질 수도 있다.

[0084] 또한, 상기 보호막(450) 상에는 화소전극(500)이 형성되어 있는데, 상기 화소전극(500)은 상기 콘택홀(455)을 통해 상기 드레인 전극(400b)과 연결되어 있다. 상기 화소전극(500)은 ITO와 같은 투명한 도전물질로 이루어질 수 있다.

[0085] 상기 컬러 필터 기관( $S_c$ )은 제2 기관(600) 상에 형성된 차광층(610), 상기 차광층(610) 상에 형성된 컬러필터층(630), 및 상기 컬러필터층(630) 상에 형성된 공통전극(650)을 포함하여 이루어진다.

[0086] 상기 차광층(610)은 화소영역 이외의 영역으로 광이 누설되는 것을 차단하기 위한 것으로서 매트릭스(matrix)구조로 패턴형성되어 있고, 상기 컬러필터층(630)은 상기 차광층(610) 사이의 영역에 각각 형성된 적색(R), 녹색(G), 및 청색(B)의 컬러필터를 포함하여 형성되어 있고, 상기 공통전극(650)은 상기 제2 기관(600)의 전면에 형성되어 있다.

[0087] 이와 같은 도 9에 도시한 액정표시장치는 상기 박막 트랜지스터 기관( $S_T$ )에 형성된 화소전극(500)과 상기 컬러 필터 기관( $S_c$ )에 형성된 공통전극(650) 사이에 발생하는 수직전계에 의해서 상기 액정층(LC)의 배열상태가 변경되고, 그에 따라 광투과도가 조절되어 화상이 디스플레이 되게 된다. 이와 같이 수직전계 방식의 예로는 TN(Twisted Nematic)모드 및 VA(Vertical Alignment) 모드 등을 들 수 있다.

[0088] 이상은 도 3에 따른 박막 트랜지스터 기관이 적용된 액정표시장치에 대해서 설명하였지만, 그에 한정되는 것은 아니고, 도 5, 도 7, 및 도 8을 포함한 전술한 박막 트랜지스터 기관이 적용될 수도 있다.

[0089] 도 10은 전술한 도 3에 따른 박막 트랜지스터 기관을 적용한 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 단면도이다.

[0090] 도 10에 따른 액정표시장치는 소위 IPS(In-Plane Switching)모드에 관한 것으로서, 화소 전극(500) 및 공통 전극(650)의 구성을 제외하고는 전술한 도 9에 따른 액정표시장치와 동일하며, 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.

[0091] 도 10에 따르면, 박막 트랜지스터 기관( $S_T$ )에 화소 전극(500)과 공통 전극(650)이 함께 형성되고, 특히, 상기 화소 전극(500)과 공통 전극(650)은 평행하게 배열되어 있다. 따라서, 상기 화소 전극(500)과 공통 전극(650) 사이에서 발생하는 횡전계에 의해 액정이 구동하게 되며, 이와 같은 IPS 모드는 일반적인 TN(Twisted Nematic)모드에 비하여 시야각 특성이 우수한 장점이 있다.

[0092] 상기 공통 전극(650)은 도시된 바와 같이 게이트 전극(200)과 동일한 층에 형성될 수 있다. 즉, 상기 공통 전극(650)은 상기 게이트 전극(200) 형성 공정시 동시에 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 공통 전극(650)의 형성 위치는 다양하게 변경될 수 있으며, 예로서 상기 공통 전극(650)은 상기 화소 전극(500)과 동일한 층에 형성될 수 있다.

[0093] 한편, 상기 공통 전극(650)이 박막 트랜지스터 기관( $S_T$ )에 형성됨에 따라 컬러 필터 기관( $S_c$ ) 상에는 기관 평탄화를 위한 오버 코트층(670)이 추가될 수 있다.

### 도면의 간단한 설명

[0094] 도 1은 종래의 박막 트랜지스터 기관의 개략적인 단면도이다.

[0095] 도 2는 종래의 박막 트랜지스터 기관의 제조공정을 도시한 개략적인 공정 단면도이다.

[0096] 도 3은 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이고, 도 4a 및 도 4b는 도 3의 박막 트랜지스터 기관의 제조방법을 도시한 개략적인 공정단면도이다.

[0097] 도 5는 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이고, 도 6a 및 도 6b는 도 5의

박막 트랜지스터 기관의 제조방법을 도시한 개략적인 공정단면도이다.

[0098] 도 7은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이다.

[0099] 도 8은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이다.

[0100] 도 9는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 단면도이다.

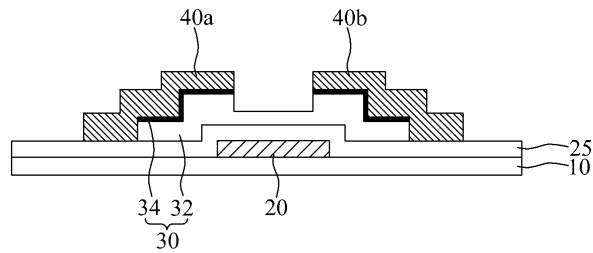
[0101] 도 10은 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 단면도이다.

[0102] <도면의 주요부 구성에 대한 부호의 설명>

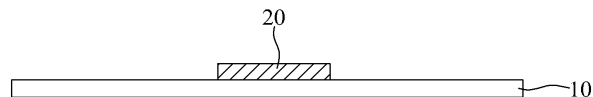
|        |                           |                          |
|--------|---------------------------|--------------------------|
| [0103] | 100: 기관, 제1 기관            | 200: 게이트 전극              |
| [0104] | 250: 게이트 절연막              | 300: 액티브층                |
| [0105] | 320a, 320b: 제1, 제2 식각조절층  | 350a, 350b: 제1, 제2 오믹콘택층 |
| [0106] | 400a, 400b: 소스 전극, 드레인 전극 | 450: 보호막                 |
| [0107] | 500: 화소 전극                | 600: 제2 기관               |

## 도면

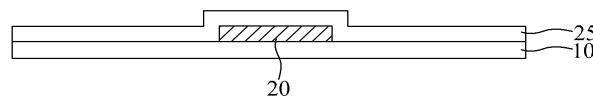
도면1



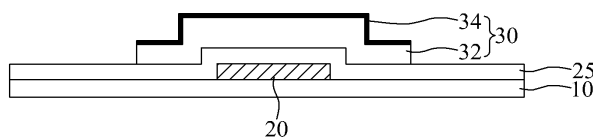
도면2a



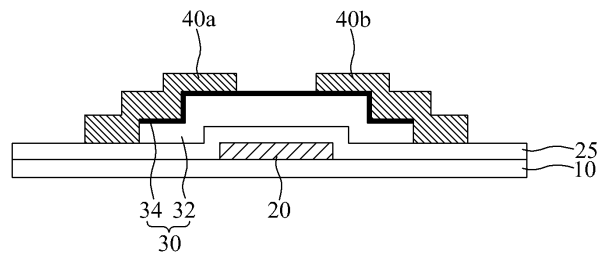
도면2b



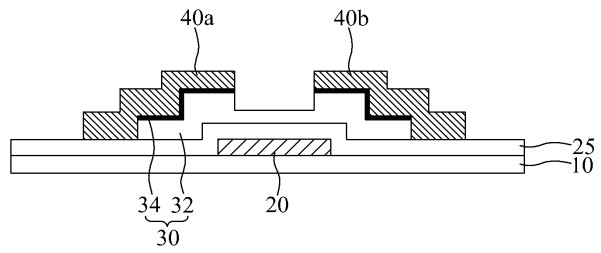
도면2c



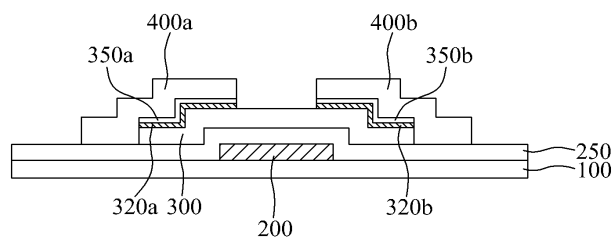
도면2d



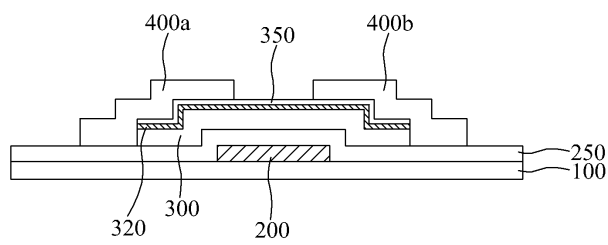
도면2e



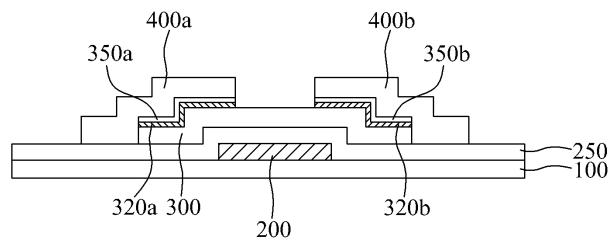
도면3



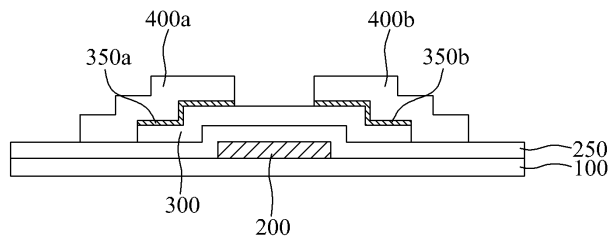
도면4a



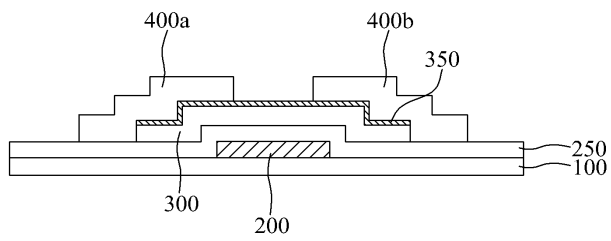
도면4b



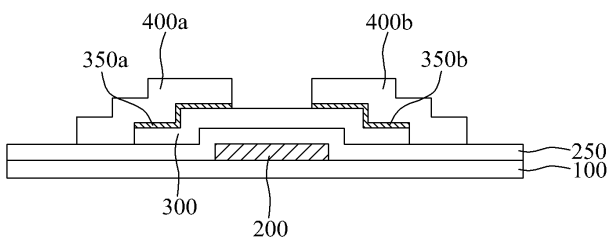
도면5



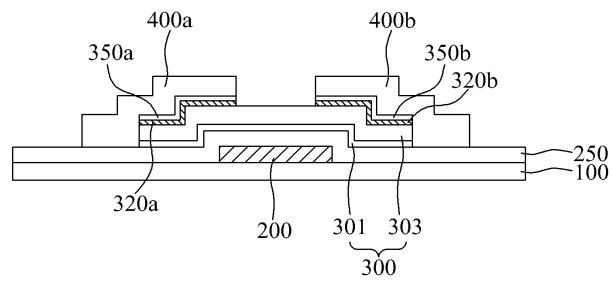
도면6a



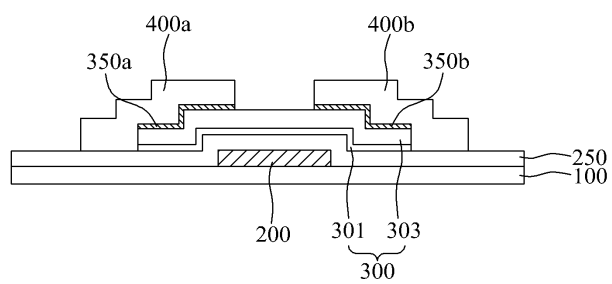
도면6b



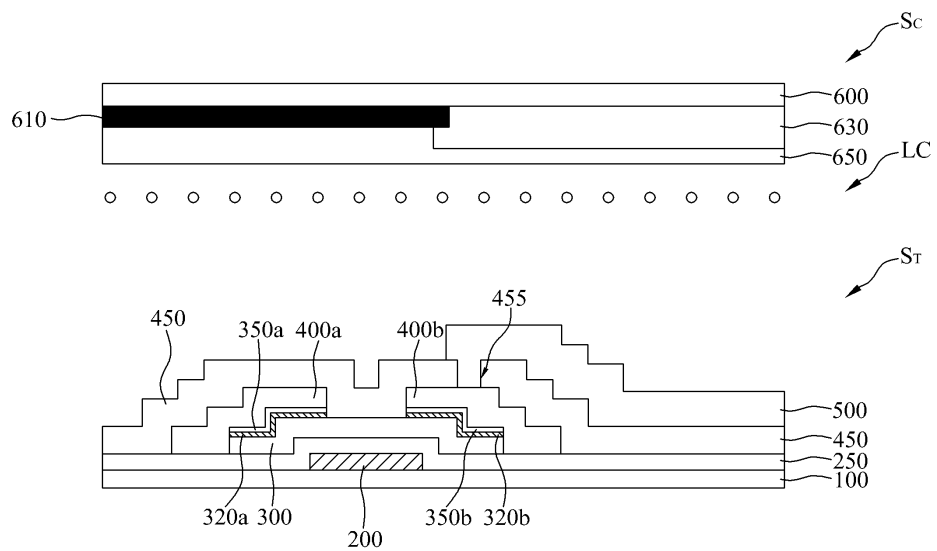
도면7



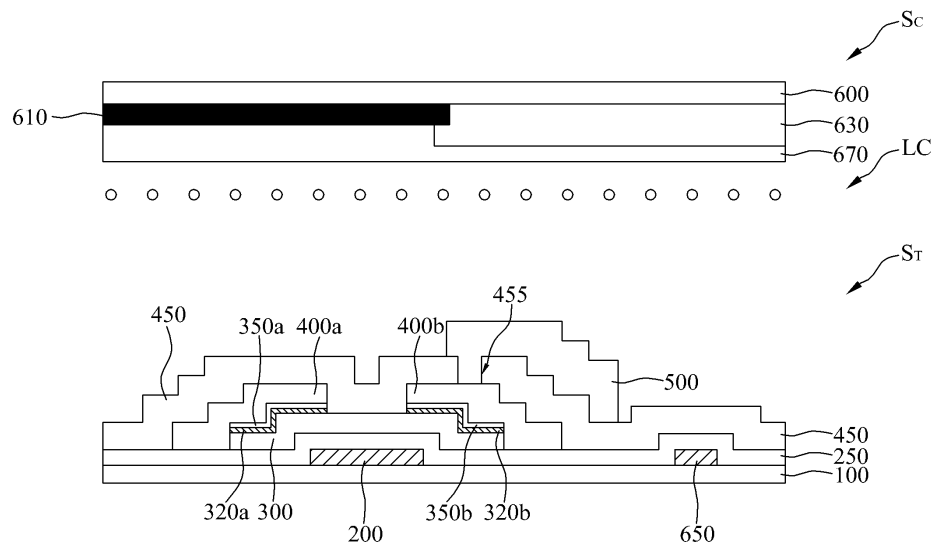
도면8



도면9



도면10



|                |                                                                                             |         |            |
|----------------|---------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 薄膜晶体管基板和使用其的液晶显示装置                                                                          |         |            |
| 公开(公告)号        | <a href="#">KR1020110062695A</a>                                                            | 公开(公告)日 | 2011-06-10 |
| 申请号            | KR1020090119491                                                                             | 申请日     | 2009-12-04 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                    |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                   |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                   |         |            |
| [标]发明人         | PAK SANG HOON<br>박상훈<br>KANG YOUNG KWON<br>강영권<br>RYU WON SANG<br>류원상<br>KIM YONG IL<br>김용일 |         |            |
| 发明人            | 박상훈<br>강영권<br>류원상<br>김용일                                                                    |         |            |
| IPC分类号         | G02F1/136 H01L29/786                                                                        |         |            |
| CPC分类号         | H01L29/78678 G02F1/1368 H01L29/458 H01L29/78606                                             |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                   |         |            |

#### 摘要(译)

用途：提供一种薄膜晶体管基板和使用该薄膜晶体管基板的液晶显示装置，通过排除根据过蚀刻问题形成有源层的需要和缩短电流通过来缩短气相沉积处理时间并改善元件特性。组成：薄膜晶体管基板包括基板（100），栅电极（200），栅极绝缘电极（250），有源层（300），第一和第二蚀刻控制层（320a，320b），第一和第二欧姆接触层（350a，350b）和漏电极（400b）。栅电极形成在基板上。栅极绝缘层形成在栅电极上。有源层形成在栅极绝缘层上。第一蚀刻层和第二蚀刻层分别形成在有源层的一侧和另一侧上。第一欧姆接触层形成在蚀刻接触层上，第二欧姆接触层形成在第二蚀刻控制层上。

