



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0042511
(43) 공개일자 2018년04월26일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/3614 (2013.01)

G09G 2310/0286 (2013.01)

(21) 출원번호 10-2016-0134530

(22) 출원일자 2016년10월17일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김동규

경기도 고양시 일산동구 중앙로 1305-30 511호 (장항동, 삼성마이다스)

서보권

경기도 파주시 책향기로 448 1202동 503호 (동패동, 책향기마을진흥효자아파트)

이주희

인천광역시 부평구 안남로 272 101동 1603호 (청천동, 금호아파트)

(74) 대리인

특허법인로알

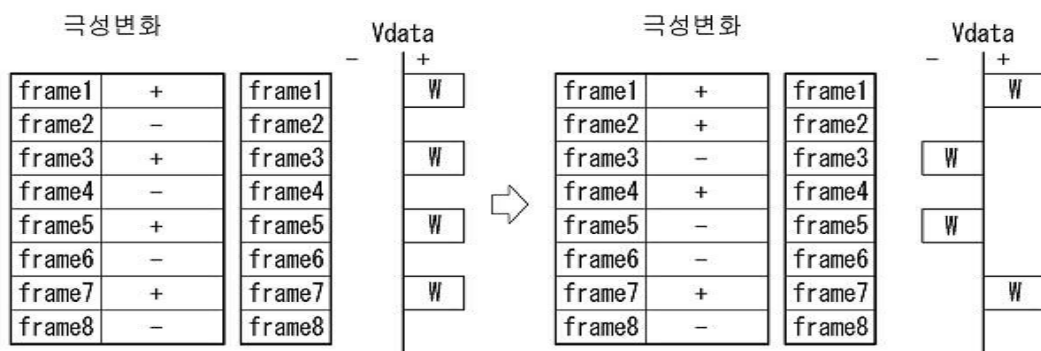
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 액정표시장치와 그 구동 방법

(57) 요약

본 발명은 액정표시장치와 그 구동 방법에 관한 것이다. 이 액정표시장치에서, 적어도 어느 하나의 서브 픽셀에 인가되는 데이터 전압은 $8N(N$ 은 양의 정수) $+1$ 프레임 기간 및 제 $8N+2$ 기간에 제1 극성의 전압으로 발생된 후, $8N+3$ 프레임 기간에 제2 극성의 전압으로 발생된 다음, $8N+4$ 프레임 기간에 상기 제1 극성의 전압으로 발생되고, $8N+5$ 프레임 기간 및 제 $8N+6$ 기간에 상기 제2 극성의 전압으로 발생된 후, 제 $8N+7$ 프레임 기간에 상기 제1 극성의 전압으로 발생된 다음, 제 $8N+8$ 프레임 기간에 상기 제2 극성의 전압으로 발생된다.

대표도 - 도4



(52) CPC특허분류

G09G 2310/08 (2013.01)

G09G 2320/0247 (2013.01)

G09G 2320/0257 (2013.01)

G09G 2320/0276 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고, 픽셀들이 매트릭스 형태로 배치된 표시패널;

입력 영상의 픽셀 데이터를 감마 보상 전압들로 변환하여 정극성 및 부극성 데이터 전압을 발생하고, 극성 제어 신호에 응답하여 상기 정극성 및 부극성 데이터 전압을 채널들을 통해 상기 데이터 라인들로 출력하는 데이터 구동부; 및

상기 입력 영상의 픽셀 데이터와 상기 극성 제어 신호에 관한 정보를 상기 데이터 구동부로 전송하는 타이밍 컨트롤러를 구비하고,

상기 픽셀들 각각은 서브 픽셀들을 포함하고,

상기 서브 픽셀들 적어도 어느 하나의 서브 픽셀에 인가되는 데이터 전압은 $8N(N\text{은 양의 정수})+1$ 프레임 기간 및 제 $8N+2$ 기간에 제1 극성의 전압으로 발생된 후, $8N+3$ 프레임 기간에 제2 극성의 전압으로 발생된 다음, $8N+4$ 프레임 기간에 상기 제1 극성의 전압으로 발생되고, $8N+5$ 프레임 기간 및 제 $8N+6$ 프레임 기간에 상기 제2 극성의 전압으로 발생된 후, 제 $8N+7$ 프레임 기간에 상기 제1 극성의 전압으로 발생된 다음, 제 $8N+8$ 프레임 기간에 상기 제2 극성의 전압으로 발생되는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 컨트롤러는 상기 극성 제어 신호에 관한 정보를 이용하여 상기 데이터 구동부의 채널들 각각을 통해 출력되는 데이터 전압의 극성을 제어하고,

상기 데이터 구동부는 상기 타이밍 컨트롤러로부터 수신된 극성 제어 신호에 관한 정보를 디코딩하여 상기 극성 제어 신호를 복원하고,

상기 극성 제어 신호의 비트 각각은 상기 채널들 각각을 통해 출력되는 데이터 전압의 극성을 지시하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 데이터 구동부에서 이웃한 8 채널들 중에서 매 프레임 기간마다 $I(I\text{는 } 2\sim 4\text{ 사이의 양의 정수})$ 개의 채널들이 강충전 채널들로 동작하고 나머지 채널들이 약충전 채널들로 동작하고,

상기 강충전 채널들의 위치가 매 프레임 기간마다 변경되고,

상기 강충전 채널들이 두 프레임 기간 연속 동일 극성의 데이터 전압을 출력하는 채널들이고, 상기 약충전 채널들이 이전 프레임 기간의 극성과는 반대 극성의 데이터 전압을 충전하는 액정표시장치.

청구항 4

$8N(N\text{은 양의 정수})+1$ 프레임 기간 및 제 $8N+2$ 기간에 데이터 구동부의 채널을 통해 제1 극성의 데이터 전압을 적어도 하나의 서브 픽셀에 공급하는 단계;

$8N+3$ 프레임 기간에 상기 데이터 구동부의 채널을 통해 제2 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계;

$8N+4$ 프레임 기간에 상기 데이터 구동부의 채널을 통해 제1 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계;

$8N+5$ 프레임 기간 및 제 $8N+6$ 기간에 상기 데이터 구동부의 채널을 통해 제2 극성의 데이터 전압을 상기 서브 픽

셀에 공급하는 단계;

8N+7 프레임 기간에 상기 데이터 구동부의 채널을 통해 상기 제1 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계; 및

8N+8 프레임 기간에 상기 데이터 구동부의 채널을 통해 상기 제2 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계를 포함하는 액정표시장치의 구동 방법.

청구항 5

제 4 항에 있어서,

입력 영상의 픽셀 데이터와 극성 제어 신호에 관한 정보를 상기 데이터 구동부로 전송하는 단계; 및

상기 데이터 구동부에서 상기 극성 제어 신호에 관한 정보를 디코딩하여 상기 극성 제어 신호를 복원하는 단계를 더 포함하고,

상기 극성 제어 신호의 비트 각각은 상기 데이터 구동부의 채널들 각각을 통해 출력되는 데이터 전압의 극성을 지시하는 액정표시장치의 구동 방법.

청구항 6

제 5 항에 있어서,

상기 데이터 구동부에서 이웃한 8 채널들 중에서 매 프레임 기간마다 I(I는 2~4 사이의 양의 정수) 개의 채널들이 강충전 채널들로 동작하고 나머지 채널들이 약충전 채널들로 동작하고,

상기 강충전 채널들의 위치가 매 프레임 기간마다 변경되고,

상기 강충전 채널들이 두 프레임 기간 연속 동일 극성의 데이터 전압을 출력하는 채널들이고, 상기 약충전 채널들이 이전 프레임 기간의 극성과는 반대 극성의 데이터 전압을 충전하는 액정표시장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치와 그 구동 방법에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : 이하 "OLED 표시장치" 라 함) 등 각종 평판 표시장치가 시판되고 있다. 액티브 매트릭스(Active Matrix) 구동방식의 표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor: 이하 "TFT"라 함)가 배치되어 있다.

[0003] 액정표시장치는 극성 인버전 방법을 이용하여 잔상과 플리커를 줄이기 위하여 서브 픽셀들에 인가되는 데이터 전압의 극성을 반전하고 있다. 데이터 전압의 극성을 반전시키는 방법은 도트 인버전(dot inversion), 라인 인버전(line inversion), 컬럼 인버전(column inversion) 등이 있다. 도트(dot)는 서브 픽셀을 의미한다. 도트 인버전은 수직 및 수평 방향으로 이웃한 서브 픽셀들 간에 데이터 전압의 극성을 서로 상반되게 제어한다. 라인 인버전은 이웃한 라인들 간에 데이터 전압의 극성을 서로 상반되게 제어한다. 라인은 표시패널의 픽셀 어레이에서 수평 방향을 따라 픽셀들이 배열된 로 라인(row line)을 의미한다. 도트 인버전과 라인 인버전은 1 수평 기간 또는 2 수평 기간 단위로 데이터 라인에 인가되는 데이터 전압의 극성이 반전되고, 매 프레임 기간마다 극성이 반전된다. 1 수평 기간은 표시패널(100)에서 1 라인의 픽셀들에 데이터를 기입하는데 필요한 시간이다. 라인 인버전에서 데이터 전압의 스윙폭을 줄이기 위하여 데이터 전압의 극성과 상반된 극성으로 공통 전압(Vcom)이 반전될 수 있다. 컬럼 인버전은 이웃한 컬럼들 간에 데이터 전압의 극성을 서로 상반되게 제어한다. 컬럼 인버전에서 하나의 데이터 라인에 인가되는 데이터 전압의 극성은 1 프레임 기간 동안 동일 극성으로 유지되고, 다음 프레임 기간에서 극성이 반전된다. 컬럼은 표시패널의 픽셀 어레이에서 수직 방향을 따라 픽셀들이 배열된 컬럼 라인(column line)을 의미한다.

발명의 내용

해결하려는 과제

- [0004] 액정표시장치의 극성 인버전 방법은 영상이 고정된 이미지인 경우에 잔상과 플리커(flicker) 문제를 해결할 수 있다. 영상이 극성 반전 속도와 동기되어 움직이는 경우에 픽셀들에 동일 극성의 데이터 전압이 연속 충전되어 픽셀들이 직류 구동된다. 그 결과, 액정표시장치에서 영상이 움직일 때 잔상이 보일 수 있다.
- [0005] 도 1은 매 프레임 기간(frame1~8) 마다 픽셀들의 극성이 반전되고 영상의 스트라이프 패턴(stripe pattern)이 매 프레임마다 1 픽셀 이동하는 예를 보여 준다. 스트라이프 패턴은 1 픽셀마다 화이트 계조(W)와 블랙 계조(B)가 교번되는 데이터 패턴이다. 노말리 블랙 모드(Normally black mode)에서 데이터 전압은 화이트 계조에서 최대 전압이고, 블랙 계조에서 최소 전압이다. 도 1과 같이 스트라이프 패턴이 매 프레임마다 1 픽셀 만큼 이동할 때 동일 극성의 화이트 계조(W)의 데이터 전압이 픽셀에 연속으로 인가되어 잔상이 보일 수 있다. 도 1에서 점선은 특정 컬럼 라인(점선)을 따라 배치된 픽셀들을 보여 주는 가상의 기준선이다.
- [0006] 본 발명은 영상이 움직일 때 잔상을 방지할 수 있는 액정표시장치와 그 구동 방법을 제공한다.

과제의 해결 수단

- [0007] 본 발명의 액정표시장치는 데이터 라인들과 게이트 라인들이 교차되고, 픽셀들이 매트릭스 형태로 배치된 표시 패널; 입력 영상의 픽셀 데이터를 감마 보상 전압들로 변환하여 정극성 및 부극성 데이터 전압을 발생하고, 극성 제어 신호에 응답하여 상기 정극성 및 부극성 데이터 전압을 채널들을 통해 상기 데이터 라인들로 출력하는 데이터 구동부; 및 상기 입력 영상의 픽셀 데이터와 상기 극성 제어 신호에 관한 정보를 상기 데이터 구동부로 전송하는 타이밍 컨트롤러를 구비한다. 상기 픽셀들 각각은 서브 픽셀들을 포함한다. 상기 서브 픽셀들 적어도 어느 하나의 서브 픽셀에 인가되는 데이터 전압은 $8N(N\text{은 양의 정수})+1$ 프레임 기간 및 제 $8N+2$ 기간에 제1 극성의 전압으로 발생된 후, $8N+3$ 프레임 기간에 제2 극성의 전압으로 발생된 다음, $8N+4$ 프레임 기간에 상기 제1 극성의 전압으로 발생되고, $8N+5$ 프레임 기간 및 제 $8N+6$ 기간에 상기 제2 극성의 전압으로 발생된 후, 제 $8N+7$ 프레임 기간에 상기 제1 극성의 전압으로 발생된 다음, 제 $8N+8$ 프레임 기간에 상기 제2 극성의 전압으로 발생된다.
- [0008] 상기 타이밍 컨트롤러는 상기 극성 제어 신호에 관한 정보를 이용하여 상기 데이터 구동부의 채널들 각각을 통해 출력되는 데이터 전압의 극성을 제어한다. 상기 데이터 구동부는 상기 타이밍 컨트롤러로부터 수신된 극성 제어 신호에 관한 정보를 디코딩하여 상기 극성 제어 신호를 복원한다. 상기 극성 제어 신호의 비트 각각은 상기 채널들 각각을 통해 출력되는 데이터 전압의 극성을 지시한다.
- [0009] 상기 데이터 구동부에서 이웃한 8 채널들 중에서 매 프레임 기간마다 $I(I\text{는 } 2\sim 4\text{ 사이의 양의 정수})$ 개의 채널들이 강충전 채널들로 동작하고 나머지 채널들이 약충전 채널들로 동작한다. 상기 강충전 채널들의 위치가 매 프레임 기간마다 변경된다. 상기 강충전 채널들이 두 프레임 기간 연속 동일 극성의 데이터 전압을 출력하는 채널들이고, 상기 약충전 채널들이 이전 프레임 기간의 극성과는 반대 극성의 데이터 전압을 충전한다.
- [0010] 상기 액정표시장치의 구동 방법은 $8N(N\text{은 양의 정수})+1$ 프레임 기간 및 제 $8N+2$ 기간에 데이터 구동부의 채널을 통해 제1 극성의 데이터 전압을 적어도 하나의 서브 픽셀에 공급하는 단계; $8N+3$ 프레임 기간에 상기 데이터 구동부의 채널을 통해 제2 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계; $8N+4$ 프레임 기간에 상기 데이터 구동부의 채널을 통해 제1 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계; $8N+5$ 프레임 기간 및 제 $8N+6$ 프레임 기간에 상기 데이터 구동부의 채널을 통해 제2 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계; 제 $8N+7$ 프레임 기간에 상기 데이터 구동부의 채널을 통해 상기 제1 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계; 및 제 $8N+8$ 프레임 기간에 상기 데이터 구동부의 채널을 통해 상기 제2 극성의 데이터 전압을 상기 서브 픽셀에 공급하는 단계를 포함한다.

발명의 효과

- [0011] 본 발명은 영상이 움직일 때 픽셀들에 직류 전압이 인가되지 않도록 데이터 전압의 극성을 제어하여 잔상을 방지한다. 나아가, 본 발명은 데이터 구동부의 강충전 채널들을 시공간적으로 분산하여 영상이 움직일 때 잔상은 물론 플리커를 방지할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 화면 상에서 스트라이프 패턴이 움직일 때 픽셀에 동일 극성의 화이트 게조 전압이 연속 인가되는 예를 보여 주는 도면이다.
- 도 2는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- 도 3 및 도 4는 본 발명의 실시예에 따른 액정표시장치에서 픽셀들의 극성 변화를 보여 주는 도면들이다.
- 도 5는 도 3 및 도 4와 같은 극성 인버전 방법에서 플리커가 나타날 수 있는 소스 드라이브 IC의 채널 극성을 보여 주는 도면이다.
- 도 6 및 도 7은 도 3 및 도 4와 같은 극성 인버전 방법에서 플리커를 방지하기 위한 소스 드라이브 IC의 채널 극성을 보여 주는 도면들이다.
- 도 8 및 도 9는 EPI 인터페이스를 통해 연결되는 타이밍 컨트롤러와 소스 드라이브 IC들을 보여 주는 도면들이다.
- 도 10은 타이밍 컨트롤러의 EPI 전송부(Tx)와 소스 드라이브 IC의 EPI 수신부(Rx)를 개략적으로 보여 주는 도면이다.
- 도 11은 소스 드라이브 IC를 상세히 보여 주는 도면이다.
- 도 12는 타이밍 컨트롤러와 소스 드라이브 IC들 사이의 EPI 데이터 전송을 위한 EPI 프로토콜을 보여 주는 파형도이다.
- 도 13은 콘트롤 데이터 패킷과 픽셀 데이터 패킷의 일 예를 보여 주는 도면이다.
- 도 14는 콘트롤 데이터 패킷에 코딩된 POL의 일 예를 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0014] 도 1 및 도 2를 참조하면, 본 발명의 액정표시장치는 픽셀 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다. 표시패널 구동회로는 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 데이터 구동부(102), 게이트 구동부(104), 및 타이밍 컨트롤러(105)를 포함한다.
- [0015] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기관과 하부 기관을 포함한다. 표시패널(100)의 액티브 영역에는 입력 영상이 표시되는 픽셀 어레이가 형성된다. 픽셀 어레이는 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한다.
- [0016] 표시패널(100)의 하부 기관에는 데이터라인들(D1~Dm), 게이트라인들(G1~Gn), TFT들, TFT에 접속된 픽셀 전극(1), 및 픽셀 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등의 TFT 어레이를 포함한다.
- [0017] 픽셀들 각각은 컬러 구현을 위하여 적색(R) 서브 픽셀, 녹색(G) 서브 픽셀 및 청색(B) 서브 픽셀로 나뉘어질 수 있다. 또한, 픽셀들 각각은 백색(W) 서브 픽셀을 더 포함할 수 있다. 펜타일(Pen Tile) 픽셀 어레이에 렌더링 알고리즘(Rendering algorithm)을 적용하면 2 개의 서브 픽셀들로 하나의 픽셀을 구현할 수 있다. 픽셀들은 TFT를 통해 데이터전압을 충전하는 픽셀 전극(1)과, 공통전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과량을 조정한다.
- [0018] 표시패널(100)의 하부 기관에 형성된 TFT들은 비정질 실리콘(amorphouse Si, a-Si) TFT, LTPS(Low Temperature Poly Silicon) TFT, 산화물 TFT(Oxide TFT) 등으로 구현될 수 있다. TFT들은 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차부에 형성된다. TFT들은 게이트 펄스에 응답하여 데이터 라인으로부터의 데이터 전압을 픽셀 전극(1)에 공급한다.
- [0019] 표시패널(100)의 상부 기관 상에는 블랙 매트릭스(Black matrix, BM)와 컬러 필터(Color filter)를 포함한 컬러 필터 어레이가 형성된다. 공통 전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동방식의 경우에 상부 기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평 전계 구동방식의 경우에 픽셀 전극과 함께 하부 기관 상에 형성될 수 있다. 표시

패널(100)의 상부 기관과 하부 기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

- [0020] 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널(100)에 배치될 수도 있다. 이러한 터치 센서를 구동하기 위하여 도시하지 않은 터치 센서 구동부가 액정표시장치의 구동 회로에 추가될 수 있다. 터치 센서 구동부는 터치 센서의 출력 신호를 입력 받아 터치 입력들 각각의 좌표를 생성하여 호스트 시스템(Host system)(110)으로 전송한다.
- [0021] 본 발명의 표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛(Back light unit)이 필요하다. 백라이트 유닛은 표시패널(100)의 아래에 배치되어 표시패널(100)에 빛을 균일하게 조사한다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다. 자발광 소자 예를 들어, OLED 표시장치의 경우, 백라이트 유닛이 필요 없다.
- [0022] 감마 보상 전압 발생부(106)는 감마기준전압(GMA)을 데이터 구동부(102)에 공급한다. 감마기준전압(GMA)은 데이터 구동부(102) 내에서 정극성 감마 보상 전압과 부극성 감마 보상 전압으로 분압된다.
- [0023] 표시패널(100)에 멀티플렉서(Multiplexer, MUX)(103)가 형성될 수 있다. 멀티플렉서(103)는 데이터 구동부(102)와 데이터 라인들(D1~Dm) 사이에 배치된다.
- [0024] 데이터 구동부(102)는 타이밍 콘트롤러(105)로부터 입력 영상의 데이터를 입력받는다. 데이터 구동부(102)는 타이밍 콘트롤러(105)의 제어 하에 입력 영상의 디지털 비디오 데이터를 정극성 및 부극성 감마 보상 전압(GMA)으로 변환하여 데이터전압을 출력한다. 데이터 전압은 멀티플렉서(103)를 통해 데이터 라인들(D1~Dm)에 공급된다. 정극성 데이터 전압은 공통 전극(2)에 인가되는 공통 전압(Vcom) 보다 높은 전압이다. 부극성 데이터 전압은 공통 전압(Vcom) 보다 낮은 전압이다. 데이터 구동부(102)는 도 7 및 도 8과 같이 하나 이상의 소스 드라이버 IC(SIC#1~SIC#4)를 포함할 수 있다. 소스 드라이버 IC(SIC#1~SIC#4)의 채널들을 통해 출력되는 데이터 전압은 데이터 라인들(D1~Dm)을 통해 픽셀들에 공급된다. 소스 드라이버 IC(SIC#1~SIC#4)의 채널들과 데이터 라인들(D1~Dm) 사이에 멀티플렉서(103)가 배치될 수 있다.
- [0025] 멀티플렉서(103)는 타이밍 콘트롤러(105)의 제어 하에 데이터 구동부(102)로부터 입력되는 데이터 전압을 데이터 라인들(D1~Dm)에 분배한다. 1:3 멀티플렉서의 경우에, 멀티플렉서(103)는 데이터 구동부(102)의 한 개 출력 채널을 통해 입력되는 데이터 전압을 시분할하여 세 개의 데이터 라인들로 공급한다. 따라서, 1:3 멀티플렉서를 사용하면, 표시패널(100)의 구동에 필요한 소스 드라이버 IC들의 개수를 1/3로 줄일 수 있다.
- [0026] 게이트 구동부(104)는 타이밍 콘트롤러(105)의 제어 하에 게이트 라인들(G1~Gn)에 게이트 펄스를 공급한다. 게이트 펄스는 데이터 라인들(D1~Dm)에 공급되는 데이터 전압에 동기된다. 게이트 구동부(104)는 TFT 어레이와 함께 하부 기관 상에 직접 형성될 수 있다.
- [0027] 타이밍 콘트롤러(105)는 호스트 시스템(110)으로부터 수신된 입력 영상의 데이터를 데이터 구동부(102)로 전송한다. 타이밍 콘트롤러(105)는 입력 영상 데이터와 동기되는 타이밍 신호들을 호스트 시스템(110)으로부터 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 메인 클럭(DCLK) 등을 포함한다. 타이밍 콘트롤러(105)는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동부(102), 게이트 구동부(104), 멀티플렉서(103)의 동작 타이밍을 제어한다.
- [0028] 게이트 콘트롤 신호는 게이트 구동부(104)의 동작 타이밍을 제어하기 위하여 타이밍 콘트롤러(105)에 의해 발생된다. 게이트 콘트롤 신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(104)의 스타트 동작 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 구동부(104)의 출력 타이밍을 제어한다.
- [0029] 소스 콘트롤 신호는 데이터 구동부(102)의 동작 타이밍을 제어하기 위하여 타이밍 콘트롤러(105)에 의해 발생된다. 소스 콘트롤 신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성 제어 신호(Polarity control signal: POL), 소스 출력 인에이블신호(SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동부(102)의 데이터 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 데이터 구동부(102)의 데이터 샘플링 타이밍을 제어하는 클럭신호이다. 극성 제어 신호(POL)는 데이터 구동부(102)로부터 출력되는 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 차지 스위칭 타이

밍(Charge sharing timing)과 데이터 출력 타이밍(Data output timing)을 제어한다. 타이밍 컨트롤러(105)는 게이트 콘트롤 신호와 소스 콘트롤 신호를 별도의 배선을 통해 전송하거나 도 7 내지 도 13과 같이 그 신호들 각각의 온/오프(On/Off, 또는 high/low) 레벨에 관한 정보를 콘트롤 데이터 패킷 내에 코딩하여 입력 영상 데이터와 함께 소스 드라이브 IC들로 직렬 전송할 수 있다.

[0030] 타이밍 컨트롤러(105)는 입력 영상의 프레임 레이트(Frame rate 또는 프레임 주파수)×N(N은 2 이상의 양의 정수) Hz의 주파수로 프레임 레이트를 높여 표시패널 구동부(102, 104)의 구동 주파수를 N 배 채배된 프레임 레이트로 제어할 수 있다. 프레임 레이트는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 컨트롤러(105)는 입력 영상의 데이터가 거의 변화되지 않거나 정지 영상이면, 소비 전력을 줄이기 위하여 표시패널 구동 회로를 저속 구동하여 픽셀들에 기입되는 데이터의 업데이트 주파수를 낮춘다. 예를 들어, 타이밍 컨트롤러(105)는 저속 구동 모드에서 프레임 레이트를 30 Hz 이하로 낮출 수 있다. 저속 구동 모드의 프레임 레이트를 LRR(Low Refresh Rate)로 칭할 수 있다.

[0031] 호스트 시스템(110)은 텔레비전 시스템, 홈 시어터 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 또한, 호스트 시스템(110)은 모바일 기기나 웨어러블 기기 전체를 제어하는 시스템일 수 있다. 호스트 시스템(110)은 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 스케일링한다. 호스트 시스템(110)은 입력 영상의 디지털 비디오 데이터(RGB)와 함께 타이밍 신호들(Vsync, Hsync, DE, CLK)을 타이밍 컨트롤러(105)로 전송한다. 호스트 시스템(110)은 터치 센서 구동부로부터 입력되는 터치 입력의 좌표 정보와 연계된 응용 프로그램을 실행한다.

[0032] 타이밍 컨트롤러(105)는 극성 제어 신호(POL)를 이용하여 픽셀들 각각에 인가되는 데이터 전압의 극성을 도 3 내지 도 6과 같은 방법으로 제어한다. 픽셀들에 인가되는 데이터 전압의 극성은 1 프레임 기간 내에서 도트 인버전, 라인 인버전, 컬럼 인버전 등으로 반전될 수 있다. 따라서, 1 프레임 기간 내에서 이웃한 픽셀들은 극성이 반전될 수 있다. 시간축 상에서 볼 때, 픽셀들 각각은 도 3 및 도 4와 같은 규칙으로 극성이 반전되는 데이터 전압에 의해 그 극성이 프레임 기간 단위로 반전된다. 여기서, 데이터 전압은 서브 픽셀들 각각에 인가되기 때문에 픽셀들의 극성은 서브 픽셀들의 극성을 의미한다.

[0033] 도 3 및 도 4를 참조하면, 픽셀들의 극성은 8 프레임 기간 동안 제1 극성, 제1 극성, 제2 극성, 제1 극성, 제2 극성, 제2 극성, 제1 극성, 제2 극성의 순서로 변경된다. 도 3 및 도 4에서 제1 극성은 정극성(+)이고, 제2 극성은 부극성(-)으로 예시되었으나 그 반대일 수도 있으므로 이에 한정되지 않는다.

[0034] 예를 들어, 적어도 어느 하나의 서브 픽셀에 인가되는 데이터 전압은 $8N+1$ 프레임 기간 및 제 $8N+2$ 기간(Frame 1, Frame 2)에 제1 극성의 전압으로 발생된 후, $8N+3$ 프레임 기간(Frame 3)에 제2 극성의 전압으로 발생된 다음, $8N+4$ 프레임 기간(Frame 4)에 다시 제1 극성의 전압으로 발생된다. 이어서, 그 서브 픽셀에 인가되는 데이터 전압은 $8N+5$ 프레임 기간 및 제 $8N+6$ 프레임 기간(Frame 5, Frame 6)에 제2 극성의 전압으로 발생된 후, 제 $8N+7$ 프레임 기간(Frame 7)에 제1 극성의 전압으로 발생된 다음, 제 $8N+8$ 프레임 기간(frame 8)에 다시 제2 극성의 전압으로 발생된다.

[0035] 도 3 및 도 4와 같은 방법으로 시간 축 상에서 픽셀들의 극성이 변하면, 고정된 이미지뿐만 아니라 극성 반전 속도와 동기되어 움직이는 영상에서도 잔상을 방지할 수 있다. 이는 도 3 및 도 4와 같이 연속된 8 프레임 기간 동안 픽셀들 각각의 극성이 어느 한 쪽으로 치우치지 않기 때문이다.

[0036] 종래 기술의 경우에 픽셀들은 매 프레임 기간마다 극성이 반전되는 데이터 전압을 충전하기 때문에 동일 계조의 전압이 픽셀들에 인가될 때 매 프레임마다 픽셀들의 충전율 차이가 거의 없다. 이에 비하여, 도 3 및 도 4와 같이 데이터 전압의 극성이 반전되면, 8 프레임 기간은 두 프레임 기간 연속으로 데이터 전압의 극성이 동일 극성으로 유지되는 구간과, 이전 프레임 기간의 극성과는 상반된 극성으로 반전되는 구간을 포함한다. 두 프레임 기간 동안 동일한 극성의 데이터 전압을 충전하는 픽셀들은 프리차징(pre-charging) 효과로 인하여 이전 프레임의 극성과는 상반된 극성의 데이터 전압을 충전하는 픽셀들에 비하여 데이터 전압을 충전한다. 따라서, 두 프레임 기간 동안 동일한 극성의 데이터 전압을 충전하는 픽셀들과, 이전 프레임의 극성과는 상반된 극성의 데이터 전압을 충전하는 픽셀들 간에 충전율 차이가 있을 수 있다.

[0037] 이러한 충전율 차이로 인하여, 소스 드라이브 IC의 채널들을 통해 출력되는 데이터 전압이 두 프레임 기간 동일 극성을 유지하면, 픽셀들의 충전율이 그 중 두 번째 프레임 기간(frame 2, frame 6)에 그 이전 보다 높아지고, 이전 프레임과는 극성이 반전되는 프레임 기간(frame 1, frame 3, frame 4, frame 5, frame 7, frame 8)에서 그

픽셀들의 데이터 충전율이 낮아진다. 이는 동일 제조에서 제2 및 제6 프레임 기간에서 모든 픽셀들의 휘도가 동시에 높아지는 결과를 초래하여 시청자가 표시 영상에서 플리커(flicker)를 느낄 수 있다.

- [0038] 이러한 플리커를 방지하기 위하여, 타이밍 컨트롤러(105)는 극성 제어 신호(POL)를 이용하여 도 6 및 도 7에 도시된 바와 같이 강충전 프레임 기간과 약충전 프레임 기간을 소스 드라이브 IC의 채널들 간에 분산함으로써 도 3 및 도 4와 같은 극성 인버전 방법에서 시청자가 느낄 수 있는 플리커를 방지한다. 이를 위하여, 타이밍 컨트롤러(105)의 레지스터(register)에는 8 프레임 기간의 8 채널 극성을 지시하는 POL 정보가 저장되어 있다. POL 정보의 bit들 각각은 소스 드라이브 IC의 8 채널에서 채널 각각의 극성을 지시한다. 도 6에서, Address(DEC, HEX)는 레지스터 주소를 의미하고, Register bit는 POL 정보의 8 bit이다. 소스 드라이브 IC들 각각은 타이밍 컨트롤러(105)로부터 수신된 POL 정보를 복원하여 POL 정보가 지시하는 극성으로 8 채널을 통해 출력되는 데이터 전압의 극성을 반전한다. 소스 드라이브 IC들에서, POL 정보가 지시하는 극성 패턴이 8 채널 단위로 반복될 수 있다.
- [0039] 도 6 및 도 7은 도 3 및 도 4와 같은 극성 인버전 방법에서 플리커를 방지하기 위한 소스 드라이브 IC의 채널 극성을 보여 주는 도면들이다. 도 6 및 도 7에서, S1~S8은 소스 드라이브 IC의 채널들을 나타낸다.
- [0040] 도 6 및 도 7을 참조하면, 소스 드라이브 IC에서 이웃한 8 채널들 중에서 매 프레임 기간마다 두 개의 채널들이 강충전 채널로 동작한다. 강충전 채널들의 위치는 매 프레임 기간마다 변경된다. 강충전 채널은 두 프레임 기간 연속 동일 극성의 데이터 전압을 출력하는 채널들이다. 반면에, 약충전 채널은 이전 프레임 기간의 극성과는 반대 극성의 데이터 전압을 충전하는 채널이다.
- [0041] 소스 드라이브 IC의 제1 내지 제8 채널들(S1~S8) 중에서 제8N+1 프레임 기간(Frame 1)에 제6 및 제8 채널들(S6, S8)이 강충전 채널이고, 나머지 채널들이 약충전 채널이다. 제8N+2 프레임 기간(Frame 2)에 제1 및 제3 채널들(S1, S3)이 강충전 채널이고, 나머지 채널들이 약충전 채널이다. 제8N+3 프레임 기간(Frame 3)에 제5 및 제7 채널들(S5, S7)이 강충전 채널이고, 나머지 채널들이 약충전 채널이다. 제8N+4 프레임 기간(Frame 4)에 제2 및 제4 채널들(S2, S4)이 강충전 채널이고, 나머지 채널들이 약충전 채널이다. 제8N+5 프레임 기간(Frame 5)에 제6 및 제8 채널들(S6, S8)이 강충전 채널이고, 나머지 채널들이 약충전 채널이다. 제8N+6 프레임 기간(Frame 6)에 제1 및 제3 채널들(S1, S3)이 강충전 채널이고, 나머지 채널들이 약충전 채널이다. 제8N+7 프레임 기간(Frame 7)에 제5 및 제7 채널들(S5, S7)이 강충전 채널이고, 나머지 채널들이 약충전 채널이다. 제8N+8 프레임 기간(Frame 8)에 제2 및 제4 채널들(S2, S4)이 강충전 채널이고, 나머지 채널들이 약충전 채널이다. 도 7 및 도 8과 같이, 강충전 픽셀들의 위치가 시간적으로 공간적으로 분산되기 때문에 시청자가 플리커를 느끼지 못한다.
- [0042] 소스 드라이브 IC의 강충전 채널 분산 방법은 도 6 및 도 7에 한정되지 않는다. 예컨대, 소스 드라이브 IC에서 이웃한 8 채널들 중에서 I(I는 2~4 사이의 양의 정수) 채널들이 한 프레임 기간에 강충전 채널로 동작하고 그 위치가 매 프레임 기간마다 변경될 수 있을 것이다.
- [0043] 본원 출원인은 타이밍 컨트롤러와 소스 드라이브 IC들 사이의 배선 수를 최소화하고 신호전송을 안정화하기 위한 EPI(Embedded Panel Interface) 인터페이스를 대한민국 특허출원 10-2008-0127458(2008-12-15), 미국 출원 12/543,996(2009-08-19), 대한민국 특허출원 10-2008-0127456(2008-12-15), 미국 출원 12/461,652(2009-08-19), 대한민국 특허출원 10-2008-0132466(2008-12-23), 미국 출원 12/537,341(2009-08-07) 등에서 제안한 바 있다.
- [0044] EPI 인터페이스 프로토콜은 아래의 (1) 내지 (3)의 인터페이스 규정을 만족한다.
- [0045] (1) 타이밍 컨트롤러의 송신단(Tx)과 소스 드라이브 IC들의 수신단(Rx)을 점 대 점 방식으로 연결한다.
- [0046] (2) 타이밍 컨트롤러와 소스 드라이브 IC들 사이에 별도의 클럭 배선쌍을 연결하지 않는다. 타이밍 컨트롤러는 신호 배선쌍(101)을 통해 클럭신호와 함께 비디오 데이터 및 콘트롤 데이터를 소스 드라이브 IC들로 전송한다.
- [0047] (3) 소스 드라이브 IC들 각각에 CDR(Clock and Data Recovery)을 위한 클럭 복원회로가 내장되어 있다. 타이밍 컨트롤러는 클럭 복원회로의 출력 위상과 주파수가 고정(lock)될 수 있도록 클럭 트레이닝 패턴(clock training pattern 또는 preamble) 신호를 소스 드라이브 IC들에 전송한다. 소스 드라이브 IC들에 내장된 클럭 복원회로는 신호 배선쌍(101)을 통해 입력되는 클럭 트레이닝 패턴 신호와 클럭신호가 입력되면 내부 클럭을 발생한다.
- [0048] 소스 드라이브 IC들은 내부 클럭의 위상과 주파수가 고정되면 출력 안정 상태를 지시하는 하이 레벨(High logic

level)의 락 신호(Lock signal, LOCK)를 타이밍 콘트롤러에 피드백(Feedback) 입력한다. 락 신호(LOCK)는 타이밍 콘트롤러와 마지막 소스 드라이브 IC에 연결된 락 피드백 신호 배선을 통해 타이밍 콘트롤러에 피드백 입력된다.

[0049] EPI 인터페이스 프로토콜에서, 전송한 바와 같이 타이밍 콘트롤러는 콘트롤 데이터와 입력 영상의 비디오 데이터를 전송하기 전에 클럭 트레이닝 패턴 신호를 소스 드라이브 IC들로 전송한다. 소스 드라이브 IC의 클럭 복원회로는 클럭 트레이닝 패턴 신호를 기준으로 내부 클럭을 출력하여 클럭을 복원하면서 클럭 트레이닝(Clock training) 동작을 수행하고 그 내부 클럭의 위상과 주파수가 안정되게 고정되면, 타이밍 콘트롤러와의 데이터 링크를 확립한다. 타이밍 콘트롤러는 마지막 소스 드라이브 IC로부터 수신된 락 신호에 응답하여 콘트롤 데이터와 비디오 데이터를 소스 드라이브 IC들로 전송하기 시작한다.

[0050] 도 8은 타이밍 콘트롤러와 소스 드라이브 IC들이 EPI 인터페이스를 통해 점 대 점(point to point) 방식으로 연결된 예이다. 도 9는 타이밍 콘트롤러와 소스 드라이브 IC들이 EPI 인터페이스를 통해 멀티 드롭(multi-drop) 방식으로 연결된 예이다.

[0051] 도 8 및 도 9를 참조하면, 타이밍 콘트롤러(TCON)는 EPI 인터페이스 프로토콜에 따라 클럭 트레이닝 패턴 신호(CT), 콘트롤 데이터 패킷(CTR), 및 픽셀 데이터 패킷(RGB)을 저전압의 차신호쌍으로 변환하여 신호 배선쌍(111)을 통해 소스 드라이브 IC들(SIC#1~SIC#4)로 전송한다. 클럭 트레이닝 패턴 신호(CT), 콘트롤 데이터 패킷(CTR), 및 픽셀 데이터 패킷(RGB) 각각에는 EPI 클럭이 포함된다.

[0052] 소스 드라이브 IC들(SIC#1~SIC#4) 각각의 클럭 복원회로는 수신된 EPI 클럭으로부터 복원한 내부 클럭의 위상과 주파수가 고정(Lock)될 때 락 상태를 지시하는 하이 레벨로 락 신호(LOCK)를 발생한다. 반면에, 소스 드라이브 IC들(SIC#1~SIC#4) 각각의 클럭 복원회로는 수신된 EPI 클럭으로부터 복원한 내부 클럭의 위상과 주파수가 고정되지 않고 불안정하면(Unlock) 언락 상태를 지시하는 로우 레벨로 락 신호(LOCK)를 발생한다. 락 신호는 다음 소스 드라이브 IC로 전송된다. 마지막 소스 드라이브 IC(SIC#4)는 락 배선(112)을 통해 락 신호(LOCK)를 타이밍 콘트롤러(TCON)로 전송한다. 제1 소스 드라이브 IC의 락 신호 입력 단자에는 전원 전압(VCC)이 입력된다.

[0053] 타이밍 콘트롤러(TCON)는 락 신호(LOCK)가 로우 레벨일 때 클럭 트레이닝 패턴 신호(CT)를 소스 드라이브 IC들(SIC#1~SIC#4)에 전송하고 락 신호(LOCK)가 하이 레벨로 반전되면 콘트롤 데이터 패킷(CTR)과 입력 영상의 픽셀 데이터 패킷(RGB)의 전송을 시작한다.

[0054] 소스 드라이브 IC들(SIC#1~SIC#4) 각각의 클럭 복원회로는 EPI 클럭이 입력된다. 클럭 복원 회로는 지연 락 루프(Delay Locked loop, 이하 "DLL"이라 함)를 이용하여 비디오 데이터의 RGB 비트수×2 개의 내부 클럭들을 발생한다. 또한, DLL은 락 신호(LOCK)를 발생한다. 클럭 복원 회로는 DLL 대신 위상 고정 루프(Phase locked loop, PLL)로 구현될 수 있다. 소스 드라이브 IC들(SIC#1~SIC#4)은 내부 클럭 타이밍에 맞추어 입력 영상의 비디오 데이터 비트들을 샘플링한 후에 샘플링된 픽셀 데이터를 병렬 데이터로 변환한다.

[0055] 소스 드라이브 IC들(SIC#1~SIC#4)은 신호 배선쌍(111)을 통해 수신되는 콘트롤 데이터 패킷(CTR)의 콘트롤 정보를 코드 맵핑(code mapping) 방식으로 디코딩하여 소스 콘트롤 데이터와 게이트 콘트롤 데이터를 복원한다. 소스 드라이브 IC들(SIC#1~SIC#4)은 복원된 소스 콘트롤 데이터에 응답하여 입력 영상의 비디오 데이터를 정극성/부극성 아날로그 비디오 데이터전압으로 변환하여 액정표시패널(PNL)의 데이터라인들(DL)에 공급한다. 소스 드라이브 IC들(SIC#1~SIC#4)은 게이트 콘트롤 데이터를 게이트 구동부(104C)에 전송할 수 있다.

[0056] 도 10은 타이밍 콘트롤러의 EPI 전송부(Tx)와 소스 드라이브 IC의 EPI 수신부(Rx)를 개략적으로 보여 주는 도면이다. 도 11은 소스 드라이브 IC를 상세히 보여 주는 도면이다.

[0057] 도 10 및 도 11을 참조하면, 타이밍 콘트롤러(TCON)는 내부 클럭 발생 회로(22)를 이용하여 호스트 시스템으로부터 입력되는 클럭(CLK)을 체배하여 인코더(23)로 전송한다. 내부 클럭 발생 회로(22)는 PLL을 포함할 수 있다.

[0058] 타이밍 콘트롤러(TCON)는 직렬 변환부(serializer)(21)를 통해 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(RGB)를 수신한다. 직렬 변환부(21)는 내부 클럭 발생회로(22)의 클럭에 맞추어 입력 영상의 픽셀 데이터를 샘플링하고, 샘플링한 픽셀 데이터와 콘트롤 데이터를 인코더(23)에 공급한다. 인코더(23)는 EPI 인터페이스 프로토콜에서 정해진 포맷을 만족하도록 콘트롤 데이터 패킷과 픽셀 데이터 패킷 각각에 클럭 비트(CLK)를 코딩한다. 인코더(23)로부터 출력된 신호는 송신 버퍼(24)를 통해 차신호쌍으로 변환되어 소스 드라이브 IC들

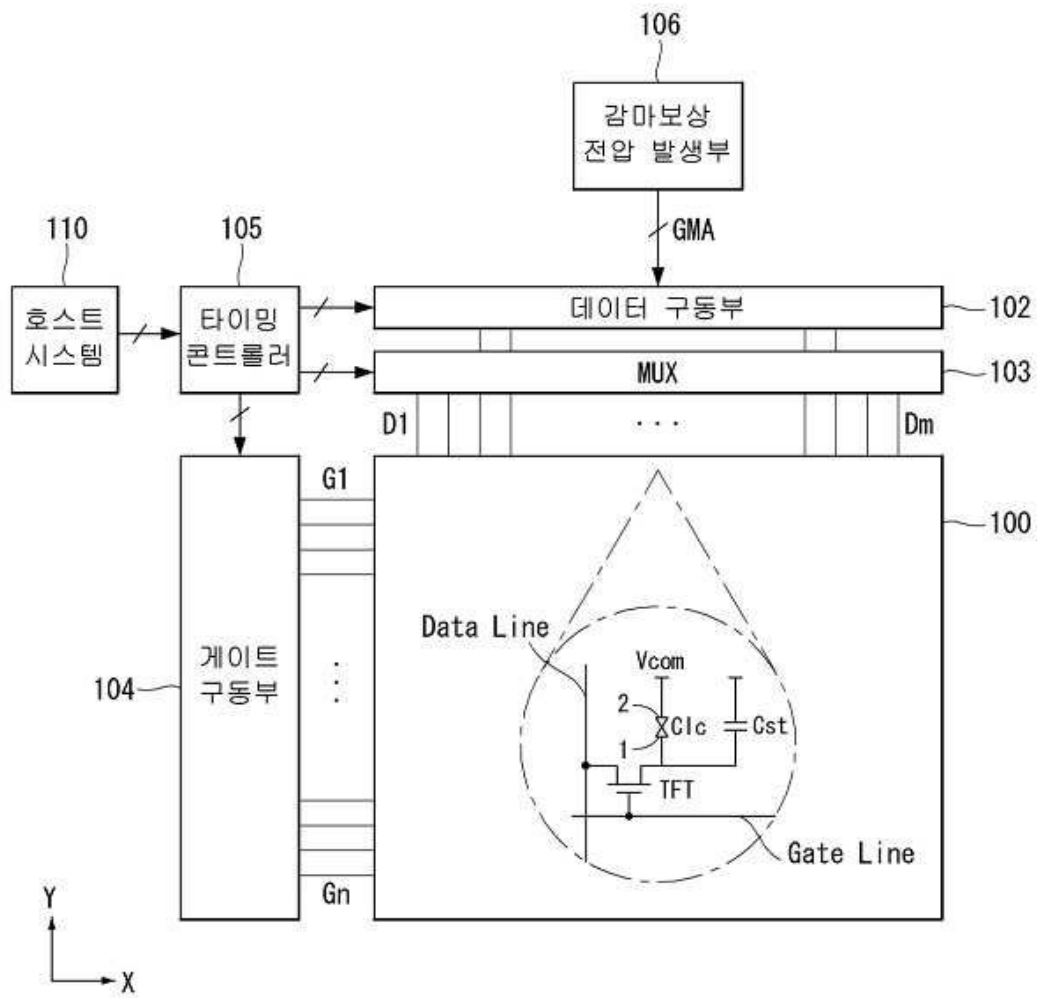
(SDIC#1~SDIC#8)로 직렬 전송된다.

- [0059] 소스 드라이브 IC(SIC#1~SIC#4)의 수신 버퍼(25)는 신호 배선쌍(111)을 통해 타이밍 컨트롤러(TCON)로부터 데이터를 수신한다. 소스 드라이브 IC(SIC#1~SIC#4)의 클럭 복원회로(26)는 수신된 클럭을 복원하여 내부 클럭을 발생한다. 직병렬 변환부(De-serializer)(27)는 내부 클럭 타이밍에 맞추어 수신된 콘트롤 데이터와 디지털 비디오 데이터 비트 각각을 샘플링하고, 샘플링한 데이터를 병렬 데이터 체계로 변환한다.
- [0060] 소스 드라이브 IC(SIC#1~SIC#4) 각각은 로직 컨트롤러(28), 시프트 레지스터(29), 2 라인 래치(2 line latch)(31), DAC(Digital-Analog Converter)(32), 출력 회로(33) 등을 더 구비한다. 로직 컨트롤러(28)는 직병렬 변환부(27)로부터 수신된 콘트롤 데이터를 디코딩하여 소스 콘트롤 신호와 게이트 콘트롤 신호를 복원한다. 소스 콘트롤 신호는 소스 출력 인에이블 신호(SOE), 극성 제어 신호(POL) 등을 포함한다. 도 11에서 GSP는 게이트 콘트롤 신호 중에서 게이트 스타트 펄스이다. 시프트 레지스터(29)는 2 라인 래치(31)에 순차적으로 출력 신호를 공급한다. 2 라인 래치(31)는 시프트 레지스터(29)의 출력 신호에 응답하여 입력 영상의 픽셀 데이터를 샘플링한다. 도 11에서 6 채널 8 bit의 픽셀 데이터가 2 라인 래치(31)에 입력되지만 이에 한정되지 않는다. 2 라인 래치(31)는 픽셀 데이터의 bit를 순차적으로 샘플링하여 래치한 후 소스 출력 인에이블 신호(SOE)에 따라 래치된 데이터를 DAC(32)로 동시에 출력한다. DAC(32)는 정극성 및 부극성 감마보상전압(GMA1~GMA18)과 픽셀 데이터를 입력 받는다. DAC(32)는 픽셀 데이터를 정극성 및 부극성 감마보상전압(GMA1~GMA18)으로 변환하여 정극성 및 부극성 데이터 전압을 출력한다.
- [0061] 출력 회로(33)는 버퍼들을 통해 정극성 및 부극성 데이터 전압을 표시패널(PNL)의 데이터 라인들(DL)로 출력한다. 출력 회로(33)는 극성 제어 신호(POL)에 응답하여 온/오프되는 스위치 소자들을 이용하여 정극성 데이터 전압과 부극성 데이터 전압이 전송되는 소스 드라이브 IC의 채널들을 스위칭함으로써 그 채널들을 통해 출력되는 데이터 전압의 극성을 선택한다.
- [0062] 도 13의 예와 같이, 콘트롤 데이터 패킷에는 소스 콘트롤 데이터와 게이트 콘트롤 데이터 등 소스 드라이브 IC(SIC#1~SIC#4)와 게이트 구동부(104)를 제어하기 위한 각종 콘트롤 데이터의 정보가 인코딩되어 있다. 콘트롤 데이터 패킷에는 8 bit의 POL 정보가 인코딩되어 있다. POL 정보의 bit 각각은 소스 드라이브 IC의 8 채널(S(n+1)~S(n+8)) 각각의 극성을 지시한다. POL 정보의 bit가 “1(high, H)” 이면, 해당 채널(S(n+1)~S(n+8))을 통해 정극성 데이터 전압이 출력된다. POL 정보의 bit가 “0(low, L)” 이면, 해당 채널(S(n+1)~S(n+8))을 통해 부극성 데이터 전압이 출력된다. 따라서, 소스 드라이브 IC들(SIC#1~SIC#4) 각각은 타이밍 컨트롤러(TCON)로부터 수신된 POL 정보를 디코딩하여 도 6 및 도 7에 도시된 바와 같이 강충전 채널들을 시공간적으로 분산하여 플리커를 방지한다.
- [0063] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

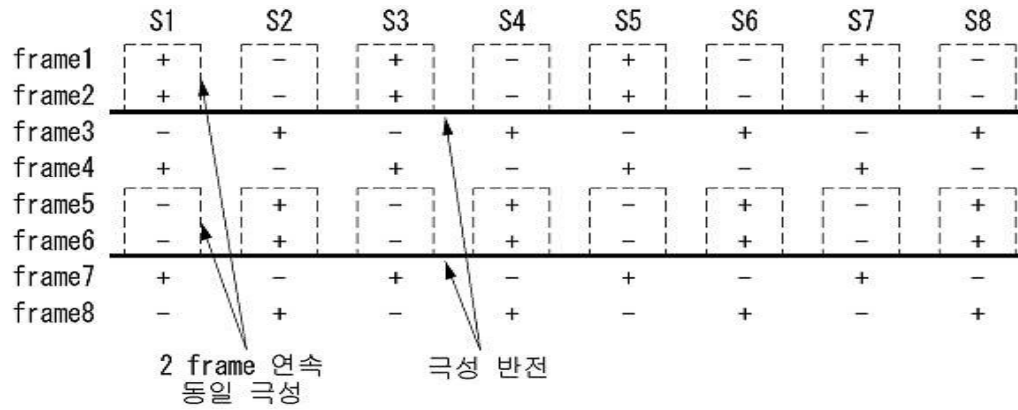
부호의 설명

- [0064] 100, PNL : 표시패널 102, SIC#1~SIC#4 : 데이터 구동부
103, MUX : 멀티플렉서 104 : 게이트 구동부
105, TCON : 타이밍 컨트롤러 106 : 감마 보상 전압 발생부

도면2



도면5

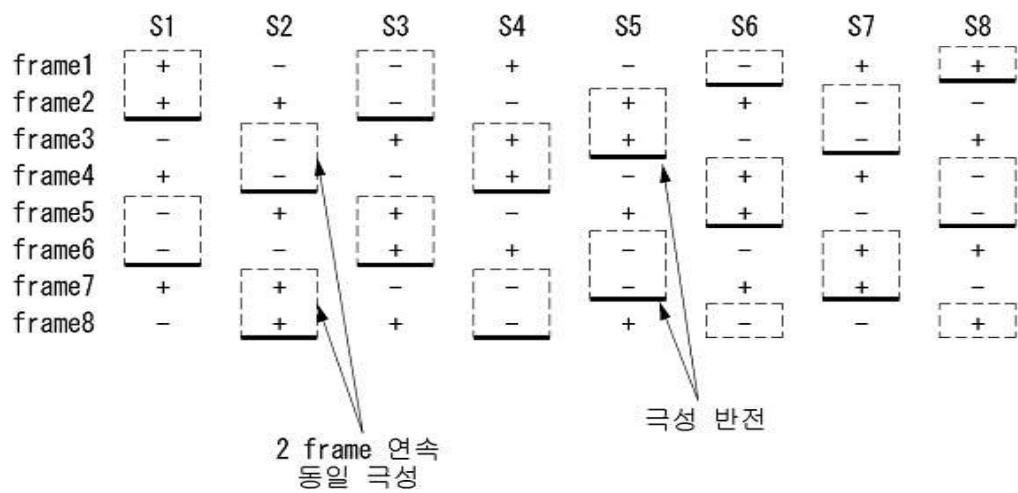


도면6

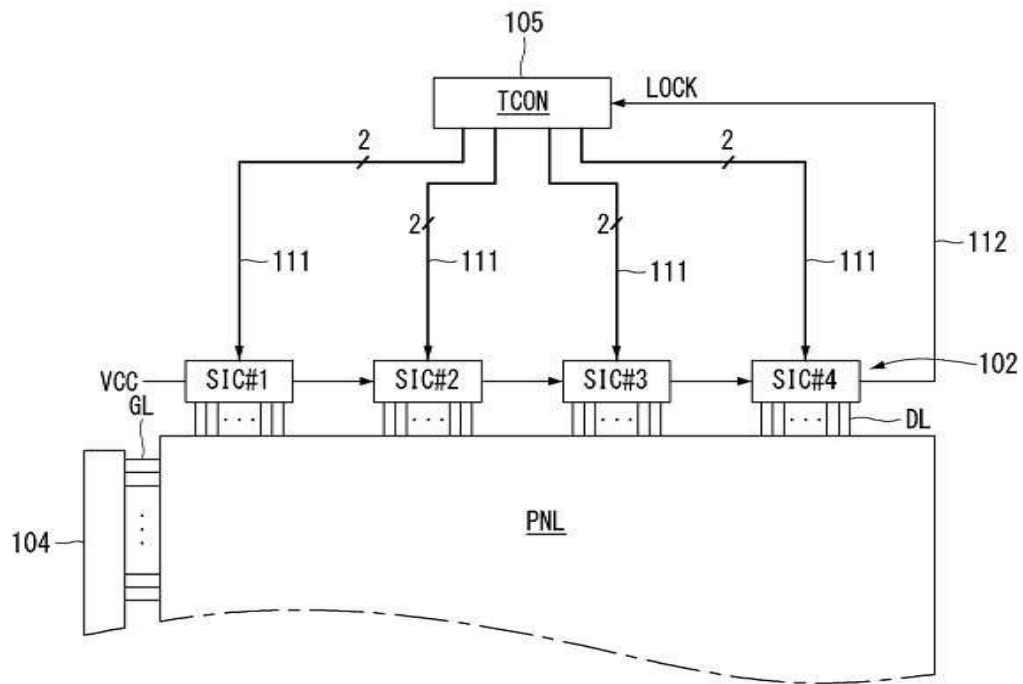
		Address		Register bit								description	
		DEC	HEX	7	6	5	4	3	2	1	0		
Timing DATA													
Pol Inversion	135	087	0	1	1	0	0	0	0	0	0	[7:0] : VERTL_TH	Vertical turn on threshold
	136	088	1	0	0	1	0	0	1	1	1		frame 1
	137	089	1	1	0	0	1	1	0	0	0		frame 2
	138	08A	0	0	1	1	1	0	0	0	1		frame 3
	139	08B	1	0	0	1	0	1	1	1	0		frame 4
	140	08C	0	1	1	0	1	1	0	0	0	[7:0] : source channel 1-8	frame 5
	141	08D	0	0	1	1	0	0	1	1	1		frame 6
	142	08E	1	1	0	0	0	1	1	0	0		frame 7
	143	08F	0	1	1	0	1	0	0	0	1		frame 8

	s1	s2	s3	S4	s5	s6	s7	s8
frame1	+	-	-	+	-	-	+	+
frame2	+	+	-	-	+	+	-	-
frame3	-	-	+	+	-	-	+	+
frame4	+	-	-	+	+	+	+	-
frame5	-	+	+	-	+	+	-	-
frame6	-	-	+	+	-	-	+	+
frame7	+	+	-	-	-	+	+	-
frame8	-	+	+	-	+	-	-	+

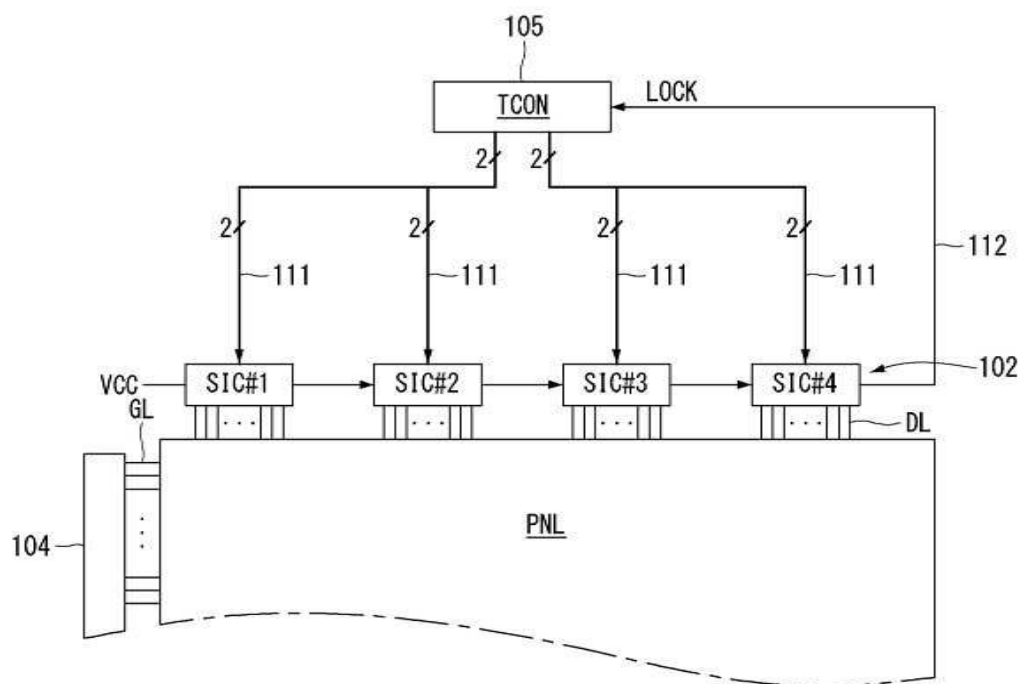
도면7



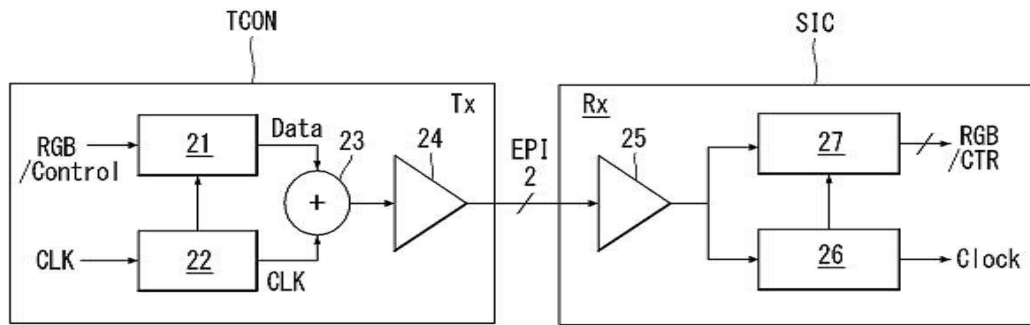
도면8



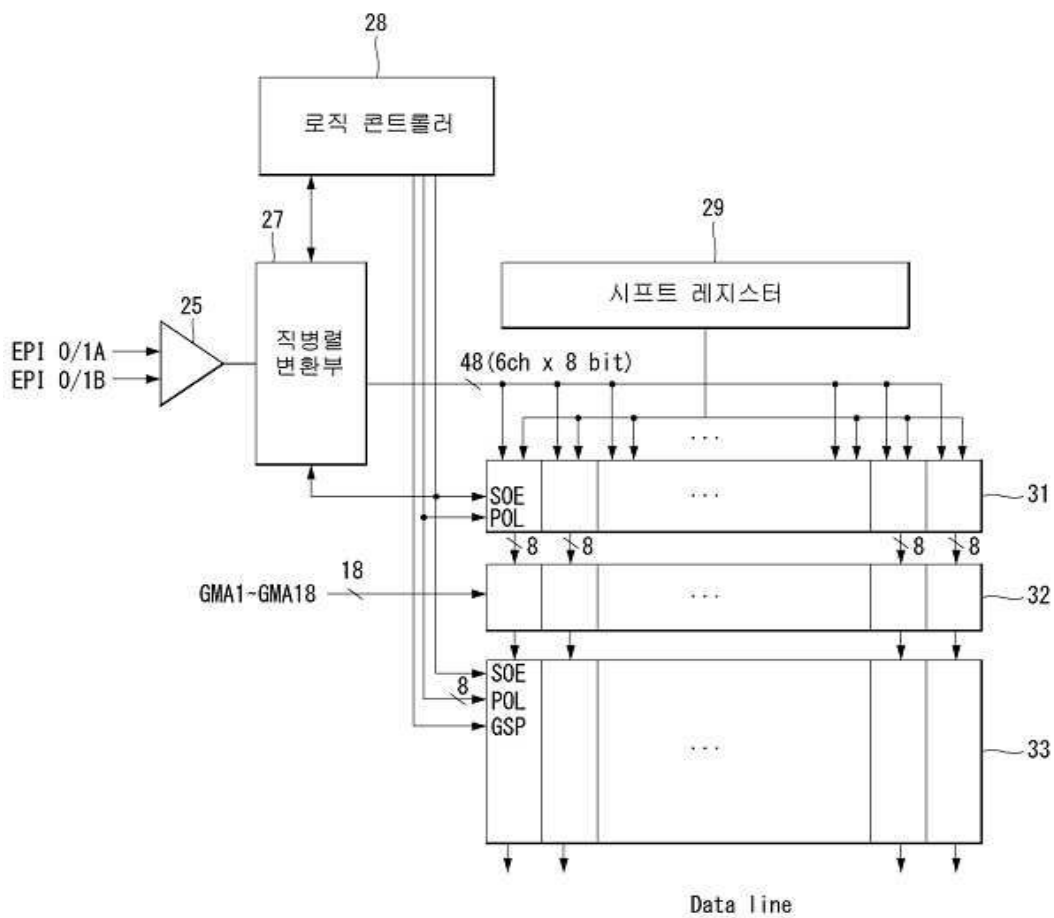
도면9



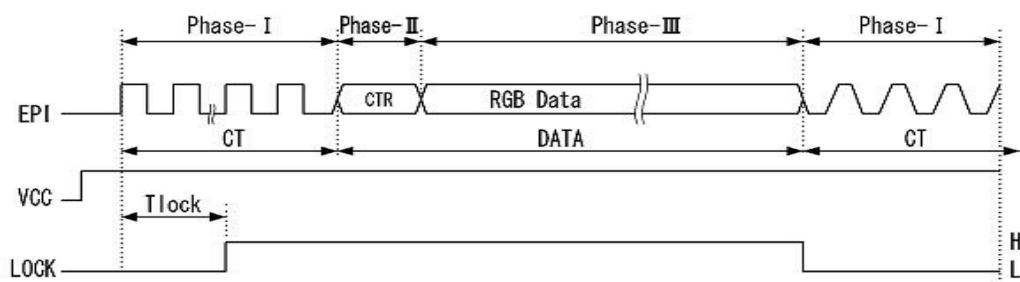
도면10



도면11

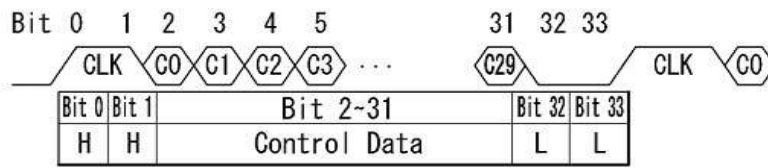


도면12

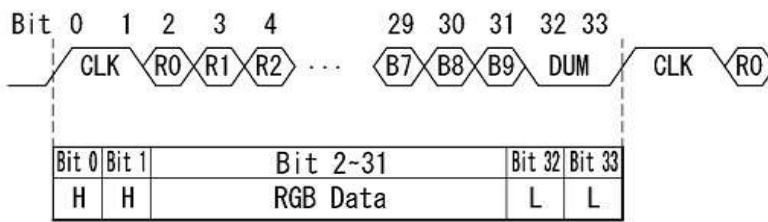


도면13

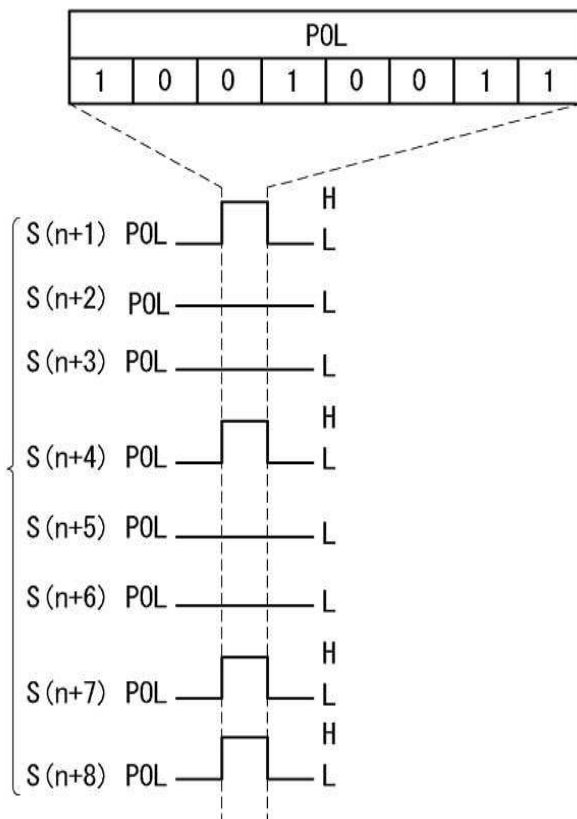
Control Data (CTR)



RGB Data



도면14



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020180042511A	公开(公告)日	2018-04-26
申请号	KR1020160134530	申请日	2016-10-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DONG KYU 김동규 SEO BO GUN 서보건 LEE JOO HEE 이주희		
发明人	김동규 서보건 이주희		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3614 G09G2320/0257 G09G2320/0247 G09G2320/0276 G09G2310/08 G09G2310/0286		
外部链接	Espacenet		

摘要(译)

液晶显示器及其驱动方法本发明涉及液晶显示器及其驱动方法。在该液晶显示装置中，施加到至少一个子像素的数据电压被生成为 $8N$ （ N 是正整数）+1帧周期和 $8N+2$ 周期中的第一极性的电压，帧周期在帧周期中以第二极性的电压产生，并且在 $8N+4$ 帧周期中由第一极性的电压产生，并且在 $8N+6$ 帧周期中以第二极性的电压产生。并且，在用 $8N+7$ 帧周期中的第一极性的电压产生之后，在第（ $8N+8$ ）帧周期中利用第二极性的电压产生。

