



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0094132
(43) 공개일자 2016년08월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3648 (2013.01)

(21) 출원번호 10-2015-0015338

(22) 출원일자 2015년01월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최준용

부산광역시 남구 용호로231번길 62, 106동 2301호
(용호동, 롯데캐슬아인스)

(74) 대리인

박영복

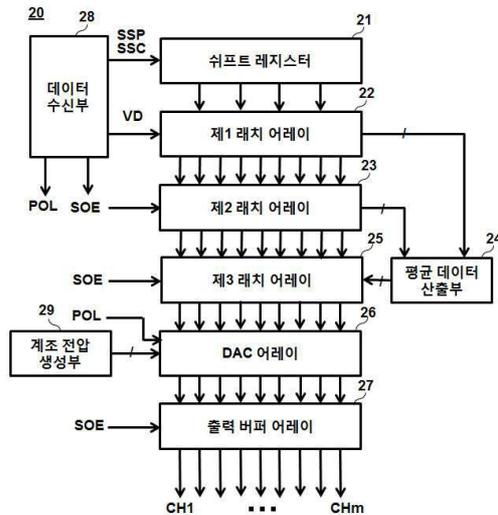
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 액정 표시 장치 및 그 구동 방법

(57) 요약

본 발명은 데이터 드라이버의 소비 전력을 최소화하면서도 화질 불량을 방지할 수 있는 액정 표시 장치 및 그 구동 방법에 관한 것으로, 본 발명의 액정 표시 장치 및 그 구동 방법은 n-1번째 수평 기간에 공급될 제1 데이터와, n번째 수평 기간에 공급될 제2 데이터의 평균 데이터를 산출하고, 산출된 평균 데이터를 평균 전압으로 변환하여 n-1번째 및 n번째 수평 기간 사이의 수평 블랭크 기간에 채널별로 공급함으로써 데이터 전압의 스윙폭을 최소화하여 소비 전력을 감소시킬 수 있고, 제1 및 제2 데이터 전압의 혼합이 방지되므로 데이터 혼합으로 인한 세로선 불량을 방지할 수 있다.

대표도 - 도3



명세서

청구범위

청구항 1

제1 수평 라인의 해당 데이터 라인에 공급될 제1 데이터와, 제2 수평 라인의 해당 데이터 라인에 공급될 제2 데이터를 평균하여 평균 데이터를 산출하는 단계와,

제1 수평 기간에서 상기 제1 데이터를 제1 데이터 전압으로 변환하여 해당 데이터 라인으로 공급하는 단계와,

제1 및 제2 수평 기간 사이의 수평 블랭크 기간에서 상기 평균 데이터를 평균 전압으로 변환하여 해당 데이터 라인으로 공급하는 단계와,

상기 제2 수평 기간에서 상기 제2 데이터를 제2 데이터 전압으로 변환하여 해당 데이터 라인으로 공급하는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 2

청구항 1에 있어서,

상기 제1 및 제2 데이터의 평균 데이터는 상기 제1 수평 라인에 상기 제1 데이터 전압이 공급되기 이전에 적어도 2 수평 기간의 마진을 갖고 산출되는 액정 표시 장치의 구동 방법.

청구항 3

액정 패널과,

상기 액정 패널에서 제1 수평 라인의 해당 데이터 라인에 공급될 제1 데이터와, 제2 수평 라인의 해당 데이터 라인에 공급될 제2 데이터를 평균하여 평균 데이터를 산출하여, 제1 수평 기간에서 상기 제1 데이터를 제1 데이터 전압으로 변환하여 해당 데이터 라인으로 공급하고, 제1 및 제2 수평 기간 사이의 수평 블랭크 기간에서 상기 평균 데이터를 평균 전압으로 변환하여 해당 데이터 라인으로 공급한 후, 상기 제2 수평 기간에서 상기 제2 데이터를 제2 데이터 전압으로 변환하여 해당 데이터 라인으로 공급하는 데이터 드라이버를 포함하는 액정 표시 장치.

청구항 4

청구항 3에 있어서,

상기 데이터 드라이버는

쉬프트 레지스터와,

상기 쉬프트 레지스터로부터의 샘플링 신호에 응답하여 n번째 수평 라인의 제1 데이터를 래치하여 출력하는 제1 래치 어레이와,

상기 제1 래치 어레이로부터의 n-1번째 수평 라인의 제2 데이터를 래치하여 출력하는 제2 래치 어레이와,

상기 제1 래치 어레이로부터의 제1 데이터들과, 상기 제2 래치 어레이로부터의 제2 데이터들을 채널별로 평균하여 평균 데이터를 산출하는 평균 데이터 산출부와,

n-2번째 수평 기간에서 제2 래치 어레이로부터 공급된 n-1번째 수평 라인의 제1 데이터들을 래치하여 출력하고, n-2번째 및 n-1번째 수평 기간 사이의 수평 블랭크 기간에서 상기 평균 데이터 산출부로부터의 제1 및 제2 데이터의 평균 데이터를 래치하여 출력한 다음, n-1번째 수평 기간에서 상기 제2 래치 어레이로부터 공급된 n번째 수평 라인의 제2 데이터들을 래치하여 출력하는 제3 래치 어레이와,

상기 n-1번째 수평 기간에서 제3 래치 어레이로부터 공급된 제1 데이터들을 제1 데이터 전압으로 변환하여 공급하고, 상기 n-1번째 및 n번째 수평 기간 사이의 수평 블랭크 기간에서 상기 제3 래치 어레이로부터 공급된 평균 데이터를 평균 전압으로 변환하여 공급한 다음, 상기 n번째 수평 기간에서 상기 제2 래치 어레이로부터 공

급된 제2 데이터들을 제2 데이터 전압으로 변환하여 공급하는 DAC 어레이를 포함하는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본원 발명은 액정 표시 장치에 관한 것으로, 특히 데이터 드라이버의 소비 전력을 최소화하면서도 화질을 향상시킬 수 있는 액정 표시 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 굴절을 및 유전율 등의 이방성을 갖는 액정의 전기적 및 광학적 특성을 이용한 화소 매트릭스를 통해 화상을 표시한다. 액정 표시 장치의 각 화소는 데이터 신호에 따른 액정 배열 방향의 가변으로 편광판을 투과하는 광 투과율을 조절함으로써 계조를 구현한다.

[0003] 액정 표시 장치는 픽셀 매트릭스를 통해 화상을 표시하는 액정 패널과, 액정 패널을 구동하는 게이트 드라이버 및 데이터 드라이버와, 액정 패널에 광을 조사하는 백라이트 유닛과, 백라이트 유닛을 구동하는 백라이트 드라이버와, 전원부 등을 구비한다.

[0004] 액정 표시 장치는 고해상도 및 대면적화되는 방향으로 발전하고 있다. 이에 따라, 액정 패널로 데이터 전압을 공급하는 데이터 드라이버의 구동 주파수 및 로드량이 증가하고, 액정 패널의 인버전 구동을 위해 정극성 데이터 전압과 부극성 데이터 전압을 스위칭해야 하므로, 데이터 드라이버의 소비 전력이 증가하는 단점이 있다.

[0005] 이를 해결하기 위하여, 데이터 전압의 스위칭을 줄이기 위한 방안으로 차지 셰어링 컨트롤(Charge Sharing Control) 방식이 제안되었다. 차지 셰어링 컨트롤 방법은 실제 데이터 전압을 출력하기 이전에 출력 채널들 사이에 접속된 스위치를 턴-온하여 액정 패널의 데이터 라인들에 충전된 양전하 및 음전하를 셰어링함으로써 데이터 출력을 공통 전압 정도의 중간 레벨로 변경하여 정극성 데이터 전압과 부극성 데이터 전압 사이의 스위칭을 줄일 수 있다.

[0006] 그러나, 차지 셰어링 모드가 온일 때, 도 1(a)와 같이 255 계조에 해당하는 데이터 전압의 극성이 2H 단위로 반전되는 경우, 동일 극성의 동일한 데이터 전압도 차지 셰어링 구간에서 공통 전압까지 불필요하게 스위칭하여 오히려 소비 전력이 증가하는 문제점이 있다.

[0007] 한편, 도 1(b)와 같이 동일 극성의 동일한 데이터 전압에 대하여 차지 셰어링 모드가 오프일 때, 소비 전력은 감소할 수 있으나, RC 딜레이로 인하여 동일 극성의 동일한 데이터 전압이 혼합됨으로써 세로선 불량 발생 하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 전술한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 해결하려는 과제는 데이터 드라이버의 소비 전력을 최소화하면서도 화질 불량을 방지할 수 있는 액정 표시 장치 및 그 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0009] 상기 과제를 해결하기 위하여, 본 발명의 실시예에 따른 액정 표시 장치의 구동 방법은 제1 수평 라인의 해당 데이터 라인에 공급될 제1 데이터와, 제2 수평 라인의 해당 데이터 라인에 공급될 제2 데이터를 평균하여 평균 데이터를 산출하는 단계와, 제1 수평 기간에서 상기 제1 데이터를 제1 데이터 전압으로 변환하여 해당 데이터 라인으로 공급하는 단계와, 제1 및 제2 수평 기간 사이의 수평 블랭크 기간에서 상기 평균 데이터를 평균 전압으로 변환하여 해당 데이터 라인으로 공급하는 단계와, 상기 제2 수평 기간에서 상기 제2 데이터를 제2 데이터 전압으로 변환하여 해당 데이터 라인으로 공급하는 단계를 포함한다.

[0010] 상기 제1 및 제2 데이터의 평균 데이터는 상기 제1 수평 라인에 상기 제1 데이터 전압이 공급되기 이전에 적어도 2 수평 기간의 마진을 갖고 산출된다.

[0011] 본 발명의 실시예에 따른 액정 표시 장치는 액정 패널과, 상기 액정 패널에서 제1 수평 라인의 해당 데이터 라

인에 공급될 제1 데이터와, 제2 수평 라인의 해당 데이터 라인에 공급될 제2 데이터를 평균하여 평균 데이터를 산출하여, 제1 수평 기간에서 상기 제1 데이터를 제1 데이터 전압으로 변환하여 해당 데이터 라인으로 공급하고, 제1 및 제2 수평 기간 사이의 수평 블랭크 기간에서 상기 평균 데이터를 평균 전압으로 변환하여 해당 데이터 라인으로 공급한 후, 상기 제2 수평 기간에서 상기 제2 데이터를 제2 데이터 전압으로 변환하여 해당 데이터 라인으로 공급하는 데이터 드라이버를 포함한다.

[0012] 상기 데이터 드라이버는 쉬프트 레지스터와, 상기 쉬프트 레지스터로부터의 샘플링 신호에 응답하여 n번째 수평 라인의 제1 데이터를 래치하여 출력하는 제1 래치 어레이와, 상기 제1 래치 어레이로부터의 n-1번째 수평 라인의 제2 데이터를 래치하여 출력하는 제2 래치 어레이와, 상기 제1 래치 어레이로부터의 제1 데이터들과, 상기 제2 래치 어레이로부터의 제2 데이터들을 채널별로 평균하여 평균 데이터를 산출하는 평균 데이터 산출부와, n-2번째 수평 기간에서 제2 래치 어레이로부터 공급된 n-1번째 수평 라인의 제1 데이터들을 래치하여 출력하고, n-2번째 및 n-1번째 수평 기간 사이의 수평 블랭크 기간에서 상기 평균 데이터 산출부로부터의 제1 및 제2 데이터의 평균 데이터를 래치하여 출력한 다음, n-1번째 수평 기간에서 상기 제2 래치 어레이로부터 공급된 n번째 수평 라인의 제2 데이터들을 래치하여 출력하는 제3 래치 어레이와, 상기 n-1번째 수평 기간에서 제3 래치 어레이로부터 공급된 제1 데이터들을 제1 데이터 전압으로 변환하여 공급하고, 상기 n-1번째 및 n번째 수평 기간 사이의 상기 수평 블랭크 기간에서 상기 제3 래치 어레이로부터 공급된 평균 데이터를 평균 전압으로 변환하여 공급한 다음, 상기 n번째 수평 기간에서 상기 제2 래치 어레이로부터 공급된 제2 데이터들을 제2 데이터 전압으로 변환하여 공급하는 DAC 어레이를 포함한다.

발명의 효과

[0013] 본 발명에 따른 액정 표시 장치 및 그 구동 방법은 n-1번째 수평 기간에 공급될 제1 데이터와, n번째 수평 기간에 공급될 제2 데이터의 평균 데이터를 산출하고, 산출된 평균 데이터를 평균 전압으로 변환하여 n-1번째 및 n번째 수평 기간 사이의 수평 블랭크 기간에 채널별로 공급함으로써 데이터 전압의 스윙폭을 최소화하여 소비 전력을 감소시킬 수 있고, 제1 및 제2 데이터 전압의 혼합이 방지되므로 데이터 혼합으로 인한 세로선 불량을 방지할 수 있다.

도면의 간단한 설명

[0014] 도 1은 종래의 차지 셰어링 컨트롤 기술에 따른 데이터 전압의 파형도이다.
 도 2는 본 발명의 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이다.
 도 3은 도 2에 도시된 데이터 드라이버의 내부 구성을 나타낸 블록도이다.
 도 4는 도 3에 도시된 데이터 드라이버의 구동 파형도이다.
 도 5는 도 2에 도시된 데이터 드라이버로부터 어느 하나의 데이터 라인에 공급되는 데이터 전압의 파형도이다.
 도 6은 본 발명의 액정 표시 장치에서 종래의 차지 셰어링 컨트롤 기술과 대비하여 데이터 전압의 스윙폭이 감소된 효과를 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 설명한다.
 [0016] 도 2는 본 발명의 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이다.
 [0017] 도 2에 도시된 액정 표시 장치는 액정 패널(40) 및 백라이트 유닛(50)과, 액정 패널(40)을 구동하는 데이터 드라이버(20) 및 게이트 드라이버(30)와, 백라이트 유닛(50)을 구동하는 백라이트 드라이버(60)와, 데이터 드라이버(20) 및 게이트 드라이버(30)의 구동 타이밍을 제어하는 타이밍 컨트롤러(10)를 구비한다. 액정 표시 장치는 입력 전압을 DC-DC 변환하여 타이밍 컨트롤러(10), 데이터 드라이버(20), 게이트 드라이버(30) 등에 필요한 복수의 구동 전압들을 공급하는 전원부(도시하지 않음)를 더 포함한다.
 [0018] 액정 패널(40)은 컬러 필터 어레이가 형성된 컬러 필터 기판과, 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과, 컬러 필터 기판 및 박막 트랜지스터 기판 사이의 액정층과, 컬러 필터 기판 및 박막 트랜지스터 기판의 외측면에 각각 부착된 편광판을 구비한다. 액정 패널(40)은 화소들이 매트릭스 형태로 배열된 화소 어레이를 통해 영상을 표시한다. 화소 어레이의 각 화소는 적색(Red; 이하 R), 녹색(Green; 이하 G), 청색(Blue; 이

하 B)의 3개 서브화소들로 구성되거나, 휘도 향상을 위한 백색(White; 이하 W) 서브화소가 추가된 R/W/B/G 서브화소들로 구성된다.

[0019] 각 서브화소는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)와 병렬 접속된 액정 커패시터(C1c) 및 스토리지 커패시터(Cst)를 구비한다. 액정 커패시터(C1c)는 박막 트랜지스터(TFT)를 통해 화소 전극에 공급된 데이터 신호와, 공통 전극에 공급된 공통 전압(Vcom)과의 차전압을 충전하고 충전된 전압에 따라 액정을 구동하여 광투과율을 조절한다. 스토리지 커패시터(Cst)는 액정 커패시터(C1c)에 충전된 전압을 안정적으로 유지시킨다. 액정층은 TN(Twisted Nematic) 모드 또는 VA(Vertical Alignment) 모드와 같이 수직 전계에 의해 구동되거나, IPS(In-Plane Switching) 모드 또는 FFS(Fringe Field Switching) 모드와 같이 수평 전계에 의해 구동된다.

[0020] 타이밍 컨트롤러(10)는 화질 향상이나 소비 전력 감소를 위한 다양한 데이터 처리 방법을 이용하여 외부로부터 입력된 영상 데이터를 보정하여 데이터 드라이버(20)로 출력한다.

[0021] 예를 들면, 타이밍 컨트롤러(10)는 액정의 응답 속도를 향상시키기 위하여 인접 프레임간의 데이터 차에 따라 룩업 테이블로부터 선택한 오버슈트(Overshoot) 값 또는 언더슈트(Undershoot) 값을 적용하여 입력 데이터(Data)를 오버드라이빙(Overdriving) 데이터로 보정하여 출력할 수 있다. 타이밍 컨트롤러(10)는 콘트라스트비를 향상시키거나 소비 전력을 감소시키기 위하여 영상 데이터의 휘도를 분석하고, 휘도 분석 결과에 따라 영상 데이터(Data)를 보정하여 출력할 수 있다. 액정 패널(40)의 화소가 R/W/G/B 서브화소들로 구성된 경우, 타이밍 컨트롤러(10)는 RGB 데이터를 RWGB 데이터로 변환하여 출력할 수 있다.

[0022] 타이밍 컨트롤러(10)는 외부로부터 입력되는 복수의 동기 신호를 이용하여 데이터 드라이버(20)의 구동 타이밍을 제어하는 데이터 제어 신호와, 게이트 드라이버(30)의 구동 타이밍을 제어하는 게이트 제어 신호를 생성하고, 데이터 제어 신호를 데이터 드라이버(20)로, 게이트 제어 신호를 게이트 드라이버(30)로 공급한다. 복수의 동기 신호는 도트 클럭, 데이터 인에이블 신호, 수평 동기 신호, 수직 동기 신호를 포함한다. 한편, 복수의 동기 신호에서 수직 동기 신호 및 수평 동기 신호가 생략될 수 있으며, 이 경우 타이밍 컨트롤러(10)는 도트 클럭 및 데이터 인에이블 신호를 이용한 입력 데이터의 주파수 분석을 통해 수평 동기 신호 및 수직 동기 신호를 생성하여 이용한다.

[0023] 타이밍 컨트롤러(10)로부터 데이터 드라이버(20)로 공급되는 데이터 제어 신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 드라이버(20)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 드라이버(20)에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블신호(SOE)는 데이터 드라이버(20)의 출력 타이밍을 제어한다. 극성 제어 신호(POL)는 데이터 드라이버(20)로부터 출력되는 데이터 전압의 수평 극성 반전 타이밍을 제어한다. 극성 제어 신호(POL)의 논리 반전 주기는 소정의 수평기간으로 선택된다. 예를 들면, 극성 제어 신호(POL)는 수직 2 도트 인버전으로 데이터 드라이버(20)를 제어할 때 2 수평 기간 주기로 논리가 반전되고, 수직 1 도트 인버전으로 데이터 드라이버(20)를 제어할 때 1 수평 기간 주기로 논리가 반전된다. 데이터 드라이버(20)에서 동일 채널을 통해 연속적으로 출력되는 데이터 전압의 극성 반전 주기는 극성 제어 신호(POL)의 논리 반전 주기에 의존한다. 한편, 데이터 드라이버(20)의 이웃한 채널들에서 동시에 출력되는 데이터 전압의 극성은 소정 도트 단위(예컨대, 1 도트 단위)로 반전되도록 미리 설정된다.

[0024] 타이밍 컨트롤러(10)로부터 게이트 드라이버(30)로 공급되는 게이트 제어 신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 1 프레임 기간 동안 그 프레임 기간의 시작과 동시에 1회 발생하여 첫번째 스캔 펄스를 발생시킨다. 게이트 쉬프트 클럭(GSC)은 쉬프트 레지스터를 구성하는 다수의 스테이지들에 입력되는 클럭 신호로써 게이트 스타트 펄스(GSP)를 쉬프트시킨다. 게이트 출력 인에이블 신호(GOE)는 게이트 드라이버(30)의 출력을 제어한다. 게이트 제어 신호는 타이밍 컨트롤러(10)로부터 게이트 드라이버(30)로 공급되거나, 타이밍 컨트롤러(10)로부터 데이터 드라이버(20)를 경유하여 공급될 수 있다.

[0025] 데이터 드라이버(20)는 타이밍 컨트롤러(10)로부터 공급된 데이터 제어 신호에 응답하여 타이밍 컨트롤러(10)로부터 공급된 디지털 영상 데이터를 아날로그 데이터 전압으로 변환하고, 데이터 전압을 액정 패널(40)의 다수의 데이터 라인(DL)에 공급한다.

[0026] 데이터 드라이버(20)는 감마 전압 생성부(70)로부터 공급된 기준 감마 전압 세트를 영상 데이터의 계조값에 각

각 대응하는 계조 전압들로 세분화한 다음, 세분화된 계조 전압들을 이용하여 영상 데이터를 극성 제어 신호에 따라 정극성 또는 부극성 데이터 전압으로 변환하고, 각 게이트 라인(GL)이 구동되는 수평 기간마다 데이터 전압을 데이터 라인(DL)으로 공급한다.

- [0027] 특히, 데이터 드라이버(20)는 채널별로 n-1번째(n은 2이상의 자연수) 수평 기간에 공급될 제1 데이터와, n번째 수평 기간에 공급될 제2 데이터의 평균 데이터를 산출하고, 산출된 평균 데이터를 평균 전압으로 변환하여 n-1번째 및 n번째 수평 기간 사이의 수평 블랭크 기간에 채널별로 공급한다. 이에 따라, 데이터 드라이버(20)는 각 채널에 n-1번째 수평 기간에서 제1 데이터 전압을 공급하고, n-1번째 및 n번째 수평 기간 사이의 수평 블랭크 기간에서 제1 및 제2 데이터 전압의 평균 전압을 공급하며, n번째 수평 기간에서 제2 데이터 전압을 공급한다.
- [0028] 이에 따라, 데이터 드라이버(20)에서 채널별로 출력되는 데이터 전압의 스윙폭을 최소화하여 소비 전력을 감소시킬 수 있고, 제1 및 제2 데이터 전압의 혼합이 방지되므로 데이터 혼합으로 인한 세로선 불량을 방지할 수 있다.
- [0029] 데이터 드라이버(20)는 적어도 하나의 데이터 IC로 구성되어 TCP(Tape Carrier Package), COF(Chip On Film), FPC(Flexible Print Circuit) 등과 같은 회로 필름에 실장되어 액정 패널(40)에 TAB(Tape Automatic Bonding) 방식으로 부착되거나, COG(Chip On Glass) 방식으로 액정 패널(40) 상에 실장될 수 있다.
- [0030] 게이트 드라이버(30)는 타이밍 컨트롤러(10)로부터 공급된 게이트 제어 신호에 응답하여 액정 패널(40)의 게이트 라인(GL)을 순차 구동한다. 게이트 드라이버(30)는 각 게이트 라인(GL)에 해당 스캔 기간마다 게이트 온 전압의 스캔 펄스를 공급하고, 다른 게이트 라인(GL)이 구동되는 나머지 기간에는 게이트 오프 전압을 공급한다.
- [0031] 게이트 드라이버(30)는 적어도 하나의 게이트 IC로 구성되고 TCP, COF, FPC 등과 같은 회로 필름에 실장되어 액정 패널(40)에 TAB 방식으로 부착되거나, COG 방식으로 액정 패널(40) 상에 실장될 수 있다. 이와 달리, 게이트 드라이버(30)는 GIP(Gate In Panel) 방식으로 액정 패널(40)의 박막 트랜지스터 어레이와 함께 동일한 공정으로 박막 트랜지스터 기판 상에 형성되어 액정 패널(40)에 내장될 수 있다.
- [0032] 백라이트 유닛(50)은 CCFL, EEFL 등과 같은 형광 램프나, LED를 광원으로 포함하는 직하형 또는 에지형 백라이트를 이용한다. 직하형 백라이트는 액정 패널(40)의 배면과 대면하도록 표시 영역 전체에 배치된 광원 및 광원 상에 배치된 도광판 및 다수의 광학 시트를 포함하고, 광원으로부터 방출된 광은 다수의 광학 시트를 통해 액정 패널(40)에 조사된다. 에지형 백라이트는 액정 패널(40)의 배면과 대면하는 도광판과, 도광판의 적어도 1개의 에지와 마주하도록 배치된 광원과, 도광판 상에 배치된 다수의 광학 시트를 포함하고, 광원으로부터 방출된 광은 도광판을 통해 면광원으로 변환되어서 다수의 광학 시트를 통해 액정 패널(40)에 조사된다.
- [0033] 백라이트 드라이버(60)는 호스트 컴퓨터 또는 타이밍 컨트롤러(10)로부터 공급되는 디밍 신호에 응답하여 백라이트 유닛(50)을 구동함과 아울러 휘도를 제어한다. 백라이트 유닛(50)이 다수의 영역으로 분할 구동되는 경우 다수의 분할 영역을 독립적으로 구동하기 위한 다수의 백라이트 드라이버(60)를 구비할 수 있다.
- [0034] 도 3은 도 2에 도시된 데이터 드라이버의 내부 구성을 나타낸 블록도이다.
- [0035] 도 3에 도시된 데이터 드라이버(20)는 데이터 수신부(28), 쉬프트 레지스터(21), 제1 내지 제3 래치 어레이(22, 23, 25), 평균값 계산부(24), 계조 전압 생성부(29), 디지털/아날로그 변환기(이하 DAC) 어레이(26), 출력 버퍼 어레이(27)를 포함한다.
- [0036] 데이터 수신부(28)는 타이밍 컨트롤러(10)로부터 LVDS(Low Voltage Differential Signal) 인터페이스나, EPI(Embedded Point-to-point Interface), DP(Display Port) 또는 eDP(embedded Display Port) 인터페이스 등과 같은 다양한 인터페이스 기술로 공급된 신호들을 수신하고, 수신 신호로부터 영상 데이터 및 데이터 제어 신호들(SSP, SSC, SOE, POL)를 복원하여 출력한다.
- [0037] 쉬프트 레지스터(21)는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 따라 쉬프트시키면서 샘플링 신호들을 순차 출력한다.
- [0038] 제1 래치 어레이(22)는 쉬프트 레지스터(221)로부터 순차적으로 입력되는 샘플링 신호에 응답하여 데이터 수신부(28)로부터 입력되는 영상 데이터(VD)를 순차적으로 래치하고, 1 수평 라인분의 데이터가 모두 래치되면, 1 수평 라인분의 데이터를 제2 래치 어레이(23)로 출력함과 아울러 평균 데이터 산출부(24)에 n번째 (n은 자연수) 수평 기간의 제2 데이터들로 출력한다.

- [0039] 제2 래치 어레이(23)는 소스 출력 인에이블 신호(SOE)에 응답하여 제1 래치 어레이(22)로부터 입력되는 1 수평 라인분의 영상 데이터를 래치하고, 래치된 1 수평 라인분의 영상 데이터(VD)를 제3 래치 어레이(25)에 출력함과 아울러 평균 데이터 산출부(24)에 n-1번째 수평 기간의 제1 데이터들로 출력한다.
- [0040] 평균 데이터 산출부(24)는 제1 래치 어레이(22)로부터 공급된 n번째 수평 기간의 제2 데이터들과, 제2 래치 어레이(23)로부터 공급된 n-1번째 수평 기간의 제1 데이터들을 채널별로 평균하여, 채널별 평균 데이터를 제3 래치 어레이(25)로 출력한다.
- [0041] 제3 래치 어레이(25)는 소스 출력 인에이블 신호(SOE)에 응답하여 n-2번째 수평 기간에서 제2 래치 어레이(23)로부터 공급된 n-1번째 수평 라인의 제1 데이터들을 래치하여 DAC 어레이(26)로 출력하고, n-2번째 및 n-1번째 수평 기간 사이의 수평 블랭크 기간에 평균 데이터 산출부(24)로부터의 제1 및 제2 데이터의 평균 데이터를 래치하여 DAC 어레이(26)로 출력한 다음, n-1번째 수평 기간에서 제2 래치 어레이(23)로부터 공급된 n번째 수평 라인의 제2 데이터들을 래치하여 DAC 어레이(26)로 출력한다.
- [0042] 계조 전압 생성부(29)는 감마 전압 생성부(70)로부터의 기준 감마 전압 세트를 영상 데이터의 계조값에 각각 대응하는 정극성 및 부극성 계조 전압들로 세분화한 다음, 세분화된 계조 전압들을 DAC 어레이(26)로 출력한다.
- [0043] DAC 어레이(26)는 계조 전압 생성부(29)로부터 공급된 정극성 및 부극성 계조 전압들을 이용하여 제3 래치 어레이(25)로부터 공급된 영상 데이터를 극성 제어 신호(POL)에 따라 정극성 또는 부극성 데이터 전압으로 변환하여 출력한다. 또한, DAC 어레이(26)는 정극성 및 부극성 계조 전압들을 이용하여 제3 래치 어레이(25)로부터 공급된 평균 데이터도 평균 데이터 전압으로 변환하여 출력한다.
- [0044] DAC 어레이(26)는 n-1번째 수평 기간에서 제3 래치 어레이(25)로 공급된 제1 데이터들을 데이터 전압으로 변환하여 출력하고, n-1번째 및 n번째 수평 기간 사이의 수평 블랭크 기간에서 제3 래치 어레이(25)로부터 공급된 제1 및 제2 데이터의 평균 데이터를 평균 데이터 전압으로 변환하여 출력한 다음, n번째 수평 기간에서 제3 래치 어레이(25)로부터 공급된 제2 데이터들을 데이터 전압으로 변환하여 출력한다.
- [0045] 출력 버퍼 어레이(27)는 출력 채널들(CH1~CHm)에 일대일로 접속되는 다수의 출력 버퍼들을 포함한다. 출력 버퍼 어레이(27)는 출력 인에이블 신호(SOE)에 응답하여 DAC 어레이(26)로부터 공급되는 데이터 전압 및 평균 데이터 전압을 출력한다.
- [0046] 출력 버퍼 어레이(27)는 n-1번째 수평 기간에서 DAC 어레이(26)로부터 공급된 제1 데이터 전압들을 채널별로 출력하고, n-1번째 및 n번째 수평 기간 사이의 수평 블랭크 기간에서 DAC 어레이(26)로부터 공급된 평균 전압을 채널별로 출력한 다음, n번째 수평 기간에서 DAC 어레이(26)로부터 공급된 2 데이터 전압들을 채널별로 출력한다.
- [0047] 도 4는 도 3에 도시된 데이터 드라이버의 구동 파형도이다.
- [0048] 도 4를 참조하면, 게이트 스타트 펄스(GSP)에 응답하여 수평 기간마다 게이트 라인(GL1, GL2, ...)이 순차적으로 구동되고, 게이트 라인(GL1, GL2, ...)이 구동될 때마다 데이터 드라이버(20)는 해당 수평 라인의 데이터 전압(D1, D2, ...)을 데이터 라인으로 출력한다. 이때, 데이터 드라이버(20)에서 제1 수평 기간(H1)에서 데이터 라인으로 출력되는 제1 데이터(D1)와, 제2 수평 기간(H2)에서 데이터 라인으로 출력되는 제2 데이터(D2)는 4 수평 기간(4H)의 마진을 두고 제1 래치 어레이(22)에 래치되어야 한다. 데이터 드라이버(20)는 n-4 수평 기간(Hn-4)에서 제2 래치 어레이(23)가 n-1 수평 기간에 공급될 제1 데이터(D1)를 래치하고, n-3 수평 기간(Hn-3)에서 제1 래치 어레이(22)가 n 수평 기간에 공급될 제2 데이터(D2)를 래치하고, n-2 수평 기간(Hn-2)에서 평균 데이터 산출부(24)가 제1 및 제2 데이터(D1, D2)의 평균 데이터 (D1+D2)/2를 산출하고, n-1 수평 기간(Hn-1)에서 제3 래치 어레이(25)가 평균 데이터 및 제2 데이터 전압을 래치한다.
- [0049] 도 5는 도 2에 도시된 데이터 드라이버로부터 어느 하나의 데이터 라인에 공급되는 데이터 전압의 파형도이고, 도 6은 본 발명의 액정 표시 장치에서 종래의 차지 셰어링 컨트롤 기술과 대비하여 데이터 전압의 스윙폭이 감소된 효과를 보여주는 도면이다.
- [0050] 도 5를 참조하면, 데이터 드라이버는 제1 수평 기간(H1; SOE 로우 논리 기간)에서 제1 데이터 전압(D1)을 출력하고, 제2 수평 기간(H2)에서 제2 데이터 전압(D2)을 출력하며, 제1 및 제2 수평 기간(H1, H2) 사이의 수평 블랭크 기간(①; SOE 하이 논리 기간)에서 제1 및 제2 데이터(D1, D2)의 평균 전압이 공급된다. 이와 유사하게, 제2 수평 기간(H2)와 제3 수평 기간(H3) 사이의 수평 블랭크 기간(②)에는 제2 및 제3 데이터(D2, D3)의 평균 전압이 공급되며, 제3 수평 기간(H3)와 제4 수평 기간(H4) 사이의 수평 블랭크 기간(③)에는 제3 및 제4 데이터

(D3, D4)의 평균 전압이 공급된다.

[0051] 이에 따라, 도 6(a)와 같이 종래의 차징 웨어링 방식은 동일 극성의 동일한 데이터 전압도 차지 웨어링 구간에서 공통 전압까지 불필요하게 스윙하여 소비 전력이 증가하는 반면, 도 6(b)와 같이 수평 블랭크 기간에 채널별 평균 전압을 공급하는 본 발명의 프리차지 방식은 데이터 전압의 스윙폭을 감소시킴으로써 소비 전력을 감소시킬 수 있고, 제1 및 제2 데이터 전압의 혼합이 방지되므로 데이터 혼합으로 인한 세로선 불량을 방지할 수 있다.

[0052] 전술한 바와 같이, 본 발명에 따른 액정 표시 장치 및 그 구동 방법은 n-1번째 수평 기간에 공급될 제1 데이터와, n번째 수평 기간에 공급될 제2 데이터의 평균 데이터를 산출하고, 산출된 평균 데이터를 평균 전압으로 변환하여 n-1번째 및 n번째 수평 기간 사이의 수평 블랭크 기간에 채널별로 공급함으로써 데이터 전압의 스윙폭을 최소화하여 소비 전력을 감소시킬 수 있고, 제1 및 제2 데이터 전압의 혼합이 방지되므로 데이터 혼합으로 인한 세로선 불량을 방지할 수 있다.

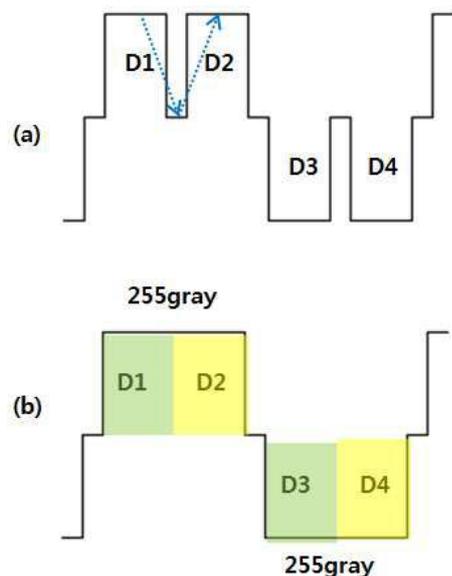
[0053] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

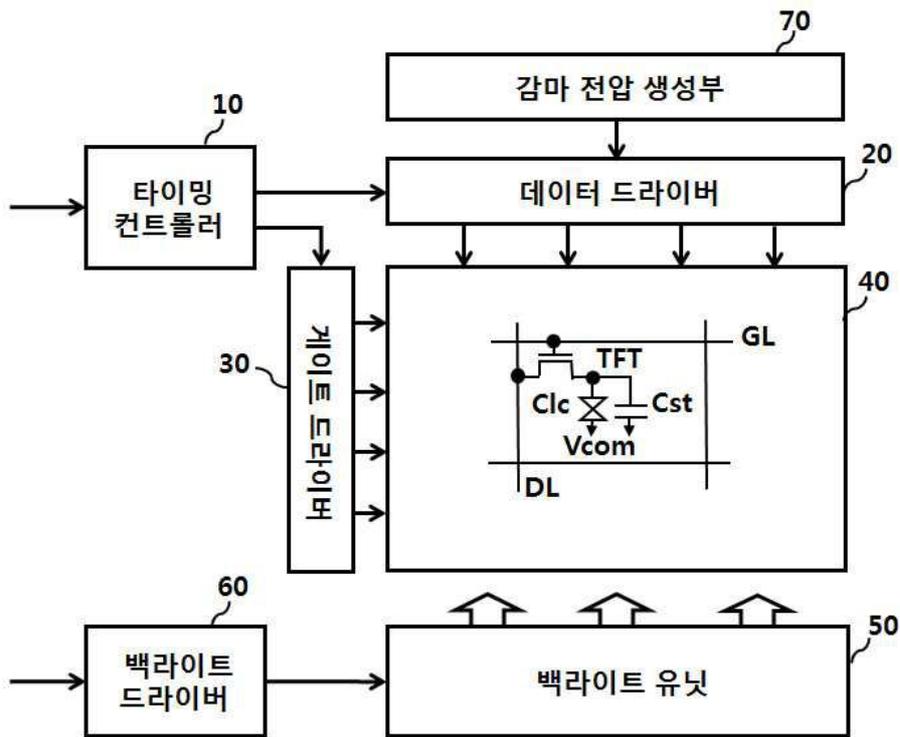
- | | | |
|--------|----------------|---------------|
| [0054] | 10: 타이밍 컨트롤러 | 20: 데이터 드라이버 |
| | 30: 게이트 드라이버 | 40: 액정 패널 |
| | 50: 백라이트 유닛 | 60: 백라이트 드라이버 |
| | 70: 감마 전압 생성부 | 21: 쉬프트 레지스터 |
| | 22: 제1 래치 어레이 | 23: 제2 래치 어레이 |
| | 24: 평균 데이터 산출부 | 25: 제3 래치 어레이 |
| | 26: DAC 어레이 | 27: 출력 버퍼 어레이 |
| | 28: 데이터 수신부 | 29: 계조 전압 생성부 |

도면

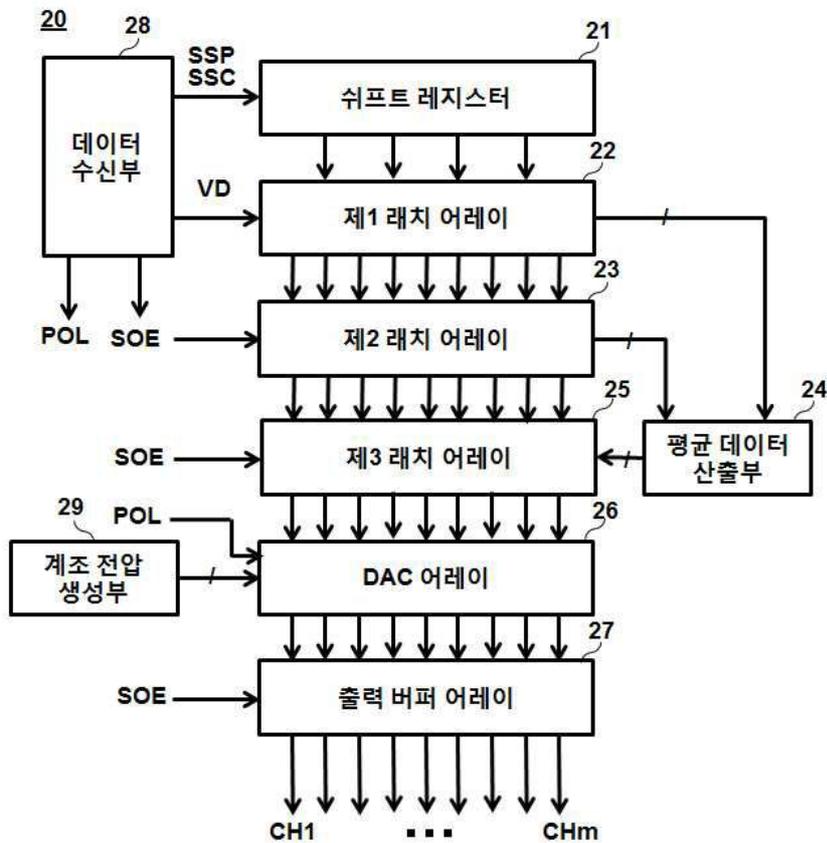
도면1



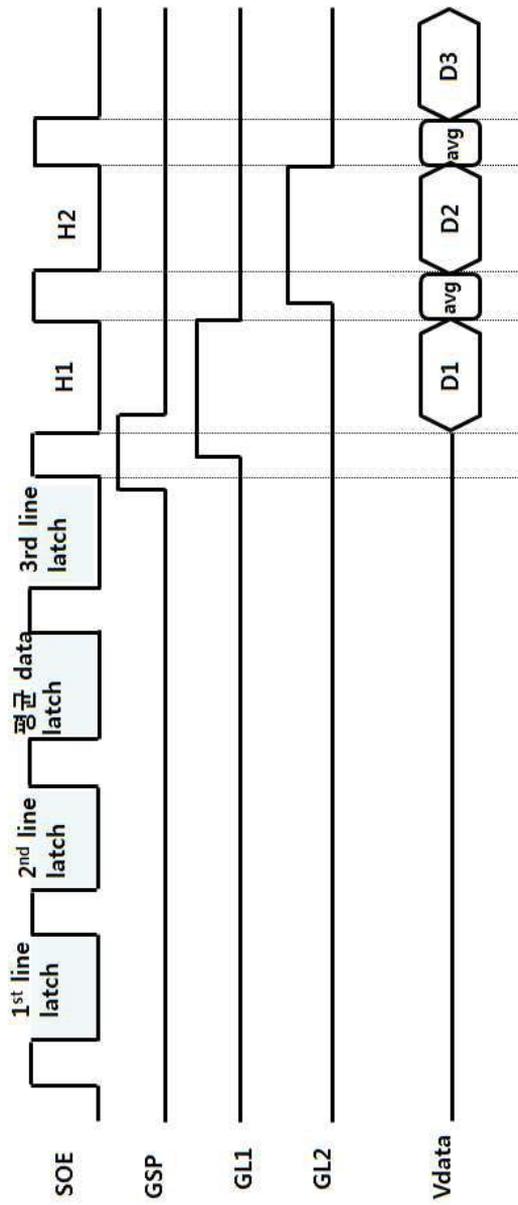
도면2



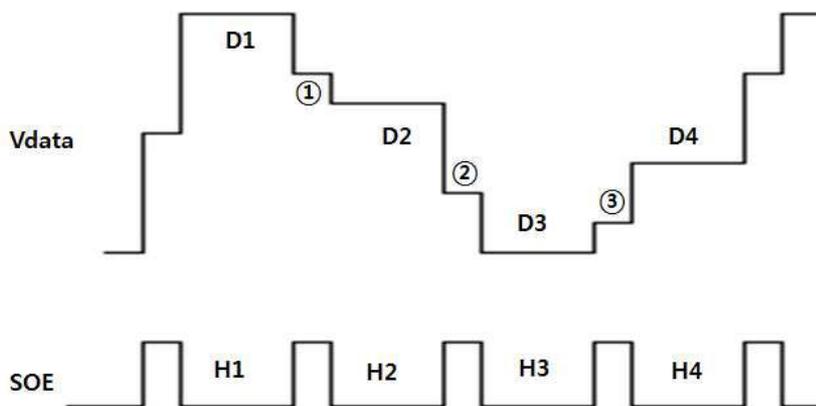
도면3



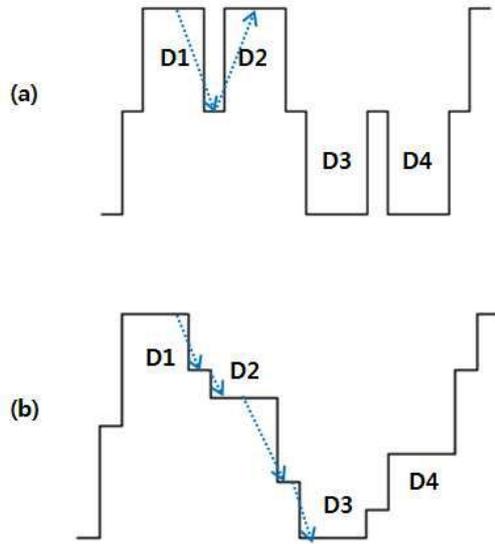
도면4



도면5



도면6



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020160094132A	公开(公告)日	2016-08-09
申请号	KR1020150015338	申请日	2015-01-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JUN YONG 최준용		
发明人	최준용		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其驱动方法技术领域本发明涉及一种能够在最小化数据驱动器的功耗的同时防止图像质量缺陷的液晶显示装置及其驱动方法，以及液晶显示装置及其驱动方法，在第n个水平周期中提供1个数据和第二个数据，将计算的平均数据转换为平均电压，并将平均数据提供给 (n-1) 之间的水平消隐周期。可以使数据电压的摆动宽度最小化以降低功耗，并且防止第一和第二数据电压的混合，从而可以防止由于数据混合引起的垂直线缺陷。

