



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0083352
(43) 공개일자 2016년07월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(21) 출원번호 10-2014-0194312

(22) 출원일자 2014년12월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

지혜립

경기도 파주시 월롱면 엘씨디로201, 정다운마을 아파트 B동 205호

문태웅

경기도 파주시 후곡로 50 421동 1801호 (금촌동, 후곡마을아파트)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 8 항

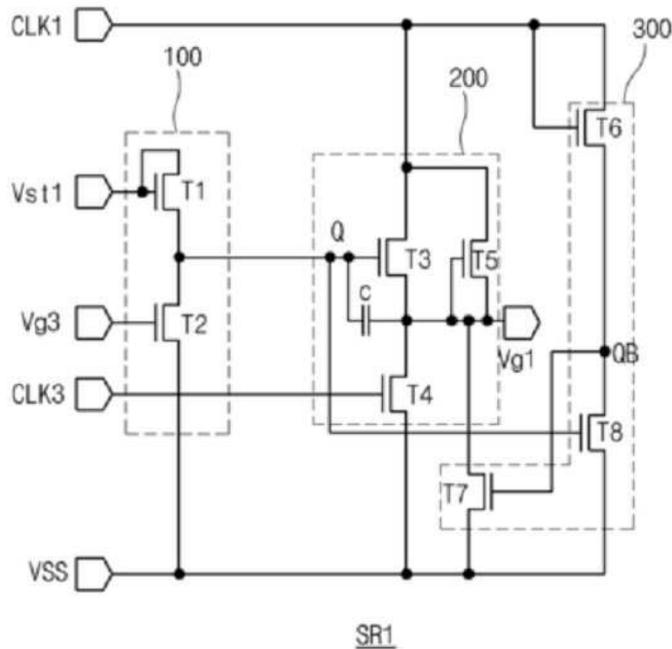
(54) 발명의 명칭 게이트 구동부 및 이를 포함하는 액정표시장치

(57) 요약

본 발명은 영상의 표시품질 저하를 방지하는 게이트 구동부 및 이를 포함하는 액정표시장치를 제공하기 위하여, 스타트신호에 의해 순차적으로 출력신호를 출력하는 다수의 시프트레지스터를 포함하는 게이트 구동부에 있어서, 상기 다수의 시프트레지스터 각각은, 제1스타트신호 입력단 및 Q 노드 사이에 접속되는 제1트랜지스터와 상기 Q

(뒷면에 계속)

대표도 - 도3



노드, 제3출력신호 입력단 및 저전위전압 입력단 사이에 접속된 제2트랜지스터와 제1클럭신호 입력단, 상기 Q 노드 및 제1출력신호 출력단 사이에 접속된 제3트랜지스터와 제3클럭신호 입력단, 상기 저전위전압 입력단 및 상기 제3트랜지스터의 소스단 사이에 접속된 제4트랜지스터와 상기 제3트랜지스터의 드레인단 및 상기 제1출력신호 출력단 사이에 접속된 제5트랜지스터와 상기 Q 노드 및 상기 제3트랜지스터의 소스단 사이에 접속된 커패시터와 상기 제1클럭신호 입력단 및 QB 노드 사이에 접속된 제6트랜지스터와 상기 QB 노드, 상기 저전위전압 입력단 및 상기 제1출력신호 출력단 사이에 접속된 제7트랜지스터 및 상기 Q 노드, 상기 QB 노드 및 상기 저전위전압 입력단 사이에 접속된 제8트랜지스터를 포함하는 게이트 구동부를 제공한다.

명세서

청구범위

청구항 1

스타트신호에 의해 순차적으로 출력신호를 출력하는 다수의 시프트레지스터를 포함하는 게이트 구동부에 있어서,

상기 다수의 시프트레지스터 각각은,

제1스타트신호 입력단 및 Q 노드 사이에 접속되는 제1트랜지스터;

상기 Q 노드, 제3출력신호 입력단 및 저전위전압 입력단 사이에 접속된 제2트랜지스터;

제1클럭신호 입력단, 상기 Q 노드 및 제1출력신호 출력단 사이에 접속된 제3트랜지스터;

제3클럭신호 입력단, 상기 저전위전압 입력단 및 상기 제3트랜지스터의 소스단 사이에 접속된 제4트랜지스터;

상기 제3트랜지스터의 드레인단 및 상기 제1출력신호 출력단 사이에 접속된 제5트랜지스터;

상기 Q 노드 및 상기 제3트랜지스터의 소스단 사이에 접속된 커패시터;

상기 제1클럭신호 입력단 및 QB 노드 사이에 접속된 제6트랜지스터;

상기 QB 노드, 상기 저전위전압 입력단 및 상기 제1출력신호 출력단 사이에 접속된 제7트랜지스터; 및

상기 Q 노드, 상기 QB 노드 및 상기 저전위전압 입력단 사이에 접속된 제8트랜지스터

를 포함하는 게이트 구동부.

청구항 2

제 1 항에 있어서,

상기 제1 및 제6트랜지스터 각각의 게이트단 및 드레인단은 연결되고, 상기 제5트랜지스터의 게이트단 및 소스단은 연결되는 게이트 구동부.

청구항 3

제 2 항에 있어서,

상기 제1, 제5 및 제6트랜지스터는 일방향으로만 전압을 통과시키는 다이오드 기능을 갖는 게이트 구동부.

청구항 4

제 1 항에 있어서,

상기 제1스타트 신호는 하이 상태의 전압이고, 상기 저전위전압은 로우 상태인 게이트 구동부.

청구항 5

제 4 항에 있어서,

상기 제7트랜지스터는 상기 QB 노드의 전압에 의해 턴-온되는 게이트 구동부.

청구항 6

제 5 항에 있어서,

상기 제7트랜지스터는 상기 제8트랜지스터에 의해 상기 제1출력신호의 하이 상태 구간에서 턴-오프 되는 게이트 구동부.

청구항 7

제 6 항에 있어서,

상기 제6트랜지스터는 상기 제1클럭신호 입력단으로부터 인가되는 하이 상태의 제1클럭신호 또는 하이 상태의 전압안정화신호에 의해 턴-온 되는 게이트 구동부.

청구항 8

제 1 항의 게이트 구동부;

상기 게이트 구동부로부터 상기 제1출력신호를 인가 받는 게이트 배선과, 상기 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 액정 패널;

상기 데이터 배선을 구동시키는 데이터 구동부; 및

상기 게이트 구동부 및 상기 데이터 구동부를 제어하는 타이밍 컨트롤러를 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 구동부 및 이를 포함하는 액정표시장치에 관한 것으로, 특히 영상의 표시품질 저하를 방지하는 게이트 구동부 및 이를 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 액정패널과, 액정패널의 데이터 라인에 데이터를 공급하기 위한 데이터 구동부와, 액정패널의 게이트 라인에 게이트 펄스를 공급하기 위한 게이트 구동부와, 데이터 구동부 및 게이트 구동부를 제어하기 위한 타이밍 컨트롤러를 구비한다.

[0003] 이러한, 액정표시장치는 일반적으로 게이트 및 데이터 구동부를 집적회로 형태로 형성하여 TCP 또는 COF와 같이 액정패널에 부착하여 사용한다.

[0004] 이로 인해서 부품소자 수가 증가하고, 부품소자 수의 증가에 따른 공정 증가로 공정비용이 상승하여 액정표시장치를 경량화 및 소형화 하는데 문제점이 되고 있어, 게이트 구동부를 액정표시패널에 형성하는 GIP(Gate In Panel) 방식의 액정표시장치가 제안되었다.

[0005] GIP방식의 액정표시장치의 액정패널의 표시영역에는 액정셀을 정의하는 다수의 게이트 및 데이터 배선이 교차되어 형성되어 있고, 표시영역의 외곽에서 다수의 박막 트랜지스터로 구성되는 GIP 방식의 게이트 구동부(이하, 내장형 게이트 구동부라고 칭함)가 구비되어 있다.

[0006] 도 1은 종래의 내장형 게이트 구동부에 구비된 시프트레지스터의 상세한 회로구성을 나타낸 도면이다.

[0007] 스타트신호에 의해 순차적으로 출력신호를 출력하는 다수의 시프트레지스터를 포함하는 게이트 구동부에 있어서, 도 1에 도시한 바와 같이, 제1시프트레지스터(SR1)는 Q 노드를 제어하는 제어부(10)와, Q 노드에 따라 제1클럭 신호(CLK1)를 출력하는 출력부(20)를 구비한다.

- [0008] 제어부(10)는 Q 노드를 제어하여 출력부(20)의 제3트랜지스터(T3)를 통해 제1클럭 신호(CLK1)를 출력 한다.
- [0009] 이에 따라 출력된 제1클럭신호(CLK1)는 제1게이트라인으로 하이 상태의 제1출력신호(Vg1)로 공급된다.
- [0010] 이를 위하여, 제어부(10)는 제1스타트 신호(Vst1) 입력단과 Q 노드 사이에 접속된 제1트랜지스터(T1)와, Q 노드, 제3출력신호(Vg3) 입력단 및 저전위전압(VSS) 입력단 사이에 접속된 제2트랜지스터(T2)를 구비한다.
- [0011] 제1트랜지스터(T1)는 드레인단과 게이트단이 연결됨으로써 다이오드 기능을 갖는다. 즉, 제1트랜지스터(T1)의 드레인단 전압이 소스단으로 인가되지만, 반대로 소스단 전압이 드레인단으로 인가되지 않는다.
- [0012] 따라서, 제1트랜지스터(T1)는 제1스타트 신호(Vst1)를 Q 노드에 충전되도록 하고, Q 노드에 충전된 전압은 제1 트랜지스터(T1)를 통해 외부로 방전되는 것을 방지한다.
- [0013] 제2트랜지스터(T2)는 Q 노드를 초기화시키는 것으로써, 제3출력신호(Vg3)에 의해 턴-온될 때 로우 상태의 저전 위전압(VSS)을 Q 노드에 충전시킨다.
- [0014] 이에 따라, 다음 프레임에서 하이 상태의 제1스타트 신호(Vst1)가 Q 노드에 충전될 수 있도록 한다.
- [0015] 출력부(20)는 Q 노드의 전압 상태에 따라, 하이 상태의 제1 클럭신호(CLK1)를 제1게이트라인으로 출력하고, 제1 게이트라인으로 출력된 제1출력신호(Vg1)를 방전시킨다.
- [0016] 이를 위하여, 출력부(20)는 제1클럭 신호(CLK1) 입력단, Q 노드 및 제1출력신호(Vg1) 출력단 사이에 접속된 제3 트랜지스터(T3)와, 제3클럭 신호(CLK3) 입력단, 저전위전압(VSS) 입력단 및 제3트랜지스터(T3)의 소스단 사이에 접속된 제4트랜지스터(T4)와, 제3트랜지스터(T3)의 드레인단과 제1출력신호(Vg1) 출력단 사이에 접속된 제5트랜 지스터(T5)와, Q 노드와 제3트랜지스터의 소스단 사이에 접속된 커패시터(C)를 구비한다.
- [0017] 제3트랜지스터(T3)는 Q 노드에 충전된 하이 상태의 전압에 의해 턴-온되어, 하이 상태의 제1클럭 신호(CLK1)를 제1출력신호(Vg1) 출력단으로 출력한다.
- [0018] 한편, 도면에는 도시하지 않았지만, 제2시프트레지스터는 제2스타트 신호에 의해 개시되며, 제1시프트레지스터 (SR1)와 동일한 과정을 거쳐 제2출력신호가 제2게이트라인으로 출력된다.
- [0019] 또한, 제1출력신호(Vg1)는 제3시프트레지스터의 개시 신호로 입력된다. 이에 따라, 제3시프트레지스터에서는 제 3출력신호(Vg3)가 제3게이트라인으로 출력된다.
- [0020] 또한, 제3출력신호(Vg3)는 제1시프트레지스터(SR1)의 제3출력신호(Vg3) 입력단으로 공급되며, 제3출력신호(Vg 3)에 의해 제2 트랜지스터(T2)가 턴-온되어 로우 상태의 저전위전압(VSS)이 Q노드에 충전된다.
- [0021] 제5트랜지스터(T5)는 소스단과 게이트단이 연결됨으로써 다이오드 기능을 갖는다. 따라서, 제5트랜지스터(T5)의 게이트단에 하이상태의 제1클럭신호(CLK1)가 인가되면 턴-온 되어 제1출력신호(Vg1)를 출력되도록 하고, 제5트 랜지스터(T5)의 게이트단에 로우상태의 저전위전압(VSS)이 인가되면 턴-오프 되어 하이상태의 제1클럭신호 (CLK1)가 출력되는 것을 방지한다.
- [0022] 커패시터(C)는 제1트랜지스터(T1)의 게이트단에 하이 상태의 제1스타트 신호(Vst1)가 입력되어 제1트랜지스터 (T1)가 턴-온 되면 제1스타트 신호(Vst1)의 전압레벨로 충전된다.
- [0023] 이후, 커패시터(C)가 제3트랜지스터(T3)의 게이트단과 소스단 사이의 문턱전압 이상으로 충전되고, 제1클럭 신 호(CLK1)가 하이 상태가 되면 부트스트래핑(Bootstrapping)현상이 발생하여, Q 노드에는 제1스타트 신호(Vst1)의 전압레벨 보다 더 큰 전압이 충전 되어 확실한 하이 상태가 되고, 이에 따라 제3트랜지스터(T3)는 턴-온 된다.
- [0024] 제4트랜지스터(T4)는 제3클럭신호(CLK3)에 의해 턴-온되어 로우 상태의 저전위전압(VSS)을 제1출력신호(Vg1)의 출력단에 인가한다.
- [0025] 이 때, 제3출력신호(Vg3)에 의해 턴-온된 제2트랜지스터(T2)에 의해 로우 상태의 저전위전압(VSS)이 Q 노드에 충전되어 제3 트랜지스터(T3)를 턴-오프시켜 초기화가 이루어진다.
- [0026] 이와 같은 과정은 매 프레임 별로 반복적으로 수행되게 된다.
- [0027] 도 2는 종래의 내장형 게이트 구동부에 구비된 시프트레지스터의 출력신호 파형을 도시한 도면이다.
- [0028] 도면에 도시한 바와 같이, 제1출력신호는 하이 상태 구간(H)과 로우 상태 구간(L)으로 구분된다.
- [0029] 이 때, 로우 상태 구간(L)에서 제3출력신호(Vg3)에 의해 턴-온된 제2트랜지스터(T2)에 의해 로우 상태의 저전위

전압(VSS)이 Q 노드에 충전되는데, 초기 구동시 제3출력신호(Vg3)에 과형이 왜곡되는 리플(Ripple) 현상이 발생하는 경우, 제2트랜지스터(T2)에 스트레스를 가하게 되고, 이에 따라 Q노드에 충전되는 저전위전압(VSS)도 왜곡되어 제1출력신호의 과형도 이에 영향을 받아 리플(Ripple) 현상이 발생한다.

[0030] 종래의 내장형 게이트 구동부에 구비된 시프트레지스터는 이러한 리플(Ripple) 현상으로 인해 영상의 표시품질을 저하시키는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0031] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 게이트 구동부에서 출력되는 출력신호의 과형이 왜곡되는 리플(Ripple) 현상을 방지할 수 있는 게이트 구동부 및 이를 포함하는 액정표시장치를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

[0032] 본 발명은 상기한 바와 같은 목적을 달성하기 위하여, 스타트신호에 의해 순차적으로 출력신호를 출력하는 다수의 시프트레지스터를 포함하는 게이트 구동부에 있어서, 상기 다수의 시프트레지스터 각각은, 제1스타트신호 입력단 및 Q 노드 사이에 접속되는 제1트랜지스터와 상기 Q 노드, 제3출력신호 입력단 및 저전위전압 입력단 사이에 접속된 제2트랜지스터와 제1클럭신호 입력단, 상기 Q 노드 및 제1출력신호 출력단 사이에 접속된 제3트랜지스터와 제3클럭신호 입력단, 상기 저전위전압 입력단 및 상기 제3트랜지스터의 소스단 사이에 접속된 제4트랜지스터와 상기 제3트랜지스터의 드레인단 및 상기 제1출력신호 출력단 사이에 접속된 제5트랜지스터와 상기 Q 노드 및 상기 제3트랜지스터의 소스단 사이에 접속된 커패시터와 상기 제1클럭신호 입력단 및 QB 노드 사이에 접속된 제6트랜지스터와 상기 QB 노드, 상기 저전위전압 입력단 및 상기 제1출력신호 출력단 사이에 접속된 제7트랜지스터 및 상기 Q 노드, 상기 QB 노드 및 상기 저전위전압 입력단 사이에 접속된 제8트랜지스터를 포함하는 게이트 구동부를 제공한다.

[0033] 또한, 상기 제1 및 제6트랜지스터 각각의 게이트단 및 드레인단은 연결되고, 상기 제5트랜지스터의 게이트단 및 소스단은 연결된다.

[0034] 또한, 상기 제1, 제5 및 제6트랜지스터는 일방향으로만 전압을 통과시키는 다이오드 기능을 갖는다.

[0035] 또한, 상기 제1스타트 신호는 하이 상태의 전압이고, 상기 저전위전압은 로우 상태의 전압이다.

[0036] 또한, 상기 제7트랜지스터는 상기 QB 노드의 전압에 의해 턴-온된다.

[0037] 또한, 상기 제7트랜지스터는 상기 제8트랜지스터에 의해 상기 제2출력신호의 하이 상태 구간에서 턴-오프 된다.

[0038] 또한, 상기 게이트 구동부와 상기 게이트 구동부로부터 상기 제1출력신호를 인가 받는 게이트 배선과, 상기 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 액정 패널과 상기 데이터 배선을 구동시키는 데이터 구동부 및 상기 게이트 구동부 및 상기 데이터 구동부를 제어하는 타이밍 콘트롤러를 포함하는 액정표시장치를 제공한다.

발명의 효과

[0039] 본 발명의 게이트 구동부 및 이를 포함하는 액정표시장치는 게이트 구동부에서 출력되는 출력신호의 과형 특히 게이트 로우전압의 출력과형을 안정화 하여, 출력과형이 왜곡되는 리플(Ripple) 현상을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

- [0040] 도 1은 종래의 내장형 게이트 구동부에 구비된 시프트레지스터의 상세한 회로구성을 나타낸 도면이다.
- 도 2는 종래의 내장형 게이트 구동부에 구비된 시프트레지스터의 출력신호 파형을 도시한 도면이다.
- 도 3은 본 발명의 실시예에 따른 내장형 게이트 구동부에 구비된 시프트레지스터의 상세한 회로구성을 나타낸 도면이다.
- 도 4는 도 3의 시프트레지스터의 스타트 신호, 클럭신호, Q노드의 전압, 출력신호의 파형 및 박막트랜지스터의 온/오프구간을 도시한 도면이다.
- 도 5는 본 발명의 실시예에 따른 내장형 게이트 구동부에 구비된 시프트레지스터의 출력신호 파형을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

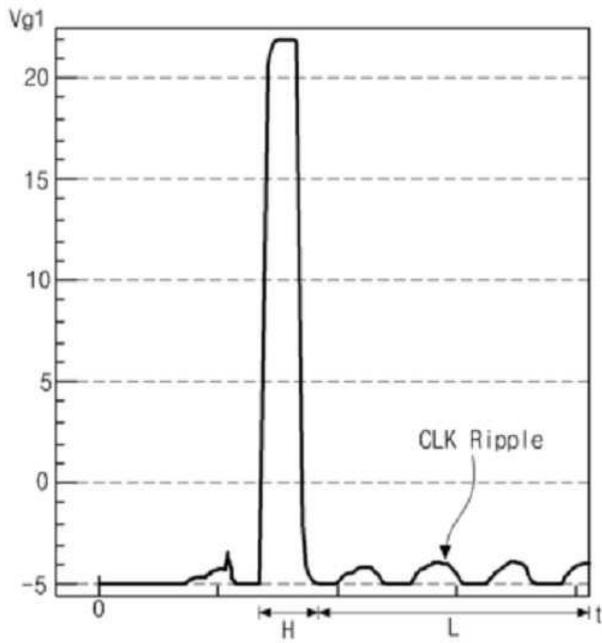
- [0041] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0042] 도 3은 본 발명의 실시예에 따른 내장형 게이트 구동부에 구비된 시프트레지스터의 상세한 회로구성을 나타낸 도면이다.
- [0043] 스타트신호에 의해 순차적으로 출력신호를 출력하는 다수의 시프트레지스터를 포함하는 게이트 구동부에 있어서, 도 3에 도시한 바와 같이, 제1시프트레지스터(SR1)는 Q 노드를 제어하는 제어부(100)와, Q 노드에 따라 제1출력 신호(Vg1)를 출력하는 출력부(200)와, Q 노드의 전압레벨이 로우 상태일 때 출력부(200)에서 안정된 제1출력 신호(Vg1)가 출력되도록 하는 보상부(300)를 구비한다.
- [0044] 제어부(100)는 Q 노드를 제어하여 출력부(200)의 제3트랜지스터(T3)를 통해 제1클럭 신호(CLK1)를 출력 한다.
- [0045] 이에 따라 출력된 제1클럭신호(CLK1)는 제1게이트라인으로 하이 상태의 제1출력신호(Vg1)로 공급된다.
- [0046] 이를 위하여, 제어부(100)는 제1스타트 신호(Vst1) 입력단과 Q 노드 사이에 접속된 제1트랜지스터(T1)와, Q 노드, 제3출력신호(Vg3) 입력단 및 저전위전압(VSS) 입력단 사이에 접속된 제2트랜지스터(T2)를 구비한다.
- [0047] 제1트랜지스터(T1)는 드레인단과 게이트단이 연결됨으로써 다이오드 기능을 갖는다. 즉, 제1트랜지스터(T1)의 소스단의 전압은 드레인단으로 인가 되지만, 반대로 드레인단의 전압은 소스단으로 인가되지 않는다.
- [0048] 따라서, 제1트랜지스터(T1)는 제1스타트 신호(Vst1)를 Q 노드에 충전되도록 하고, Q 노드에 충전된 전압은 제1트랜지스터(T1)를 통해 외부로 방전되는 것을 방지한다.
- [0049] 제2트랜지스터(T2)는 Q 노드를 초기화시키는 것으로써, 제3출력신호(Vg3)에 의해 턴-온될 때 로우 상태의 저전위전압(VSS)을 Q 노드에 충전시킨다.
- [0050] 이에 따라, 다음 프레임에서 하이 상태의 제1스타트 신호(Vst1)가 Q 노드에 충전될 수 있도록 한다.
- [0051] 출력부(200)는 Q 노드의 전압 상태에 따라, 하이 상태의 제1 클럭신호(CLK1)를 제1게이트라인으로 출력하고, 제1게이트라인으로 출력된 제1출력신호(Vg1)를 방전시킨다.
- [0052] 이를 위하여, 출력부(200)는 제1클럭 신호(CLK1) 입력단, Q 노드 및 제1출력신호(Vg1) 출력단 사이에 접속된 제3트랜지스터(T3)와, 제3클럭 신호(CLK3) 입력단, 저전위전압(VSS) 입력단 및 제3트랜지스터(T3)의 소스단 사이에 접속된 제4트랜지스터(T4)와, 제3트랜지스터(T3)의 드레인단과 제1출력신호(Vg1) 출력단 사이에 접속된 제5트랜지스터(T5)와, Q 노드와 제3트랜지스터(T3)의 소스단 사이에 접속된 커패시터(C)를 구비한다.
- [0053] 제3트랜지스터(T3)는 Q 노드에 충전된 하이 상태의 전압에 의해 턴-온되어, 하이 상태의 제1클럭 신호(CLK1)를 제1출력신호(Vg1) 출력단으로 출력한다.
- [0054] 한편, 도면에는 도시하지 않았지만, 제2시프트레지스터는 제2스타트 신호에 의해 개시되며, 제1시프트레지스터(SR1)와 동일한 과정을 거쳐 제2출력신호가 제2게이트라인으로 출력된다.
- [0055] 또한, 제1출력신호(Vg1)는 제3시프트레지스터의 개시 신호로 입력된다. 이에 따라, 제3시프트레지스터에서는 제3출력신호(Vg3)가 제3게이트라인으로 출력된다.
- [0056] 또한, 제3출력신호(Vg3)는 제1시프트레지스터(SR1)의 제3출력신호(Vg3) 입력단으로 공급되며, 제3출력신호(Vg

3)에 의해 제2 트랜지스터(T2)가 턴-온되어 로우 상태의 저전위전압(VSS)이 Q노드에 충전된다.

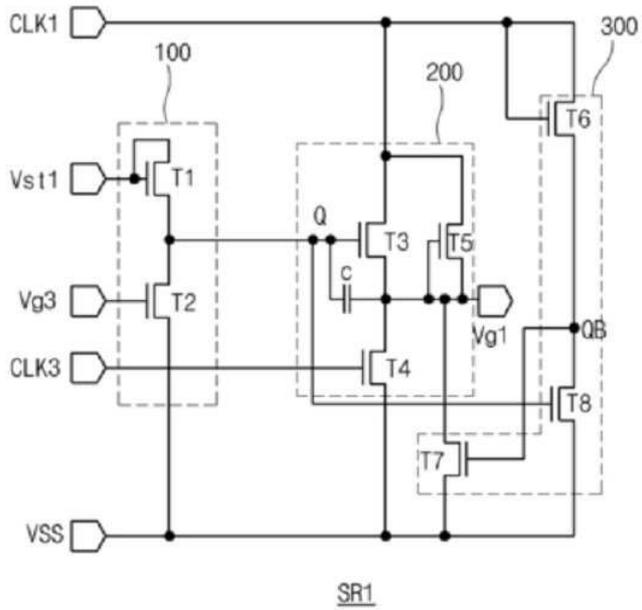
- [0057] 제5트랜지스터(T5)는 소스단과 게이트단이 연결됨으로써 다이오드 기능을 갖는다. 따라서, 제5트랜지스터(T5)의 게이트단에 하이상태의 제1클럭신호(CLK1)가 인가되면 턴-온 되어 제1출력신호(Vg1)를 출력되도록 하고, 제5트랜지스터(T5)의 게이트단에 로우상태의 저전위전압(VSS)이 인가되면 턴-오프 되어 하이상태의 제1클럭신호(CLK1)가 출력되는 것을 방지한다.
- [0058] 커패시터(C)는 제1트랜지스터(T1)의 게이트단에 하이 상태의 제1스타트 신호(Vst1)가 입력되어 제1트랜지스터(T1)가 턴-온 되면 제1스타트 신호(Vst1)의 전압레벨로 충전된다.
- [0059] 이후, 커패시터(C)가 제3트랜지스터(T3)의 게이트단과 소스단 사이의 문턱전압 이상으로 충전되고, 제1클럭 신호(CLK1)가 하이 상태가 되면 부트스트래핑(Bootstrapping)현상이 발생하여, Q 노드에는 제1스타트 신호(Vst1)의 전압레벨 보다 더 큰 전압이 충전 되어 확실한 하이 상태가 되고, 이에 따라 제3트랜지스터(T3)는 턴-온 된다.
- [0060] 제4트랜지스터(T4)는 제3클럭신호(CLK3)에 의해 턴-온되어 로우 상태의 저전위전압(VSS)을 제1출력신호(Vg1)의 출력단에 인가한다.
- [0061] 이 때, 제3출력신호(Vg3)에 의해 턴-온된 제2트랜지스터(T2)에 의해 로우 상태의 저전위전압(VSS)이 Q 노드에 충전되어 제3 트랜지스터(T3)를 턴-오프시킨다.
- [0062] 보상부(300)는 Q 노드의 전압레벨이 로우 상태일 때 출력부(200)에서 안정된 제1출력 신호(Vg1)가 출력되도록 한다.
- [0063] 이를 위하여, 보상부(300)는 제1클럭신호(CLK1) 입력단과 QB 노드 사이에 접속된 제6트랜지스터(T6)와, QB 노드와 저전위전압(VSS) 입력단 및 제1출력신호(Vg1) 출력단 사이에 접속된 제7트랜지스터(T7)와, Q 노드와 QB 노드 및 저전위전압(VSS) 입력단 사이에 접속된 제8트랜지스터(T8)를 구비한다.
- [0064] 구체적으로, 제6트랜지스터(T6)의 소스전극은 QB 노드에 연결되고, 게이트단 및 소스단은 제1클럭신호(CLK1) 입력단과 연결됨으로써, 다이오드 기능을 갖는다. 즉, 제6트랜지스터(T6)는 드레인단의 전압은 소스단으로 인가되지만, 반대로 소스단의 전압은 드레인단으로 인가되지 않는다.
- [0065] 따라서, 제6트랜지스터(T6)는 제1클럭신호(CLK1)를 QB 노드에 충전되도록 하는 대신, QB 노드에 충전된 전압은 제6트랜지스터(T6)를 통해 외부로 방전되는 것을 방지한다.
- [0066] 또한, 제7트랜지스터(T7)의 게이트단은 QB 노드에 연결되고, 소스단은 저전위전압(VSS) 입력단과 연결되고, 드레인단은 제1출력신호(Vg1) 출력단과 연결되는데, 제6트랜지스터(T6)를 통해 인가되는 하이 상태의 제1클럭신호(CLK1)에 의해 턴-온되어 로우 상태의 저전위전압(VSS)을 제1출력신호(Vg1) 출력단에 인가한다.
- [0067] 또한, 도면에는 도시하지 않았지만, 제6트랜지스터(T6)에 별도의 하이 상태의 전압안정화신호가 인가될 수 있으며, 이에 따라 제6트랜지스터(T6)가 턴-온되어 로우 상태의 저전위전압(VSS)을 제1출력신호(Vg1) 출력단에 인가할 수도 있다.
- [0068] 이 때, 제7트랜지스터(T7)는 QB노드의 전압에 의해 턴-온 된다.
- [0069] 한편, 후술할 제8트랜지스터(T8)에 의해 제1출력신호(Vg1)의 하이 상태 구간에서는 제7트랜지스터(T7)는 턴-오프 된다.
- [0070] 제8트랜지스터(T8)의 게이트단은 Q 노드에 연결되고, 드레인단은 QB 노드에 연결되고, 소스단은 저전위전압(VSS) 입력단과 연결된다.
- [0071] 이 때, Q 노드에서 전압이 하이 상태로 충전되면 제8트랜지스터(T8)는 턴-온 되고, 제6트랜지스터(T6)를 통해 인가되는 제1클럭신호(CLK1)는 제7트랜지스터(T7)의 게이트단으로 공급되지 않고 저전위전압(VSS) 입력단으로 공급되어 제7트랜지스터(T7)는 턴-오프 된다.
- [0072] 즉, 제1출력신호(Vg1)의 하이 상태 구간에서는 제7트랜지스터(T7)는 턴-오프 된다.
- [0073] 이에 따라, 초기 구동시 제1출력신호(Vg1)의 로우 상태 구간에서, 과형이 왜곡된 제3출력신호(Vg3)에 의해 턴-온된 제2트랜지스터(T2)에 의해, Q노드에 충전되는 저전위전압(VSS)도 왜곡됨으로써 발생하는, 제1출력신호의 리플(Ripple) 현상을 방지할 수 있다.
- [0074] 또한, 이러한 리플(Ripple) 현상으로 인해 영상의 표시품질을 저하시키는 것을 방지할 수 있다.

- [0075] 한편, 앞서 설명한 시프트레지스터의 동작 과정은 매 프레임 별로 반복적으로 수행되게 된다.
- [0076] 도 4는 도 3의 시프트레지스터의 스타트 신호, 클럭신호, Q노드의 전압, 출력신호의 파형 및 박막트랜지스터의 온/오프구간을 도시한 도면이다.
- [0077] 도 4를 참조하여 본 발명의 실시예에 따른 제1 시프트레지스터(SR1)의 동작을 살펴보면 다음과 같다.
- [0078] 먼저, 하이 상태의 제1스타트 신호(Vst1)가 입력되면, 제1 트랜지스터(T1)를 경유하여 Q 노드에 하이 상태의 스타트 신호(Vst)가 충전된다.
- [0079] 이에 따라, Q 노드와 접속된 제3트랜지스터(T3)가 서서히 턴-온되는데, 이때에는 아직 제3트랜지스터(T3)가 완전하게 턴-온되지 않게 됨으로써, 하이 상태의 제1클럭신호(CLK1)가 제3트랜지스터(T3)를 통과하지 못하게 된다.
- [0080] 따라서, 제1게이트라인에는 로우 상태의 제1출력신호(Vg1)가 출력 된다.
- [0081] 이후, 제1스타트 신호(Vst1)가 로우 상태로 떨어지는 대신 하이 상태의 제1클럭신호(CLK1)가 인가되면, 제3트랜지스터(T3)의 게이트단과 소스단 사이에 형성된 커패시터(C)에 의해 부트스트래핑(Bootstrapping) 현상이 발생하여 Q노드에 제1스타트 신호(Vst1)의 전압레벨 보다 더 큰 전압이 충전 되어 확실한 하이 상태가 된다.
- [0082] 이에 따라, 제3트랜지스터(T3)가 완전하게 턴-온되어, 하이상태의 제1클럭신호(CLK1)가 제1출력신호(Vg1)로서 제1게이트라인 출력된다.
- [0083] 이후, 제3시프트레지스터에서 출력된 제3출력신호(Vg3)가 제1시프트레지스터(SR1)의 제2트랜지스터(T2)로 인가 된다.
- [0084] 따라서, 제3출력신호에 의해 제2트랜지스터(T2)가 턴-온되게 되어 로우상태의 저전위전압(VSS)이 Q노드에 충전 되게 된다.
- [0085] 또한, Q노드에 연결된 제3트랜지스터(T3)는 턴-오프되게 되고, 제3클럭신호에 의해 제4트랜지스터가 턴-온 되어 로우상태의 저전위전압(VSS)이 제1출력신호(Vg1) 출력단에 공급된다.
- [0086] 한편, 여기서의 제1출력신호(Vg1)의 파형은 리플 현상이 발생할 수 있는데, 이를 방지하기 위하여 제7트랜지스터(T7)는 제6트랜지스터(T6)를 통해 인가되는 하이 상태의 제1클럭신호(CLK1)에 의해 턴-온되어 로우 상태의 저전위전압(VSS)을 제1출력신호(Vg1) 출력단으로 출력한다.
- [0087] 또한, 제8트랜지스터(T8)에 의해 제1출력신호(Vg1)의 하이 상태 구간에서는 제7트랜지스터(T7)는 턴-오프 되어 하이 상태의 제1클럭신호(CLK1)를 제1출력신호(Vg1) 출력단으로 출력한다.
- [0088] 이에 따라, 초기 구동시 제1출력신호(Vg1)의 로우 상태 구간에서, Q노드에 충전되는 저전위전압(VSS)도 왜곡됨으로써 발생하는, 제1출력신호의 리플(Ripple) 현상을 방지할 수 있다.
- [0089] 또한, 이러한 리플(Ripple) 현상으로 인해 영상의 표시품질을 저하시키는 것을 방지할 수 있다.
- [0090] 나머지 시프트레지스터들도 앞서 설명한 바와 동일하게 동작된다. 이에 따라, 하이상태의 출력신호들이 순차적으로 해당 게이트라인들로 출력된다.
- [0091] 즉, 한 프레임동안 각 게이트라인들에 접속된 시프트레지스터들에 의해 순차적으로 하이상태의 출력신호들이 출력되며, 이러한 과정은 프레임별로 반복하여 동작되게 된다.
- [0092] 도 5는 본 발명의 실시예에 따른 내장형 게이트 구동부에 구비된 시프트레지스터의 출력신호 파형을 도시한 도면이다.
- [0093] 도면에 도시한 바와 같이, 제1출력신호는 하이 상태 구간(H)과 로우 상태 구간(L)으로 구분된다.
- [0094] 앞서 설명한 보상부(300)를 통해 초기 구동시 제1출력신호(Vg1)의 로우 상태 구간(L)에서, Q노드에 충전되는 저전위전압(VSS)도 왜곡됨으로써 발생하는, 제1출력신호의 리플(Ripple) 현상을 방지할 수 있다.
- [0095] 또한, 이러한 리플(Ripple) 현상으로 인해 영상의 표시품질을 저하시키는 것을 방지할 수 있다.
- [0096] 또한, 도면에는 도시하지 않았지만, 본 발명의 실시예에 따른 액정표시장치는 상기 설명한 게이트 구동부에 액정패널, 데이터 구동부 및 타이밍 컨트롤러를 더 포함하여 완성된다.

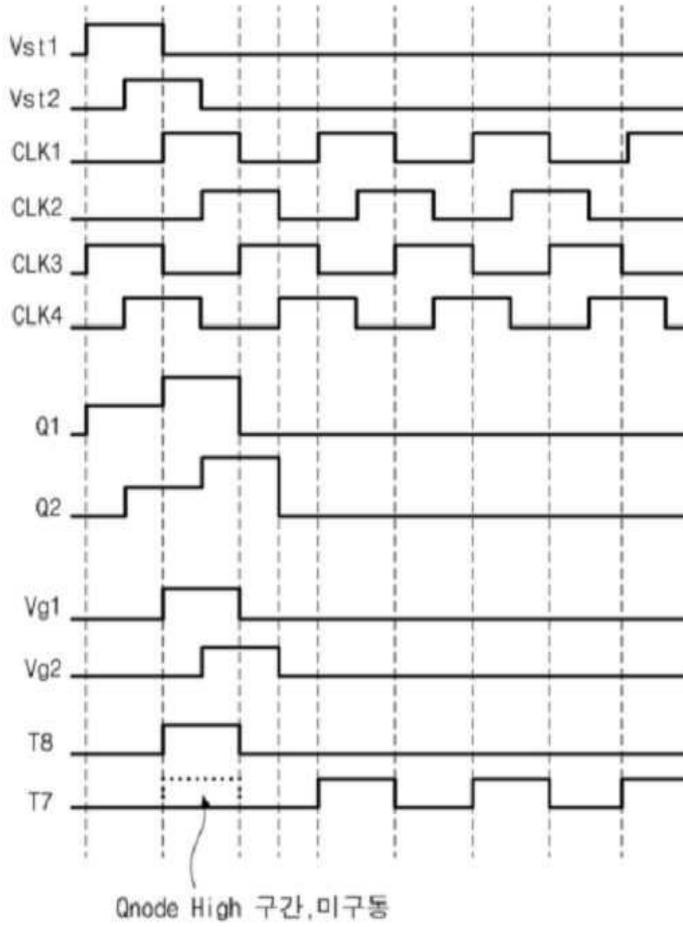
도면2



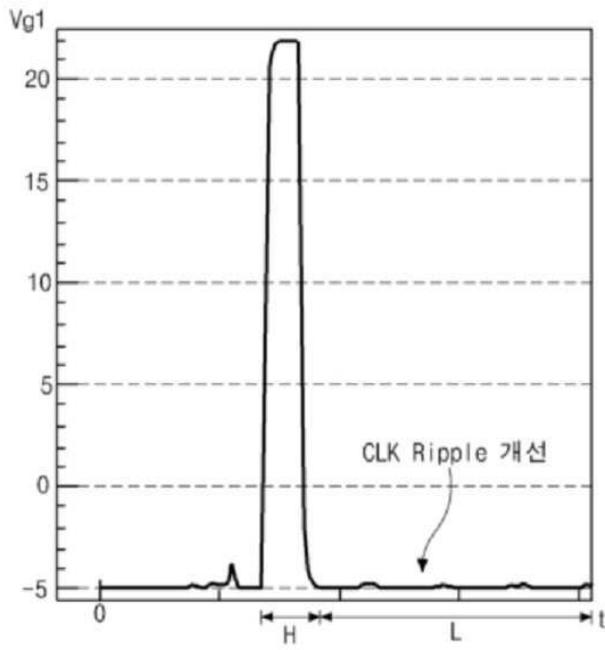
도면3



도면4



도면5



专利名称(译)	标题：栅极驱动器和包括其的液晶显示器件		
公开(公告)号	KR1020160083352A	公开(公告)日	2016-07-12
申请号	KR1020140194312	申请日	2014-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JI HYE LIM 지혜림 MOON TAE WOONG 문태웅		
发明人	지혜림 문태웅		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3603 G09G3/3607		
外部链接	Espacenet		

摘要(译)

本发明提供一种用于防止图像显示质量下降的栅极驱动器和包括该栅极驱动器的液晶显示器，该栅极驱动器包括通过启动信号顺序输出输出信号的多个移位寄存器，每个移位寄存器包括连接在第一启动信号输入端和Q节点之间的第一晶体管，以及连接在Q节点之间的第二晶体管，低电位电压输入端的第二晶体管和所述第一时钟信号输入端，连接在Q节点和第一输出信号输出所述第三晶体管和所述第三时钟信号输入端，低电位电压输入端子和第三之间之间的连接第五晶体管和节点Q被连接连接在晶体管的源极端子和所述第三晶体管和所述第一输出信号输出之间的第四晶体管的漏极端子之间第六晶体管连接在第一时钟信号输入端和QB节点之间，第二晶体管连接在QB节点，低电位电压输入端和第一输出信号输出端之间，并且栅极驱动器包括连接在Q节点，QB节点和低电位输入端子之间的第八晶体管，提供。

