



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0031146

(43) 공개일자 2016년03월22일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/1362 (2006.01)  
(21) 출원번호 10-2014-0120479  
(22) 출원일자 2014년09월11일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김규진  
경기 파주시 월롱면 엘씨디로 201, F동 1208호 (정다운마을)  
이윤규  
서울 서초구 새정2길 7  
(74) 대리인  
특허법인로얄

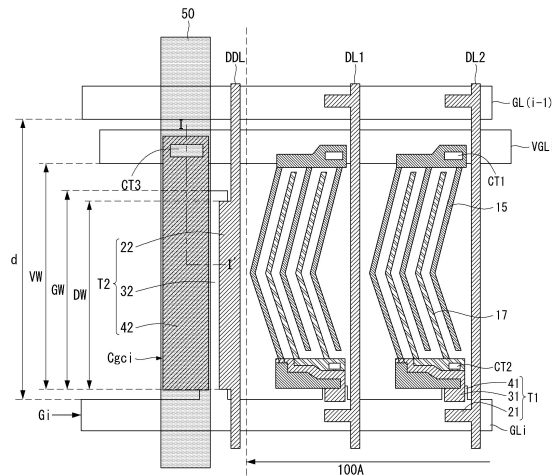
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 액정표시장치는 게이트라인, 더미데이터라인 및 데이터라인이 형성되는 액정패널, 공통전압데이터를 출력하는 타이밍 콘트롤러, 공통전압데이터를 바탕으로 공통전압을 생성하여 더미데이터라인에 제공하고 영상데이터를 바탕으로 데이터전압을 데이터라인에 제공하는 데이터 구동부 및 수평라인 방향으로 형성되어서 더미데이터라인을 통해서 제공받는 공통전압을 수평라인에 형성되는 각 화소들에 제공하는 공통라인을 포함한다.

대표도 - 도4



## 명세서

### 청구범위

#### 청구항 1

게이트라인, 더미데이터라인 및 데이터라인이 형성되는 액정패널;

공통전압데이터를 출력하는 타이밍 컨트롤러;

상기 공통전압데이터를 바탕으로 공통전압을 생성하여 상기 더미데이터라인에 제공하고, 영상데이터를 바탕으로 데이터전압을 상기 데이터라인에 제공하는 데이터 구동부; 및

수평라인 방향으로 형성되어서, 상기 더미데이터라인을 통해서 제공받는 상기 공통전압을 수평라인에 형성되는 각 화소들에 제공하는 공통라인을 포함하는 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 액정표시장치는

상기 게이트라인에서 분기되는 게이트전극, 상기 더미데이터라인에서 돌출되는 데이터전극 및 상기 데이터전극에 인접하여 상기 공통라인과 전기적으로 접속되는 소스패턴을 포함하는 트랜지스터를 더 포함하고,

상기 트랜지스터는 상기 게이트라인에 제공되는 게이트펄스에 응답하여 상기 더미데이터라인을 통해서 제공받는 상기 공통전압을 상기 공통라인에 접속되는 상기 소스패턴에 공급하는 액정표시장치.

#### 청구항 3

제 3 항에 있어서,

상기 소스패턴의 상부에는 절연막을 사이에 두고 형성되는 금속패턴이 더 형성되어서, 상기 소스패턴과 상기 금속패턴은 상기 소스패턴에 제공되는 상기 공통전압을 1 프레임 동안 유지하는 홀딩커패시터를 이루는 액정표시장치.

#### 청구항 4

제 3 항에 있어서,

제 $i$ ( $i$ 는 상기 게이트라인의 개수보다 같거나 작은 자연수) 게이트라인에 제공되는 게이트펄스에 의해서 턴-온되는 상기 트랜지스터의 상기 소스패턴은 제 $i$  공통라인에 전기적으로 연결되고, 상기 제 $i$  공통라인은 상기 제 $i$  수평라인에 형성되는 화소들에 제 $i$  수평주기에 공급되는 공통전압을 제공하는 액정표시장치.

#### 청구항 5

제 3 항에 있어서,

제 $(i+1)$ (상기 게이트라인의 개수가  $m$  개일 때,  $i$ 는  $(m-1)$ 이하의 자연수) 게이트라인에 제공되는 게이트펄스에 의해서 턴-온되는 상기 트랜지스터의 상기 소스패턴은 제 $i$  공통라인에 전기적으로 연결되고, 상기 제 $i$  공통라인은 상기 제 $i$  수평라인에 형성되는 화소들에 제 $i$  수평주기에 공급되는 공통전압을 제공하는 액정표시장치.

**청구항 6**

제 5 항에 있어서,

상기 제(i+1) 게이트라인에 제공되는 게이트펄스는 제i 및 제(i+1) 수평기간 동안에 출력되는 액정표시장치.

**청구항 7**

제 1 항에 있어서,

상기 타이밍 컨트롤러는

수평라인 간의 상기 영상데이터 변화량을 산출하고, 상기 영상데이터 변화량이 임계치 이상일 경우에, 상기 영상데이터 변화는 극성의 반대 극성으로 상기 공통전압데이터를 보상하는 액정표시장치.

**청구항 8**

제 3 항에 있어서,

상기 금속패턴은 저전위전압 또는 게이트로우전압에 접속되는 액정표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치의 픽셀들은 데이터라인과 게이트라인이 교차되고, 그 교차부에 접속된 박막트랜지스터를 포함한다. 박막트랜지스터는 게이트라인으로부터의 게이트펄스에 응답하여 데이터라인을 통해 공급되는 데이터 전압을 액정셀의 화소전극에 공급한다. 액정셀은 화소전극의 전압과 공통전극에 인가되는 공통전압(Vcom)의 전압차에 따라 발생하는 전계에 의해 회동하여 편광판을 통과하는 광량을 조절한다. 즉, 액정표시장치는 공통전압(Vcom)의 전위를 일정하게 유지하고 데이터전압을 가변하면서 원하는 계조를 표현하는 것을 기본으로 한다. 하지만 시간이 지날수록 공통전압(v)은 전위가 쉬프트되는 현상이 발생하고, 공통전압(Vcom)이 쉬프트되면 원하는 화질을 제대로 표현하지 못하게 된다.

[0004] 공통전압(Vcom)의 쉬프트 현상을 개선하기 위해서 일반적으로 공통전압 피드백(Vcom Feed-back) 보상회로를 이용하고 있다. 공통전압 피드백 보상회로는 패널에 공급하는 공통전압을 피드백 받고, 피드백 전압과 기준공통전압을 입력으로 하여 보상된 공통전압을 출력하는 오피앰프(OP-Amp)를 포함한다. 하지만, 이처럼 공통전압 피드백 보상회로를 이용하는 방법은 추가적인 회로가 필요할 뿐만 아니라, 패널에서 각 공통전극의 위치에 따른 딜레이(RC delay) 차이를 반영하지 못하는 단점을 갖는다. 특히 베젤을 축소하기 위해서 공통전극의 폭이 줄어들기 때문에 공통전극의 저항이 증가하고, 이에 따라서 RC 딜레이 차이가 더욱 커지기 때문에 종래의 공통전압 보상방법의 효율성이 떨어지고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 공통전압을 효율적으로 보상할 수 있는 액정표시장치를 제공하기 위한 것이다.

**과제의 해결 수단**

[0006] 본 발명의 액정표시장치는 게이트라인, 더미데이터라인 및 데이터라인이 형성되는 액정패널, 공통전압데이터를 출력하는 타이밍 콘트롤러, 공통전압데이터를 바탕으로 공통전압을 생성하여 더미데이터라인에 제공하고 영상데이터를 바탕으로 데이터전압을 데이터라인에 제공하는 데이터 구동부 및 수평라인 방향으로 형성되어서 더미데이터라인을 통해서 제공받는 공통전압을 수평라인에 형성되는 각 화소들에 제공하는 공통라인을 포함한다.

**발명의 효과**

[0007] 본 발명은 공통전압을 생성하고 보상하기 위한 회로를 생략할 수 있으며, 더미데이터라인을 통해서 공통전압을 공급하기 때문에 액정패널에서 베젤을 경유하는 공통라인 또는 공통전극을 생략할 수 있고, 따라서 베젤을 더욱 좁게 할 수 있다.

[0008] 그리고 본 발명은 게이트펄스에 응답하여 각 수평라인별로 공통전압을 제공하기 때문에, 공통전극의 딜레이에 의한 수평크로스토크 등의 문제점을 개선할 수 있다.

[0009] 또한 본 발명은 영상데이터를 바탕으로 각 수평라인에 제공되는 공통전압을 보상하기 때문에, 리플이 발생하는 것을 미연에 방지할 수 있는 공통전압을 제공할 수 있다.

**도면의 간단한 설명**

- [0010] 도 1은 본 발명에 의한 액정표시장치의 구성을 나타내는 도면.
- 도 2는 본 발명에 의한 데이터 구동부의 구성을 나타내는 도면.
- 도 3은 제1 실시 예에 의한 화소 어레이 영역을 나타내는 도면.
- 도 4는 제1 실시 예에 의한 화소 및 홀딩커패시터의 평면 구조를 나타내는 도면.
- 도 5는 제1 실시 예의 게이트펄스 및 공통전압의 출력 타이밍을 나타내는 도면.
- 도 6은 도 4에 도시된 화소 및 홀딩커패시터의 등가회로도.
- 도 7은 도 4에 도시된 I-I'의 절단선을 따라서 절단한 단면을 나타내는 도면.
- 도 8은 본 발명에 의한 공통전압데이터를 보상하는 순서를 나타내는 도면.
- 도 9는 공통전압데이터가 보상되는 원리를 나타내는 도면.
- 도 10은 제2 실시 예에 의한 화소 어레이 영역을 나타내는 도면.
- 도 11은 제2 실시 예에 의한 화소 및 홀딩커패시터의 평면 구조를 나타내는 도면.
- 도 12는 제2 실시 예의 게이트펄스 및 공통전압의 출력 타이밍을 나타내는 도면.
- 도 13은 제3 실시 예에 의한 화소 어레이 영역을 나타내는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

- [0012] 도 1은 본 발명에 의한 액정표시장치를 나타내는 도면이다.
- [0013] 도 1을 참조하면, 본 발명의 액정표시장치는 액정패널(100), 타이밍 콘트롤러(210), 파워모듈(220), 게이트 구동부(230) 및 데이터 구동부(240)를 포함한다.
- [0014] 액정패널(100)은 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이기판 및 컬러필터가 형성되는 컬러필터기판을 포함하고, 박막트랜지스터 어레이기판과 컬러필터기판 사이에는 액정층이 형성된다. 그리고 액정패널(100)에서 박막트랜지스터 어레이기판에서 화소(P)들이 배열되는 영역은 화소 어레이 영역(100A)으로 정의하기로 한다.
- [0015] 액정표시패널(100)의 하부 유리기판에는 화소 어레이가 형성된다. 화소 어레이는 데이터라인들(DL)과 게이트라인들(GL)의 교차부에 형성된 액정셀들(C1c), 액정셀들의 화소전극(1)에 접속된 제1 트랜지스터(T1)들, 화소전극(17)과 대향되는 공통전극(15) 및 스토리지 커패시터(Cst)를 포함한다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(17)과 공통전극(15) 사이의 전계에 의해 구동된다. 화소 어레이 영역(100A) 외측에는 더미데이터라인(DDL)이 형성되고, 더미데이터라인(DDL)은 데이터 구동부(240)로부터 공통전압(Vcom)을 제공받는다.
- [0016] 타이밍 콘트롤러(210)는 외부 호스트(미도시)로부터 디지털 비디오 데이터(RGB)를 입력받고, 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍 신호를 입력받는다. 타이밍 콘트롤러(210)는 디지털 비디오 데이터(RGB)를 소스 드라이브 IC들(240)에 전송한다. 타이밍 콘트롤러(210)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 데이터 구동부(240)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 구동부(230)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다.
- [0017] 또한 타이밍 콘트롤러(210)는 공통전압데이터(VCDATA)를 생성한다. 공통전압데이터(VCDATA)는 데이터 구동부(240)를 통해서 공통전압(Vcom)으로 출력된다.
- [0018] 파워모듈(220)은 전원전압(VCC)을 입력받아서 게이트하이전압(VGH), 게이트로우전압(VGL), 고전위전압(VDD) 등을 출력한다. 게이트하이전압(VGH)은 게이트라인(GL)에 공급되는 스캔펄스의 하이레벨전압이고, 게이트로우전압(VGL)은 게이트라인(GL)에 공급되는 스캔펄스의 로우레벨전압이다.
- [0019] GIP 타입의 게이트 구동부(230)는 PCB(200) 상에 실장된 레벨슈프터(231) 및 쉬프트레지스터(233)를 포함한다.
- [0020] 레벨슈프터(231)는 게이트하이전압(VGH)과 게이트로우전압(VGL) 등의 구동전압을 공급받고 타이밍 콘트롤러(210)로부터 스타트신호(ST) 및 게이트클럭신호(GCLK)를 입력받아서, 게이트하이 전압(VGH)과 게이트로우전압(VGL) 사이에서 스위칭하는 스타트 펄스(VST) 및 클럭신호(CLK)를 출력한다. 레벨슈프터(26)로부터 출력된 클럭신호(CLK)들은 순차적으로 위상이 쉬프트되어 표시패널(100)에 형성된 쉬프트레지스터(233)로 전송된다.
- [0021] 쉬프트레지스터(233)는 표시패널(100)의 게이트라인(GL)에 연결된다. 쉬프트레지스터(233)는 종속적으로 접속된 다수의 스테이지들을 포함한다. 쉬프트레지스터(233)는 레벨슈프터(231)로부터 입력되는 스타트 펄스(VST)를 클럭신호(CLK)에 따라 시프트하여 게이트라인들(GL)에 게이트펄스를 순차적으로 공급한다.
- [0022] 데이터 구동부(240)는 타이밍 콘트롤러(210)로부터 디지털 비디오 데이터들(RGB) 및 공통전압데이터(VCDATA)를 입력받는다. 데이터 구동부(240)는 타이밍 콘트롤러(210)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터(RGB)를 정극성/부극성 아날로그 데이터전압으로 변환한 후에 그 데이터전압을 게이트펄스에 동기되도록 표시패널(100)의 데이터라인들(DL1~DLn)에 공급한다. 데이터 구동부(240)는 공통전압데이터(VCDATA)를 공통전압(Vcom)으로 변환한 후에, 공통전압(Vcom)을 더미데이터라인(DDL)에 공급한다.
- [0023] 이를 위해서 데이터 구동부(240)는 도 2에서와 같이, 레지스터부(241), 제1 래치(243), 제2 래치(245), 디지털-아날로그-변환부(Digital to Analog Converter; 이하, DAC)(247) 및 출력부(249)를 포함한다. 레지스터부(241)는 타이밍 콘트롤러(210)로부터 제공받는 데이터 제어신호들(SSC, SSP)을 이용하여 입력 영상의 RGB 디지털 비디오 데이터 비트를 샘플링하고, 이를 제1 래치(243)에 제공한다. 또한 레지스터부(241)는 타이밍 콘트롤러(210)로부터 제공받는 공통전압데이터(VCDATA)를 제1 래치(243)에 제공한다. 제1 래치(243)는 레지스터부(241)로부터 순차적으로 제공받은 클럭에 따라서 공통전압데이터(VCDATA) 및 디지털 비디오 데이터 비트를 샘플링하여 래치하고, 래치한 공통전압데이터(VCDATA) 및 데이터(DATA)들을 동시에 출력한다. 제2 래치(245)는 제1 래치(243)로부터 제공받은 공통전압데이터(VCDATA) 및 데이터들을 래치하고, 소스출력인에이블신호(SOE)에 응답하여 래치한 데이터들을 동시에 출력한다. DAC(247)는 제2 래치부(245)로부터 입력된 공통전압데이터(VCDATA) 및 비디오 데이터들을 감마보상전압(GMA)으로 변환하여 공통전압(Vcom) 및 데이터전압(ADATA)을 생성한다. 출

력부(249)는 소스 출력 인에이블신호(SOE)의 로우논리기간 동안에, DAC(247)에서 출력하는 공통전압(Vcom)을 더미데이터라인(DDL)에 제공하고, 데이터전압(ADATA)을 데이터라인들(DL1~DLn)에 제공한다.

[0024] 도 3은 제1 실시 예에 의한 액정패널(100)의 화소 어레이 기판을 나타내는 도면이고, 도 4는 화소(P) 및 홀딩커패시터(Cgc)의 구조를 나타내는 도면이다.

[0025] 도 3 및 도 4를 참조하면, 제1 실시 예에 의한 액정패널(100)의 박막트랜지스터 어레이기판은 중형으로 배열된 게이트라인(GL1~GLm) 및 데이터라인(DL1~DLn)에 의해 정의되는 화소(P)들이 매트릭스 형태로 배열된다. 화소 어레이 영역(100A)을 벗어난 위치에서는 제1 데이터라인(DL1)과 나란히 형성되는 더미데이터라인(DDL) 및 홀딩커패시터(Cgc)들이 형성된다.

[0026] 각각의 게이트라인들(GL1~GLm)은 게이트 구동부(230)로부터 게이트펄스를 제공받아서 제1 및 제2 게이트전극(41,42)에 공급한다. 제i 게이트라인(GLi)은 제i 수평라인(HLi)에 배열된 화소(P)들의 하부에 형성된다.

[0027] 하나의 수평라인에는 n 개의 화소(P)들이 형성되고, 각각의 화소(P)들은 일대일로 연결되는 데이터라인들(DL1~DLn)을 통해서 데이터전압(ADATA)을 제공받는다. 데이터라인(DL)과 게이트라인(GL)이 교차하는 영역에는 제1 트랜지스터(T1)가 형성된다. 제1 트랜지스터(T1)는 게이트라인(GL)에서 분기되는 제1 게이트전극(41), 데이터라인(DL)에서 분기되는 제1 드레인전극(21) 및 제1 드레인전극(21)과 인접한 곳에서 형성되는 제1 소스전극(31)으로 이루어진다. 제1 트랜지스터(T1)는 게이트라인(GL)을 통해서 입력되는 게이트펄스에 응답하여, 데이터라인(DL)으로부터 제공받는 데이터전압(ADATA)을 제1 소스전극(31)에 공급한다.

[0028] 각각의 공통라인(VCL)은 더미데이터라인(DDL)으로부터 공통전압(Vcom)을 제공받아서 공통전극(17)들에 공급한다. 제i(i는 m이하의 자연수) 공통라인(VCLi)은 제i 수평라인(HLi)에 배열된 화소(P)들의 상부에 형성된다.

[0029] 홀딩커패시터들(Cgc1~Cgcm)은 금속패턴(50) 및 소스패턴(32)을 포함하고, 더미데이터라인(DDL)을 통해서 공통전압(Vcom)을 제공받아서 충전되고, 충전된 공통전압(Vcom)을 1 프레임 동안 유지한다. 제i 홀딩커패시터(Cgc)는 화소 어레이 영역(100A)을 벗어난 위치에서 제i 수평라인(HLi)에 형성된다. 각각의 홀딩커패시터들(Cgc)은 게이트펄스에 응답하여 제2 트랜지스터(T2)를 통해서 더미데이터라인(DDL)으로부터 공통전압을 제공받는다.

[0030] 제2 트랜지스터(T2)는 게이트라인(GL)에서 분기되는 제2 게이트전극(42), 더미데이터라인(DDL)에서 돌출되는 제2 드레인전극(22) 및 제2 드레인전극(22)과 인접하는 소스패턴(32)을 포함한다. 제2 트랜지스터(T2)는 공통전압(Vcom)의 공급을 원활히 할 수 있도록, 제2 게이트전극 폭(GW), 제2 드레인전극 폭(DW) 및 소스패턴 폭(VW)을 설계 마진이 확보되는 범위 내에서 최대한 크게 설정한다. 제i 수평라인(HLi)에 형성되는 제2 게이트전극(42)은 제i 공통라인(VCL)에 접하지 않아야 하기 때문에, 제2 게이트전극 폭(GW)은 화소 폭(d)보다 작은 범위 내에서 공정 마진을 고려하여 최대의 폭으로 형성될 수 있다.

[0031] 도 5는 게이트펄스를 이용하여 공통전압(Vcom)을 스위칭하는 타이밍을 나타내는 도면이고, 도 6은 공통전압의 충전에 따른 도 4에 도시된 화소 및 홀딩커패시터(Cgc)의 등가회로를 나타낸다.

[0032] 전술한 도면들과 도 5 및 도 6을 참조하면, 제i 수평주기(iH) 동안에 제i 게이트펄스(Gi)가 제i 게이트라인(GLi)에 공급되면, 제i 수평라인(HLi)에 형성되는 제1 및 2 트랜지스터(T1,T2)는 턴-온된다. 제1 트랜지스터(T1)가 턴-온되는 동안에, 데이터라인들(DL1~DLn)을 통해서 제공되는 데이터전압(ADATA)은 화소(P)들에 충전된다. 그리고 제2 트랜지스터(T2)가 턴-온되는 동안에, 더미데이터라인(DDL)을 통해서 제공되는 제i 공통전압(Vcomi)은 소스패턴(32)을 통해서 제i 공통라인(VCLi)에 제공된다. 소스패턴(32)은 대면하는 금속패턴(50)과 홀딩커패시터(Cgci)를 이루고 있기 때문에, 소스패턴(32)에 제공되는 공통전압(Vcom)은 제i 홀딩커패시터(Cgci)에 충전된다. 제i 수평기간(iH) 동안에 제i 홀딩커패시터(Cgci)에 충전된 제i 공통전압은 1 프레임 기간 동안, 즉 다음 프레임에서 새로운 공통전압(Vcom)이 제공되기 전까지 유지된다.

[0033] 이와 마찬가지로, 제(i+1) 수평주기([i+1]H) 동안에 제공되는 제(i+1) 게이트펄스(G[i+1])에 의해서, 제(i+1) 수평라인에 화소(P)들은 데이터전압(ADATA)을 충전한다. 그리고 제(i+1) 공통라인(VCL[i+1])에 제(i+1) 공통전압(Vcom[i+1])이 제공되는 동시에, 제(i+1) 홀딩커패시터(Cgc[i+1])에 제(i+1) 공통전압(Vcom[i+1])이 충전된다.

[0034] 살펴본 바와 같이, 제1 실시 예에 의한 액정표시장치는 별도의 공통전압 생성회로를 이용하지 않고 공통전압을 화소(P)들에 제공한다. 특히, 제1 실시 예에 의한 액정표시장치는 각 수평라인을 스캔하는 게이트펄스에 동기되어 공통전압(Vcom)이 제공되기 때문에, 공통전압이 딜레이되는 현상을 방지할 수 있다.

- [0035] 그리고 공통전압(Vcom)이 제공되는 수평기간 이후에 제2 트랜지스터(T2)가 턴-오프 될지라도, 홀딩커패시터(Cgc)에 충전된 공통전압(Vcom)을 이용하여 1 프레임 기간 동안에 안정적으로 공통전압(Vcom)을 제공할 수 있다. 또한 홀딩커패시터(Cgc)는 제2 트랜지스터(T2)의 턴-오프 순간에 킥-백(kick back) 전압으로 인해서 공통전압(Vcom)의 전위가 변하는 것을 방지할 수 있다. 게이트펄스의 전위가 저전위로 반전되는 순간에는 순간적으로 전하가 재분배되어서 도 6의 점선으로 도시된 바와 같이 전압의 크게 변동하여 킥-백 전압( $\Delta V_{kb}$ )의 차이가 발생한다. 하지만 홀딩커패시터(Cgc)는 전압을 일정하게 유지하기 때문에 게이트펄스가 저전위로 반전되는 순간에 킥-백 전압이 발생하는 것을 억제할 수 있다.
- [0036] 홀딩커패시터(Cgc)의 금속패턴(50)은 일단이 기준전압원에 연결된다. 기준전압원은 프레임마다 홀딩커패시터(Cgc)에 충전되는 공통전압(Vcom)의 전위를 안정적으로 유지하도록 한다. 기준전압원은 저전위전압원(GND) 또는 게이트로우전압(VGL)을 이용할 수 있다.
- [0037] 도 7은 도 4에 도시된 I-I'의 절단선을 따라서 절단한 단면을 나타낸다.
- [0038] 도 4 및 도 7을 참조하여, 제1 실시 예의 화소 어레이 기판을 형성하는 과정을 간략히 살펴보면 다음과 같다.
- [0039] 기판(substrate)에 게이트전극물질을 이용하여 게이트라인(GL), 제1 및 제2 게이트전극(41,42), 공통라인(VCL)을 형성한다. 게이트라인(GL), 제1 및 제2 게이트전극(41,42), 공통라인(VCL)의 상부에는 게이트절연막(GI)이 형성된다. 게이트절연막(GI)의 일부를 패터닝하여 공통라인(VCL)이 제3 컨택홀(CT3)을 형성한다. 게이트절연막(GI) 상에는 데이터금속물질을 이용하여 데이터라인(DL), 더미데이터라인(DDL), 제1 및 제2 드레인전극(21,22), 제1 소스전극(31) 및 소스패턴(32)을 형성한다. 데이터금속물질은 제3 컨택홀(CT3)에 매립되어 금속패턴(50)과 공통라인(VCL)을 전기적으로 접속한다. 이어서, 패시베이션층(PAS)을 형성하고, 패시베이션층(PAS) 위에 화소전극(17), 공통전극(15) 및 금속패턴(50)을 형성한다.
- [0040] 도 8은 타이밍 콘트롤러(210)가 공통전압데이터(VCDATA) 및 보상공통전압데이터(VCDATA)를 생성하는 과정을 나타내는 흐름도이다.
- [0041] 도 8을 참조하면, 타이밍 콘트롤러(210)는 입력 영상데이터(RGB)를 바탕으로 수평라인 간에 각 화소(P)들의 데이터 변화량을 산출한다. 이를 위해서, 타이밍 콘트롤러(210)는 라인메모리에 저장된 제i 수평라인(HLi)의 n개의 영상데이터의 총합과 제(i+1) 수평라인(HL[i+1])의 n개의 영상데이터의 총합의 차이를 계산한다.(S801)
- [0042] 그리고 타이밍 콘트롤러(210)는 영상데이터 변화량이 임계치 이상인지를 판단한다. 임계치는 공통전압의 리플이 발생할 수 있는 영상데이터 변화량을 기준으로 설정할 수 있다. 공통전압의 리플은 영상데이터 변화량이 클수록 증가한다. 그리고 공통전압에 리플이 발생하면 수평 덤 또는 수평 크로스토크 등의 화질 불량이 발생한다. 임계치는 공통전압의 리플이 발생하여 화질에 영향을 줄 수 있는 범위의 영상데이터 변화량으로 설정될 수 있다.(S803)
- [0043] 타이밍 콘트롤러(210)는 영상데이터 변화량이 임계치 이상일 경우에 공통전압 데이터를 보상하여 보상공통전압 데이터를 생성한다. 예컨대, 제i 영상데이터와 제(i+1) 영상데이터 간의 변화량이 임계치 이상일 경우에, 타이밍 콘트롤러(210)는 제(i+1) 영상데이터가 충전되는 제(i+1) 수평라인에 공급되는 공통전압을 보상한다.(S805)
- [0044] 도 9는 데이터 변화량에 따른 보상공통전압데이터를 생성하는 일례를 나타내는 도면이다. 도 9에서 임계치(data\_ref)는  $\Delta data1$  보다 크고  $\Delta data2$  보다 작은 범위인 것을 예로 들어 설명하기로 한다.
- [0045] 도 9는 제1 수평라인의 영상데이터의 총합이 정극성의 127 계조이고, 제2 수평라인의 영상데이터의 총합이 부극성의 127 계조인 예를 나타내고 있다. 즉, 제2 수평라인의 영상데이터 변화량은 부극성의 256 계조이다. 제1 수평라인의 영상데이터에 대비한 제2 수평라인의 영상데이터 변화량( $\Delta data1$ )이 임계치 이상이기 때문에, 타이밍 콘트롤러(210)는 제2 공통전압(Vcom)의 생성을 위한 공통전압데이터(VCDATA)는 보상되지 않은 상태인 공통전압데이터(VCDATA)를 데이터 구동부(240)로 출력한다.
- [0046] 그리고 제3 수평라인의 영상데이터 총합이 정극성의 255 계조이면, 제2 수평라인의 영상데이터에 대비하여 제3 수평라인의 영상데이터 변화량( $\Delta data2$ )은 임계치 이상이기 때문에, 타이밍 콘트롤러(210)는 제3 공통전압(Vcom)의 생성을 위해서 공통전압데이터(VCDATA)를 보상한 보상공통전압데이터(VCDATA)를 데이터 구동부(240)로 출력한다. 보상공통전압데이터(VCDATA)를 생성하기 위해서 타이밍 콘트롤러(210)는 영상데이터변화량에 따른 보상값을 룩-업 테이블(미도시)에 미리 저장할 수 있다. 보상값은 패널특성 등에 기초하여 리플을 감소시킬 수 있는 값으로, 실험치에 의해서 결정될 수 있다. 그리고, 제3 수평라인의 영상데이터 변화량( $\Delta data2$ )은 정극성의 방향성을 나타내기 때문에, 리플은 정극성으로 발생한다. 따라서 타이밍 콘트롤러(210)는 제3 공통전압

(Vcom)에 대한 보상공통전압데이터(VCDATA)를 생성하기 위한 보상값을 부극성으로 선택한다.

- [0047] 제3 수평라인에 대비한 제4 수평라인의 영상데이터 변화량( $\Delta data3$ ) 역시 임계치 이상이기 때문에, 타이밍 콘트롤러(210)는 제4 공통전압(Vcom)의 출력을 위해서 보상공통전압데이터(VCDATA)를 보상한다. 이때, 제3 수평라인에 대비한 제4 수평라인의 영상데이터 변화량( $\Delta data3$ )은 제2 수평라인에 대비한 제3 수평라인의 영상데이터 변화량( $\Delta data2$ ) 보다 크기 때문에 더 큰 보상값으로 보상된다. 또한 제3 수평라인에 대비하여 제4 수평라인의 영상데이터 변화량( $\Delta data3$ )은 부극성의 방향성을 나타내기 때문에, 제4 수평라인의 보상공통전압데이터(VCDATA)는 정극성의 보상값을 이용하여 보상된다.
- [0048] 도 10은 제2 실시 예에 의한 액정패널(100)의 화소 어레이 기판을 나타내는 도면이고, 도 11은 화소(P) 및 홀딩커패시터(Cgc)의 구조를 나타내는 도면이다. 제2 실시 예에서 전술한 실시 예와 실질적으로 동일하거나 매우 유사한 구성에 대해서는 자세한 설명을 생략하기로 한다.
- [0049] 도 10 및 도 11을 참조하면, 제2 실시 예에 의한 액정패널(100)의 박막트랜지스터 어레이기판은 종횡으로 배열된 게이트라인(GL1~GLm) 및 데이터라인(DL1~DLn)에 의해 정의되는 화소(P)들이 매트릭스 형태로 배열된다. 화소 어레이 영역(100A)을 벗어난 위치에서는 제1 데이터라인(DL1)과 나란히 형성되는 더미데이터라인(DDL) 및 홀딩커패시터(Cgc)들이 형성된다.
- [0050] 각각의 게이트라인들(GL1~GLm)은 게이트 구동부(230)로부터 게이트펄스를 제공받아서 제1 및 제2 게이트전극(41,42)에 공급한다. 제i 게이트라인(GLi)은 제i 수평라인(HLi)에 배열된 화소(P)들의 상부에 형성된다.
- [0051] 하나의 수평라인에는 n 개의 화소(P)들이 형성되고, 각각의 화소(P)들은 일대일로 연결되는 데이터라인들(DL1~DLn)을 통해서 데이터전압(ADATA)을 제공받는다. 데이터라인(DL)과 게이트라인(GL)이 교차하는 영역에는 제1 트랜지스터(T1)가 형성된다.
- [0052] 각각의 공통라인(VCL)은 더미데이터라인(DDL)으로부터 공통전압(Vcom)을 제공받아서 공통전극(17)들에 공급한다. 제i(i는 (m-1)이하의 자연수) 공통라인(VCLi)은 제i 수평라인(HLi)에 배열된 화소(P)들의 하부에 형성된다. 제i 공통라인(VCLi)은 제(i+1) 수평라인(HL[i+1])에 형성된 소스패턴(32)과 연결된다.
- [0053] 홀딩커패시터들(Cgc1~Cgcm)은 금속패턴(50) 및 소스패턴(32)을 포함하고, 더미데이터라인(DDL)을 통해서 공통전압(Vcom)을 제공받아서 충전되고, 충전된 공통전압(Vcom)을 1 프레임 동안 유지한다. 제i 홀딩커패시터(Cgci)는 화소 어레이 영역(100A)을 벗어난 위치에서 제i 수평라인(HLi)에 형성된다. 각각의 홀딩커패시터들(Cgc1~Cgcm)은 게이트펄스에 응답하여 제2 트랜지스터(T2)를 통해서 더미데이터라인(DDL)으로부터 공통전압을 제공받는다.
- [0054] 도 12는 게이트펄스를 이용하여 공통전압(Vcom)을 스위칭하는 타이밍을 나타내는 도면이다.
- [0055] 도 10 내지 도 12를 참조하면, 제i 게이트펄스(Gi)는 제(i-1) 및 제i 수평주기(iH, [i+1]H) 동안에 제i 게이트라인(GLi)에 공급되면, 제i 수평라인(HLi)에 형성되는 제1 및 2 트랜지스터(T1,T2)는 턴-온된다. 제1 트랜지스터(T1)가 턴-온되는 동안에, 제i 수평기간(iH) 동안에 데이터라인들(DL1~DLn)을 통해서 제공되는 데이터전압(ADATA)은 제i 수평라인(HLi)의 화소(P)들에 충전된다. 그리고 제2 트랜지스터(T2)가 턴-온되는 동안에, 더미데이터라인들(DL1~DLn)을 통해서 제공되는 공통전압(Vcom)은 소스패턴(32)을 통해서 제(i-1) 공통라인(VCL[i-1])에 제공된다. 제i 수평라인(HLi)의 소스패턴(32)은 대면하는 금속패턴(50)과 제i 홀딩커패시터(Cgci)를 이루고 있기 때문에, 소스패턴(32)에 제공되는 공통전압(Vcom)은 제i 홀딩커패시터(Cgci)에 충전된다. 제(i-1) 및 제i 수평기간(iH) 동안에 제i 홀딩커패시터(Cgc)에 충전된 제i 공통전압(Vcomi)은 프레임의 종료 때까지 유지된다.
- [0056] 이와 마찬가지로, 제i 및 제(i+1) 수평주기(iH, [i+1]H) 동안에 제(i+1) 게이트라인(GL[i+1])에 제공되는 제(i+1) 게이트펄스(G[i+1])에 의해서, 제(i+1) 수평라인에 화소(P)들은 데이터전압(ADATA)을 충전한다. 그리고 제i 공통라인(VCL)에 제공되는 제(i+1) 공통전압(Vcom)은 제i 및 제(i+1) 수평주기 동안 유지된다.
- [0057] 이와 같이, 제2 실시 예의 액정표시장치는 제(i+1) 게이트펄스를 이용하여 이전단인 제i 수평라인에 공급되는 제i 공통전압을 제어한다. 그리고 제2 실시 예에서, 홀딩커패시터(Cgc)는 2 수평기간(2H) 동안에 유지되기 때문에 공통전압(Vcom)을 더욱 안정적으로 제공할 수 있다.
- [0058] 제1 및 제2 실시 예의 액정표시장치에서, 홀딩커패시터는 도 13에서와 같이 한 쌍으로 이루어질 수 있다. 즉, 화소 어레이 영역(100A)의 양측 외곽부에는 제1 및 제2 더미데이터라인(DDL1,DDL2)이 형성되고, 제1 홀딩커패시터(Cgc\_L)는 제1 더미데이터라인(DDL1)을 통해서 공통전압(Vcom)을 제공받으며, 제2 홀딩커패시터(Cgc\_R)는 제2

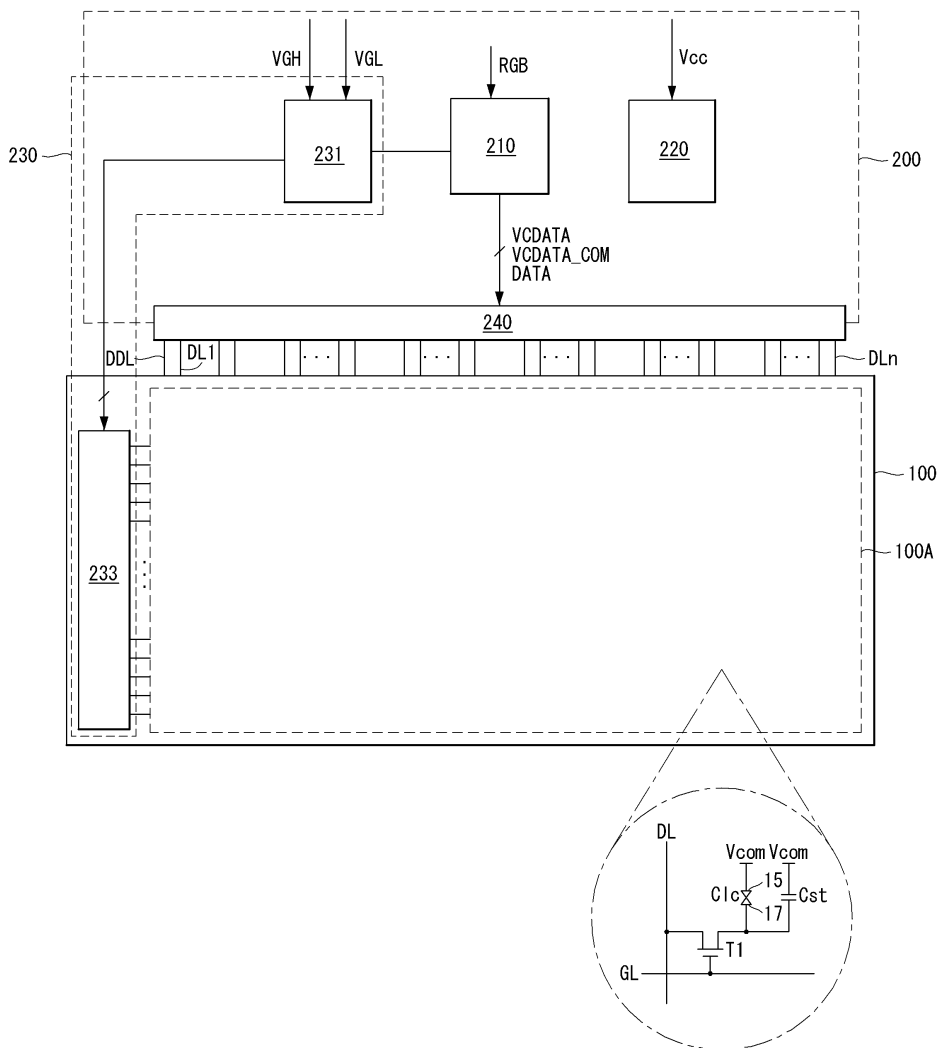
더미데이터라인(DDL2)을 통해서 공통전압(Vcom)을 제공받는다. 이처럼 도 13에서와 같이, 제1 및 제2 홀딩커패시터(Cgc\_L, Cgc\_R)를 이용하여 공통전압(Vcom)을 충전하고, 이를 공통라인(VCL)에 제공하기 때문에 수평라인 간의 딜레이 차이를 줄이면서 공통전압(Vcom)을 더 효율적으로 제공할 수 있다.

[0059]

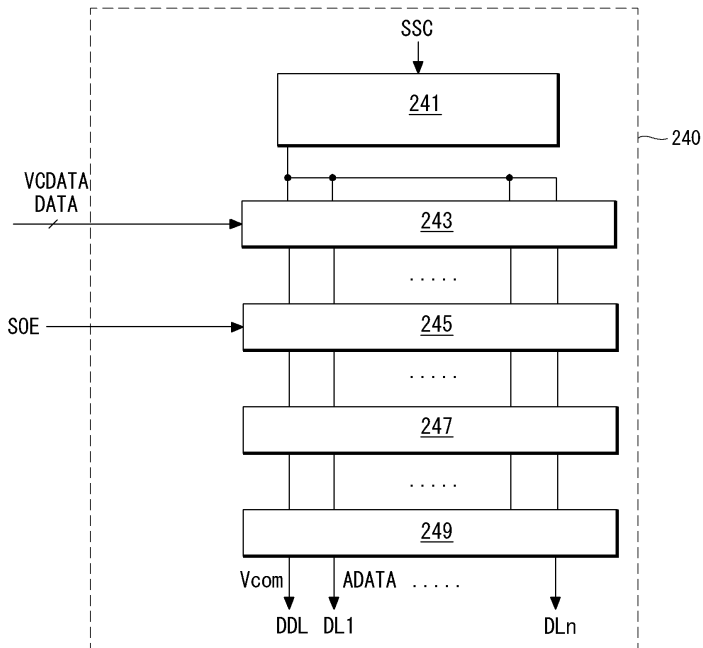
이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면

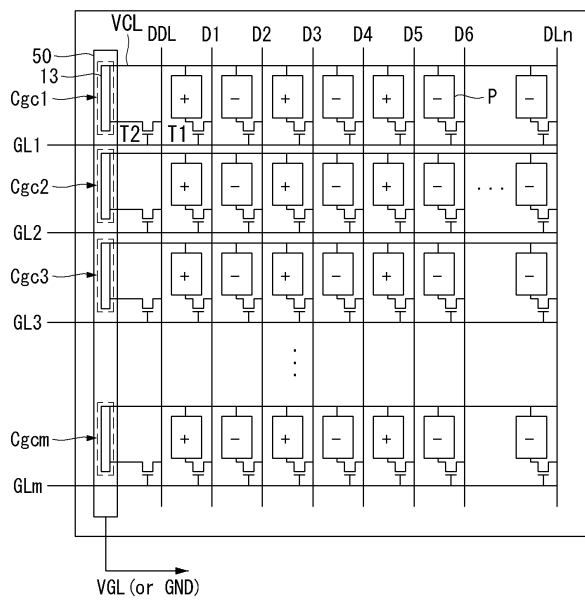
도면1



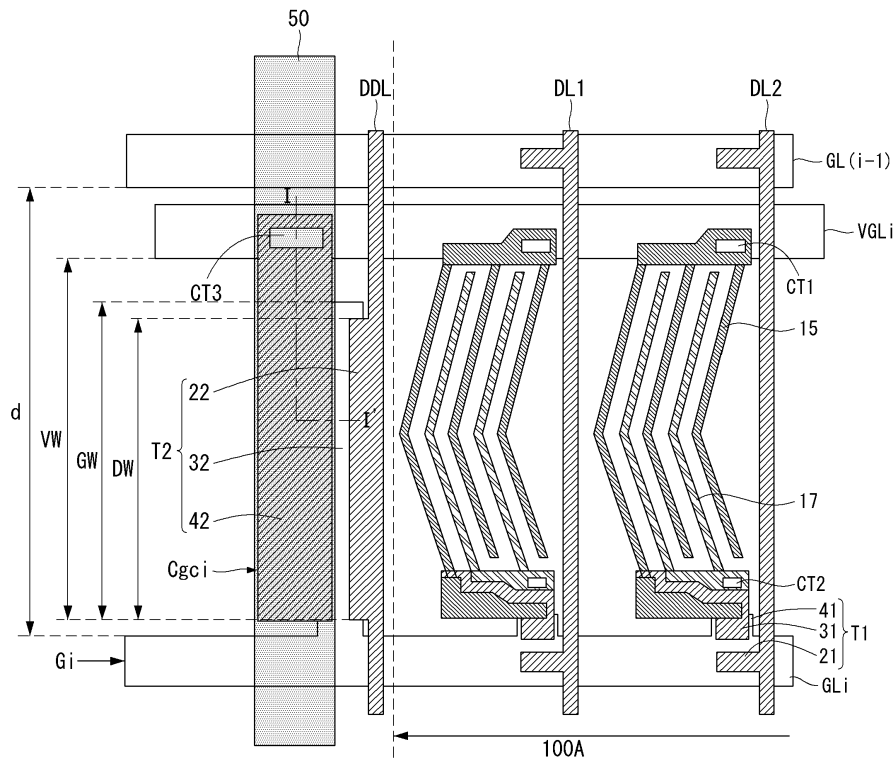
도면2



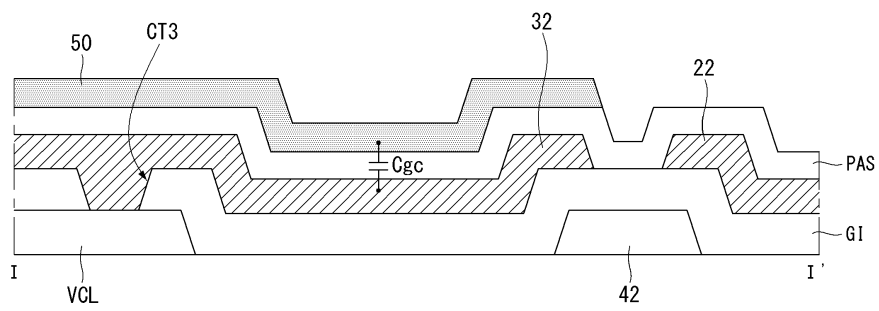
도면3



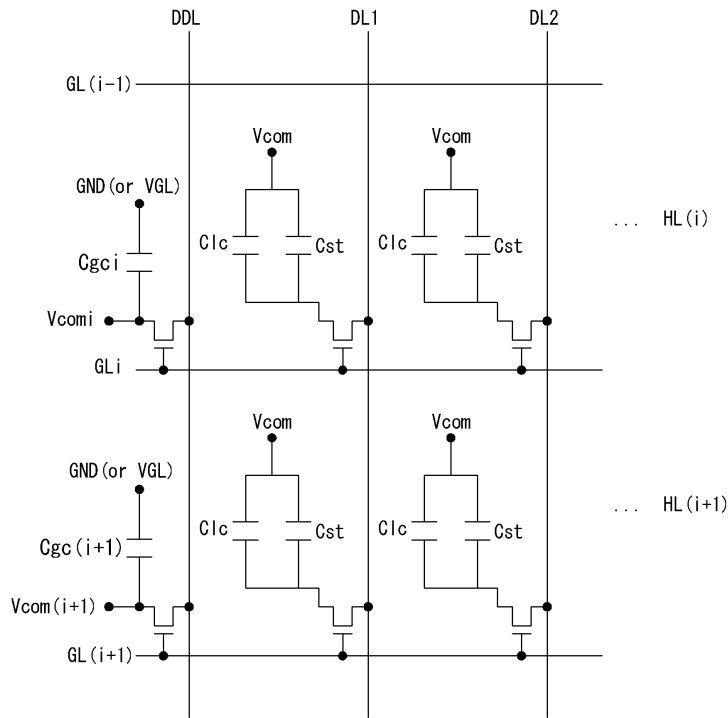
도면4



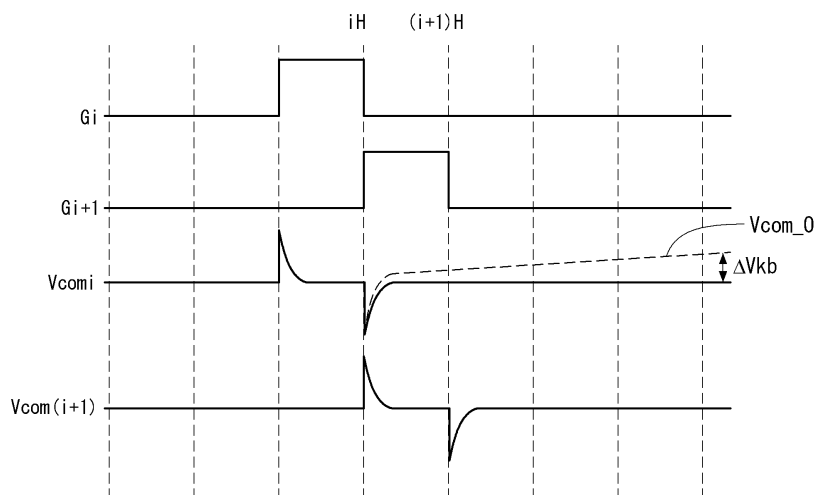
도면5



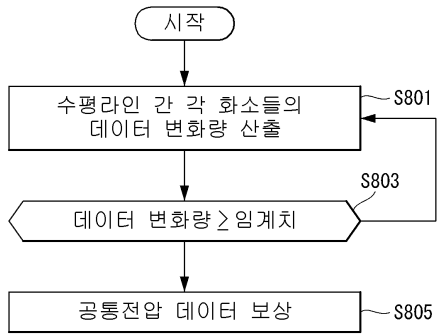
도면6



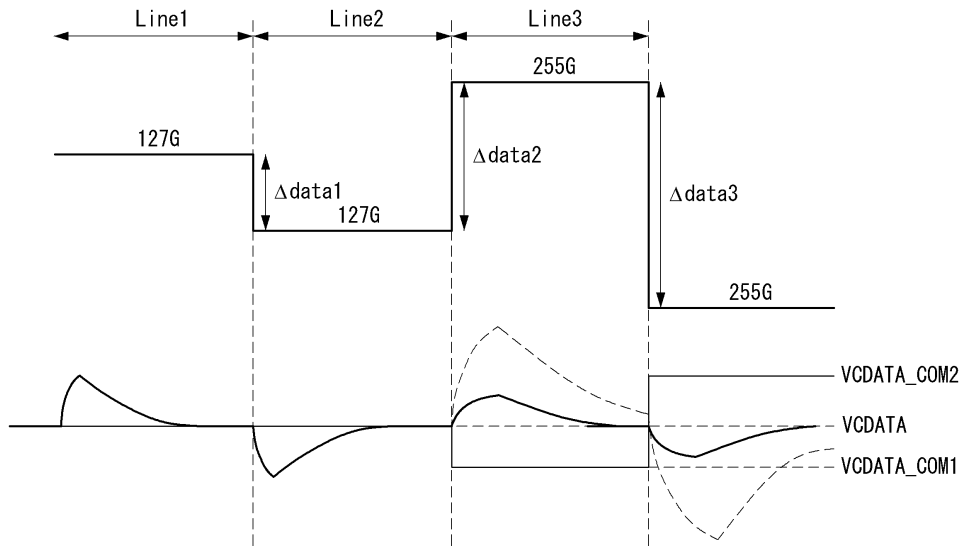
도면7



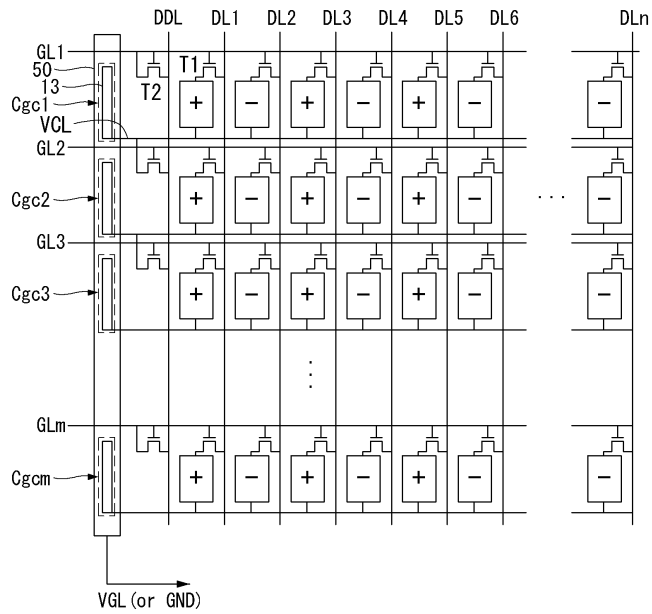
도면8



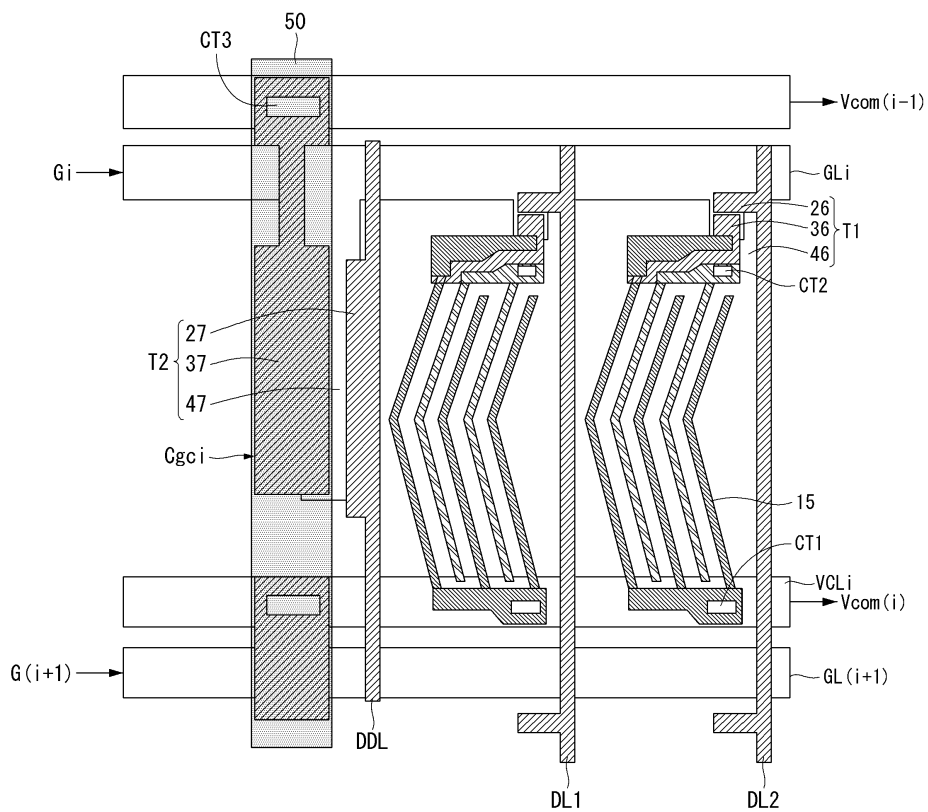
도면9



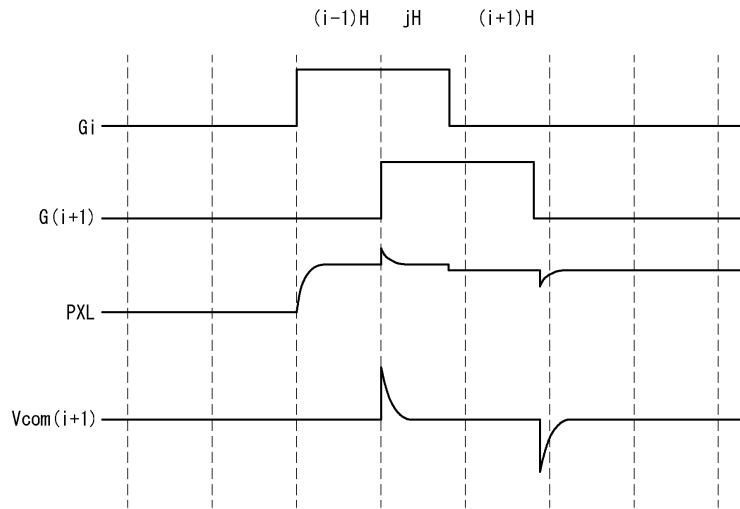
도면10



도면11



도면12



도면13

