



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0047841
(43) 공개일자 2013년05월09일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0112629

(22) 출원일자 2011년11월01일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이중범

경기도 파주시 금촌동 쇠재마을아파트 512동 1201호

양준영

경기도 부천시 원미구 상2동 행복한마을 서해아파트 2407-1303

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

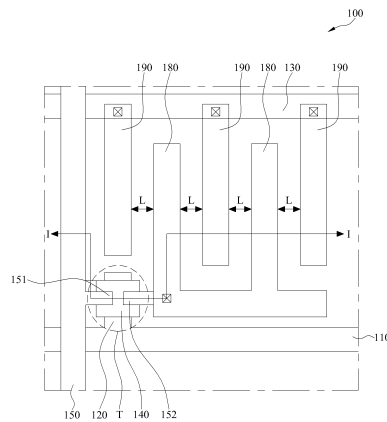
(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은, 기관 상에 형성되는 제1 보호층; 상기 제1 보호층 상에 형성되는 제2 보호층; 및 상기 제2 보호층 상에서 동일한 평면에 형성된 제1 전극 및 제2 전극;을 포함하며, 상기 제1 전극과 상기 제2 전극은 0.5 μ m ~ 2 μ m의 간격을 두고 형성되는 것을 특징으로 하는 액정표시장치, 및 그 제조방법에 관한 것으로서,

본 발명에 따르면, 리프트 오프 공정에 의해, 공통 전극 및 화소 전극을 동일한 평면상에 좁은 간격만큼 이격하도록 형성하므로, 구동 전압을 낮출 수 있어 고전압 데이터 드라이버 사용시, 데이터 드라이버의 발열로 인한 액정의 열화 및 기타 다른 부품들의 신뢰성 문제를 해소할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

기관 상에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계;
 상기 드레인 전극 상에 보호층을 형성하는 단계;
 상기 보호층을 식각하여 상기 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 형성하는 단계;
 상기 보호층 상에 제1 전극 물질층을 형성하는 단계;
 상기 제1 전극 물질층 상에 포토레지스트 패턴을 형성하는 단계;
 상기 포토레지스트 패턴을 이용하여 상기 제1 전극 물질층을 패터닝하여 제1 전극을 형성하는 단계;
 상기 포토레지스트 패턴이 형성된 기관 전면에 제2 전극 물질층을 형성하는 단계;
 리프트 오프 공정에 의해 상기 포토레지스트 패턴 및 그 상부의 상기 제2 전극 물질층을 동시에 제거하는 단계;
 및
 상기 제2 전극 물질층을 패터닝하여 제2 전극을 형성하는 단계를 포함하고,
 상기 제1 전극 또는 상기 제2 전극 중 어느 하나의 전극은 상기 드레인 콘택홀을 통하여 상기 드레인 전극과 연결되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 2

제1 항에 있어서,
 상기 제1 전극과 상기 제2 전극은 $0.5\mu\text{m} \sim 2\mu\text{m}$ 의 간격을 두고 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3

기관 상에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계;
 상기 드레인 전극 상에 보호층을 형성하는 단계;
 상기 보호층을 식각하여 상기 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 형성하는 단계;
 상기 보호층 상에 제1 전극 물질층을 형성하고, 상기 제1 전극 물질층 상에 쇼트방지 물질층을 형성하는 단계;
 상기 쇼트방지 물질층 상에 포토레지스트 패턴을 형성하는 단계;
 상기 포토레지스트 패턴을 이용하여 상기 쇼트방지 물질층 패터닝하여 쇼트방지 패턴을 형성하는 단계;
 상기 포토레지스트 패턴을 이용하여 상기 제1 전극 물질층을 패터닝하여 제1 전극을 형성하는 단계;
 상기 포토레지스트 패턴이 형성된 기관 전면에 제2 전극 물질층을 형성하는 단계;
 리프트 오프 공정에 의해 상기 포토레지스트 패턴 및 그 상부의 상기 제2 전극 물질층을 동시에 제거하는 단계;
 및
 상기 제2 전극 물질층을 패터닝하여 제2 전극을 형성하는 단계를 포함하고,
 상기 제1 전극 또는 상기 제2 전극 중 어느 하나의 전극은 상기 드레인 콘택홀을 통하여 상기 드레인 전극과 연결되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제3 항에 있어서,
 상기 제1 전극과 상기 제2 전극은 $0.5\mu\text{m} \sim 2\mu\text{m}$ 의 간격을 두고 형성되는 것을 특징으로 하는 액정표시장치의 제조

방법.

청구항 5

제3 항 내지 제4 항에 있어서,

상기 쇼트방지 패턴은 하부에 형성된 상기 제1 전극보다 넓게 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제1 항 또는 제3 항에 있어서,

상기 보호층은 제1 보호층 및 제2 보호층을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제1 항 또는 제3 항에 있어서,

상기 제2 전극 물질층을 패터닝하는 단계는,

게이트 패드 또는 데이터 패드를 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

기판 상에 형성되는 제1 보호층;

상기 제1 보호층 상에 형성되는 제2 보호층; 및

상기 제2 보호층 상에서 동일한 평면에 형성된 제1 전극 및 제2 전극;을 포함하며,

상기 제1 전극과 상기 제2 전극은 0.5 μ m ~ 2 μ m의 간격을 두고 형성되는 것을 특징으로 하는 액정표시장치.

청구항 9

제8 항에 있어서,

상기 제1전극 또는 상기 제2 전극 중 어느 하나의 전극 상에 형성된 쇼트방지 패턴을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제9 항에 있어서,

상기 쇼트방지 패턴은 하부에 형성된 제1 전극 또는 제2 전극보다 넓게 형성되는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는 리프트 오프 공정을 이용하여 동일 평면에 형성된 전극들을 포함하는 액정표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.

[0003] 액정표시장치는 하부기관, 상부기관, 및 상기 양 기관 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 액정층의 배열이 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.

[0004] 이와 같은 액정표시장치는 액정층의 배열을 조절하는 방식에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드 등 다양하게 개발되어 있다.

- [0005] 특히, 상기 IPS 모드는 전계를 형성하는 전극들을 동일한 기판 상에 평행하게 배열함으로써 수평방향의 전계를 통해 액정층의 배열을 조절하는 방식으로서, 이와 같은 IPS 모드의 액정표시장치를 횡전계 모드 액정표시장치라고 칭한다.
- [0006] 이하, 도면을 참조로 종래의 횡전계 모드 액정표시장치에 대해서 설명하기로 한다.
- [0007] 도 1은 일반적인 횡전계 모드 액정표시장치의 하부 기판의 개략적인 평면도이다.
- [0008] 도 1에서 알 수 있듯이, 하부 기판(10)에는 게이트 라인(11a), 데이터 라인(15), 공통 라인(12a), 박막 트랜지스터(T), 공통 전극(12) 및 화소 전극(19)을 포함하여 이루어진다.
- [0009] 상기 게이트 라인(11a)은 상기 하부 기판(10)의 가로 방향을 따라 형성된다.
- [0010] 상기 데이터 라인(15)은 상기 하부 기판(10)의 세로 방향을 따라 상기 게이트 라인(11a)과 교차되도록 형성된다.
- [0011] 상기 게이트 라인(11a)과 상기 데이터 라인(15)이 교차되는 화소 영역에는 스위칭 소자로서 박막 트랜지스터(T)가 형성된다.
- [0012] 공통 전극(12) 각각은 상기 게이트 라인(11a)과 나란하도록 형성된 공통 라인(12a)으로부터 일정한 간격을 가지도록 분기되어 형성된다.
- [0013] 화소 전극(19)은 상기 박막 트랜지스터(T)와 전기적으로 접속되어 상기 공통 전극(12)과 평행하도록 상기 공통 전극(12) 사이마다 형성된다.
- [0014] 도 2는 도 1의 I-I라인의 단면도이다.
- [0015] 도 2에서 알 수 있듯이, 하부 기판(10)에는, 기판(10) 상에 게이트 전극(11) 및 공통 전극(12)이 형성되어 있고, 상기 게이트 전극(11)을 포함한 기판(10) 전면에는 게이트 절연막(13)이 형성되어 있다.
- [0016] 상기 게이트 절연막(13) 상에는 반도체층(14)이 형성되어 있고, 상기 반도체층(14) 상에는 데이터 라인(15)과 상기 데이터 라인(15)으로부터 분기되어 형성되는 소스 전극(16) 및 상기 소스 전극(16)과 마주보며 이격 형성되어 있는 드레인 전극(17)이 있다.
- [0017] 상기 소스/드레인 전극(16, 17)을 포함한 기판 전면에는 보호막(18)이 형성되어 있고, 상기 보호막(18) 상에는 화소 전극(19)이 형성되어 있다. 상기 화소 전극(19)은 콘택홀을 통해 상기 박막 트랜지스터(T)의 드레인 전극(17)과 전기적으로 연결되어 있다.
- [0018] 상술한 바와 같은 일반적인 횡전계 모드 액정표시장치의 하부 기판(10)의 경우, 상기 보호막(18)을 사이에 두고 상기 공통 전극(12)과 상기 화소 전극(19)이 상하로 위치하게 된다.
- [0019] 이러한 수직 전극 구조에서는 상기 공통 전극(12)과 상기 화소 전극(19)이 적어도 상기 보호막(18)의 두께만큼 이격하기 때문에, 전극 간의 간격(도 2의 S)이 커져서 상기 화소 전극(19)과 상기 공통 전극(12)을 구동하기 위한 인가 전압이 높아지는 단점이 있다.
- [0020] 즉, 일반적인 횡전계 모드 액정표시장치의 경우, 상기 공통 전극(12)과 상기 화소 전극(14)간의 간격(도 2의 S)이 3 μ m 이상으로 형성되게 되며, 구동 전압은 5V 이상을 필요로 하게 된다.
- [0021] 한편, 높은 인가 전압을 공급하기 위해서는 고전압 데이터 드라이버를 이용하여 상기 데이터 라인(15)에 고전압의 데이터 신호를 공급하게 된다.
- [0022] 그러나, 고전압 데이터 드라이버 사용시, 데이터 드라이버의 발열로 인해 액정의 열화 및 기타 다른 부품들의 신뢰성에 문제를 발생시키는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0023] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 공통 전극과 화소 전극의 간격을 좁게 형성하여, 구동 전압을 낮출 수 있도록 함으로써, 높은 구동 전압으로 인한 액정의 열화 및 기타 다른 부품들의 신뢰성 문제를 해소할 수 있는 액정표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

[0024] 또한, 본 발명은 공통 전극과 화소 전극의 좁은 간격으로 인한 전극간 전기적 쇼트(short) 현상을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

[0025] 본 발명은 상기 목적을 달성하기 위해서, 기관 상에 형성되는 제1 보호층; 상기 제1 보호층 상에 형성되는 제2 보호층; 및 상기 제2 보호층 상에서 동일한 평면에 형성된 제1 전극 및 제2 전극;을 포함하며, 상기 제1 전극과 상기 제2 전극은 0.5 μ m ~ 2 μ m의 간격을 두고 형성되는 것을 특징으로 하는 액정표시장치를 제공한다.

[0026] 본 발명은 또한, 기관 상에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계; 상기 드레인 전극 상에 보호층을 형성하는 단계; 상기 보호층을 식각하여 상기 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 형성하는 단계; 상기 보호층 상에 제1 전극 물질층을 형성하는 단계; 상기 제1 전극 물질층 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 이용하여 상기 제1 전극 물질층을 패터닝하여 제1 전극을 형성하는 단계; 상기 포토레지스트 패턴이 형성된 기관 전면에 제2 전극 물질층을 형성하는 단계; 리프트 오프 공정에 의해 상기 포토레지스트 패턴 및 그 상부의 상기 제2 전극 물질층을 동시에 제거하는 단계; 및 상기 제2 전극 물질층을 패터닝하여 제2 전극을 형성하는 단계를 포함하고, 상기 제1 전극 또는 상기 제2 전극 중 어느 하나의 전극은 상기 드레인 콘택홀을 통하여 상기 드레인 전극과 연결되는 것을 특징으로 하는 액정표시장치의 제조방법을 제공한다.

[0027] 본 발명은 또한, 기관 상에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계; 상기 드레인 전극 상에 보호층을 형성하는 단계; 상기 보호층을 식각하여 상기 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 형성하는 단계; 상기 보호층 상에 제1 전극 물질층을 형성하고, 상기 제1 전극 물질층 상에 쇼트방지 물질층을 형성하는 단계; 상기 쇼트방지 물질층 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 이용하여 상기 쇼트방지 물질층 패터닝하여 쇼트방지 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 이용하여 상기 제1 전극 물질층을 패터닝하여 제1 전극을 형성하는 단계; 상기 포토레지스트 패턴이 형성된 기관 전면에 제2 전극 물질층을 형성하는 단계; 리프트 오프 공정에 의해 상기 포토레지스트 패턴 및 그 상부의 상기 제2 전극 물질층을 동시에 제거하는 단계; 및 상기 제2 전극 물질층을 패터닝하여 제2 전극을 형성하는 단계를 포함하고, 상기 제1 전극 또는 상기 제2 전극 중 어느 하나의 전극은 상기 드레인 콘택홀을 통하여 상기 드레인 전극과 연결되는 것을 특징으로 하는 액정표시장치의 제조방법을 제공한다.

발명의 효과

[0028] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0029] 본 발명은 공통 전극과 화소 전극이 서로 다른 평면에 형성되는 수직 전극 구조와는 달리, 동일한 평면상에 공통 전극과 화소 전극을 형성하기 때문에, 전극간 간격을 더욱 좁혀, 구동 전압을 낮출 수 있어, 고전압 데이터 드라이브의 사용으로 인한 데이터 드라이브의 발열을 줄일 수 있는 효과가 있다.

[0030] 또한, 본 발명에 따르면, 동일한 평면상에 좁은 간격으로 형성되는 공통 전극과 화소 전극 간에 이물질 침투에 의한 전기적 쇼트(short) 현상을 방지함으로써, 액정표시장치의 불량을 줄일 수 있는 효과가 있다.

도면의 간단한 설명

[0031] 도 1은 일반적인 횡전계 모드 액정표시장치의 하부 기관의 개략적인 평면도이다.

도 2는 도 1의 I-I라인의 단면도이다.

도 3은 본 발명의 제1 실시예에 따른 액정표시장치용 기관의 개략적인 평면도이다.

도 4는 도 3의 I-I라인의 단면도이다.

도 5는 본 발명의 제2 실시예에 따른 액정표시장치용 기관의 개략적인 평면도이다.

도 6은 도 5의 I-I라인의 단면도이다.

도 7a 내지 도 7j는 본 발명의 제1 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도이다.

도 8a 내지 도 8k는 본 발명의 제2 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정

단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0033] <액정표시장치>
- [0034] 도 3은 본 발명의 제1 실시예에 따른 액정표시장치용 기관의 개략적인 평면도이고, 도 4는 도 3의 I-I라인의 단면도이다.
- [0035] 도 3 및 도 4에서 알 수 있듯이, 본 발명의 제1 실시예에 따른 액정표시장치의 하부 기관(100)에는 게이트 라인(110), 공통 라인(130), 데이터 라인(150), 박막 트랜지스터(T), 제1 전극(180) 및 제2 전극(190)이 형성되어 있다.
- [0036] 상기 게이트 라인(110)과 상기 공통 라인(130)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(150)은 세로 방향으로 배열되어 있다. 이와 같이, 상기 게이트 라인(110)과 상기 데이터 라인(150)이 서로 교차되도록 배열되어 하나의 화소 영역이 정의된다.
- [0037] 상기 박막 트랜지스터(T)는 상기 게이트 라인(110)과 상기 데이터 라인(150)이 교차하는 영역에 형성된다. 상기 박막 트랜지스터(T)는 게이트 전극(120), 반도체층(140), 소스 전극(151) 및 드레인 전극(152)을 포함하여 이루어진다.
- [0038] 상기 게이트 전극(120)은 상기 게이트 라인(110)에서 연장형성되어 있다.
- [0039] 상기 반도체층(140)은 상기 게이트 전극(120)과 상기 소스/드레인 전극(151, 152) 사이의 중간층에 형성되어 박막 트랜지스터가 동작할 때 전자가 이동하는 채널 역할을 한다.
- [0040] 상기 소스 전극(151)은 상기 데이터 라인(150)에서 연장형성되어 있고, 상기 드레인 전극(152)은 상기 소스 전극(151)과 소정 간격으로 이격되어 형성되어 있다.
- [0041] 이와 같은 박막 트랜지스터(T)는 도시된 바와 같은 구조로 한정되는 것은 아니고, 예로서 상기 소스 전극(151)이 U자 형태로 구성되는 구조 등과 같이 당업계에 공지된 다양한 형태로 변경형성될 수 있다.
- [0042] 상기 소스/드레인 전극(151, 152) 상에는 제1 보호층(160)이 형성되어 있다.
- [0043] 상기 제1 보호층(160) 상에는 제2 보호층(170)이 형성되어 있다.
- [0044] 상기 제1 전극(180) 및 상기 제2 전극(190)은 상기 화소 영역 내에서 상기 제2 보호층(170) 상에서 동일한 평면에 형성된다.
- [0045] 상기 제1 전극(180) 또는 상기 제2 전극(190) 중 어느 하나의 전극은 상기 드레인 전극(152)과 전기적으로 연결된다. 본 발명의 제1 실시예에서는 상기 제1 전극(180)이 상기 드레인 전극(152)과 드레인 콘택홀(175)을 통해 연결되어 있다.
- [0046] 상기 제1 전극(180)과 상기 제2 전극(190)은 0.5 μ m 이상 및 2 μ m 이하의 간격(도 3 및 도 4의 L)을 두고 형성할 수 있다.
- [0047] 이와 같이 본 발명에 따른 액정표시장치는, 상기 제1 전극(180)과 상기 제2 전극(190)의 간격을 좁게 형성함으로써, 구동 전압을 낮출 수 있다.
- [0048] 즉, 일반적인 횡전계 모드 액정표시장치의 경우, 상기 제1 전극(180)과 상기 제2 전극(190)간의 간격이 3 μ m 이상으로 형성되며, 구동 전압은 5V 이상을 필요로 하게 된다.
- [0049] 한편, 높은 구동 전압을 공급하기 위해서는 고전압 데이터 드라이버를 이용하여 고전압의 데이터 신호를 공급하게 된다. 그러나, 고전압 데이터 드라이버 사용시, 데이터 드라이버의 발열로 인해 액정의 열화 및 기타 다른 부품들의 신뢰성에 문제를 발생시키는 문제점이 있다.
- [0050] 본 발명의 제1 실시예에서는 상기 제1 전극(180)과 상기 제2 전극(190)의 간격을 0.5 μ m로 형성하여, 구동 전압을 4.2V로 낮출 수 있다. 즉, 일반적인 횡전계 모드 액정표시장치의 경우와 비교할 때, 구동 전압이 약 1V 만큼 감소한다.
- [0051] 따라서, 본 발명에 따른 액정표시장치는 상기 제1 전극(180)과 상기 제2 전극(190)간의 간격을 작게 형성함으로써

써, 낮은 전압에서 구동이 가능하게 되어, 데이터 드라이버의 발열로 인한 액정의 열화 및 기타 다른 부품들의 신뢰성 문제를 해결할 수 있다.

[0052] 본 발명의 제1 실시예에서 상기 제1 전극(180)은 상기 드레인 콘택홀(175)을 통하여 상기 드레인 전극(152)과 연결되는 화소 전극으로 기능하며, 상기 제2 전극(190)은 상기 공통 라인(130)과 전기적으로 연결되는 공통 전극으로 기능하도록 형성되지만, 상기 제1 전극(180)이 공통 전극으로, 상기 제2 전극(190)이 화소 전극으로 기능하도록 형성될 수도 있다.

[0053] 도 5는 본 발명의 제2 실시예에 따른 액정표시장치용 기관의 개략적인 평면도이고, 도 6은 도 5의 I-I라인의 단면도이다.

[0054] 본 발명의 제2 실시예에 따른 액정표시장치용 기관은 제1 전극(180) 및 제2 전극(190)의 구성을 제외하고 전술한 실시예에 따른 액정표시장치용 기관과 유사하며, 따라서 동일한 구성에 대해서는 동일한 도면부호를 부여하였고 동일한 구성에 대한 반복 설명은 생략하기로 한다.

[0055] 도 5 및 도 6에서 알 수 있듯이, 본 발명의 제2 실시예에 따른 액정표시장치의 하부 기관(100)에는 게이트 라인(110), 공통 라인(130), 데이터 라인(150), 박막 트랜지스터(T), 제1 전극(180), 제2 전극(190) 및 쇼트방지 패턴(200)이 형성되어 있다.

[0056] 상기 게이트 라인(110)과 상기 공통 라인(130)은 가로 방향으로 배열되어 있고, 상기 데이터 라인(150)은 세로 방향으로 배열되어 있다.

[0057] 상기 박막 트랜지스터(T)는 게이트 전극(120), 반도체층(140), 소스 전극(151) 및 드레인 전극(152)을 포함하여 이루어진다.

[0058] 상기 게이트 전극(120)은 상기 게이트 라인(110)에서 연장형성되어 있다.

[0059] 상기 반도체층(140)은 상기 게이트 전극(120)과 상기 소스/드레인 전극(151, 152) 사이의 중간층에 형성되어 박막 트랜지스터가 동작할 때 전자가 이동하는 채널 역할을 한다.

[0060] 상기 소스 전극(151)은 상기 데이터 라인(150)에서 연장형성되어 있고, 상기 드레인 전극(152)은 상기 소스 전극(151)과 소정 간격으로 이격되어 형성되어 있다.

[0061] 상기 소스/드레인 전극(151, 152) 상에는 제1 보호층(160)이 형성되어 있다.

[0062] 상기 제1 보호층(160) 상에는 제2 보호층(170)이 형성되어 있다.

[0063] 상기 제1 전극(180) 및 상기 제2 전극(190)은 상기 화소 영역 내에서 상기 제2 보호층(170) 상에서 동일한 평면에 형성된다.

[0064] 상기 제1 전극(180)과 상기 제2 전극(190)은 0.5 μ m 이상 및 2 μ m 이하의 간격(도 5 및 도 6의 L)을 두고 형성할 수 있다.

[0065] 상기 제1 전극(180) 또는 상기 제2 전극(190) 중 어느 하나의 전극은 상기 드레인 전극(152)과 전기적으로 연결된다. 본 발명의 제2 실시예에서는 상기 제2 전극(190)이 상기 드레인 전극(152)과 드레인 콘택홀(175)을 통해 연결되어 있다.

[0066] 상기 쇼트방지 패턴(200)은 상기 제1 전극(180) 또는 상기 제2 전극(190) 중 어느 하나의 전극 상에 형성된다. 본 발명의 제2 실시예에서는 상기 쇼트방지 패턴(200)은 상기 제1 전극(180) 상에 형성된다.

[0067] 상기 쇼트방지 패턴(200)은 하부에 형성된 상기 제1 전극(180) 또는 상기 제2 전극(190)을 이물질로부터 보호함으로써, 상기 제1 전극(180) 및 상기 제2 전극(190) 사이에 전기적 쇼트(short)를 방지할 수 있다.

[0068] 즉, 본 발명에 의한 액정표시장치에 있어서, 상기 제1 전극(180)과 상기 제2 전극(190)간의 간격은 2 μ m 이하로 좁게 형성되기 때문에, 이물질이 침투하여 상기 제1 전극(180) 및 상기 제2 전극(190)을 전기적으로 연결시킬 염려가 있다.

[0069] 따라서, 절연물질로 형성되는 상기 쇼트방지 패턴(200)을 상기 제1 전극(180) 또는 상기 제2 전극(190) 중 어느 하나의 전극 상에 형성함으로써, 이물질의 침투를 막아 전기적 쇼트(short)를 방지할 수 있게 된다.

[0070] 상기 쇼트방지 패턴(200)을 하부에 형성된 상기 제1 전극(180) 또는 상기 제2 전극(190)보다 넓게 형성함으로써, 이물질이 상기 제1 전극(180) 또는 상기 제2 전극(190)과 접촉할 수 있는 영역을 줄일 수 있어,

더욱 효과적으로 전기적 쇼트(short)를 방지할 수 있게 된다.

[0071] 본 발명의 제2 실시예에서 상기 제1 전극(180)은 상기 공통 라인(130)과 전기적으로 연결되는 공통 전극으로 기능하며, 상기 제2 전극(190)은 상기 드레인 콘택홀(175)을 통하여 상기 드레인 전극(152)과 연결되는 화소 전극으로 기능하도록 형성되지만, 상기 제1 전극(180)이 화소 전극으로, 상기 제2 전극(190)이 공통 전극으로 기능하도록 형성될 수도 있다.

[0072] 이상 설명한 각각의 구성들은 당업계에 공지된 다양한 재료를 이용하여 형성할 수 있다. 이하에서는 각각의 구성들의 재료에 대한 예를 설명하지만, 반드시 그에 한정되는 것은 아니다.

[0073] 상기 게이트 라인(110), 상기 게이트 전극(120), 상기 공통 라인(130), 상기 데이터 라인(150), 상기 소스 전극(151) 및 상기 드레인 전극(152)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.

[0074] 상기 게이트 절연막(135), 상기 제1 보호층(160) 및 상기 제2 보호층(170)은 실리콘 산화막(SiO_x)과 실리콘 질화막(SiN_x) 등과 같은 무기계 물질, 또는 벤조사이클로부텐(BCB)과 포토아크릴(photo acryl) 등과 같은 유기계 물질로 이루어질 수 있다.

[0075] 상기 쇼트방지 패턴(200)은 절연 물질로 형성될 수 있다. 특히, 상기 쇼트방지 패턴(200)은 실리콘 질화막(SiN_x)으로 이루어질 수 있다.

[0076] 상기 반도체층(140)은 비정질 실리콘 또는 결정질 실리콘을 포함하여 이루어질 수 있다.

[0077] 상기 제1 전극(180) 및 상기 제2 전극(190)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide)와 같은 투명 도전물로 이루어질 수 있다.

[0078] 이상은, 본 발명에 따른 액정표시장치의 일 기관, 즉, 박막 트랜지스터가 형성되는 어레이 기관에 대해서 상세히 설명하였다. 본 발명에 따른 액정표시장치는 상기 어레이 기관과 더불어 컬러 필터 기관 및 양 기관 사이에 형성되는 액정층을 포함하여 이루어진다.

[0079] 상기 컬러 필터 기관은, 기관 상에 형성되어 화소 영역 이외의 영역으로 광이 누설되는 것을 차단하기 위한 차광층, 상기 차광층 사이에 형성된 적색(R), 녹색(G) 및 청색(B)의 컬러필터층, 상기 컬러필터층 상에 형성된 오버코트층을 포함하여 이루어진다.

[0080] <액정표시장치의 제조방법>

[0081] 도 7a 내지 도 7j는 본 발명의 제1 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도로서, 이는 전술한 도 3 및 도 4에 도시한 액정표시장치의 제조공정에 관한 것이다.

[0082] 우선, 도 7a에서 알 수 있듯이, 하부 기관(100) 상에 게이트 전극(120)을 형성한 후, 상기 게이트 전극(120)을 포함한 하부 기관(100) 전면에 게이트 절연막(135)을 형성한다.

[0083] 상기 게이트 전극(120)은 상기 하부 기관(100) 상에 소정의 금속물질을 적층하고, 소정의 금속물질 상에 포토레지스트를 적층한 후, 마스크를 이용하여 노광, 현상 및 식각 공정을 차례로 수행하는 소위 마스크 공정을 이용하여 패턴 형성할 수 있으며, 이하에서 설명하는 각각의 구성에 대한 패턴 형성도 상기와 같은 마스크 공정을 이용하여 수행할 수 있다.

[0084] 한편, 도시하지는 않았지만, 상기 게이트 전극(120)을 형성하는 공정 시에 상기 게이트 전극(120)과 연결되는 게이트 라인, 그리고 제1 전극 및 제2 전극 중 어느 하나의 전극과 전기적으로 연결되는 공통 라인을 동시에 형성하게 된다. 본 발명의 제1 실시예에서는 상기 제2 전극이 상기 공통 라인과 전기적으로 연결된다.

[0085] 상기 게이트 절연막(135)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.

[0086] 다음, 도 7b에서 알 수 있듯이, 상기 게이트 절연막(135) 상에 반도체층(140)을 형성하고, 상기 반도체층(140) 상에 데이터 라인(150)에서 연장되는 소스 전극(151) 및 상기 소스 전극(151)과 이격하여 드레인 전극(152)을 형성한다.

[0087] 상기 반도체층(140)을 마스크 공정을 이용하여 형성한 후, 이어서 상기 소스 전극(151) 및 드레인 전극(152)을 마스크 공정을 이용하여 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 하프톤 마스크를 이용하여

한 번의 마스크 공정을 이용하여 상기 반도체층(140)과 상기 소스/드레인 전극(151, 152)을 동시에 형성할 수도 있으며, 이 경우에는 상기 반도체층(140)과 상기 소스/드레인 전극(151, 152)의 패턴모습이 서로 유사하게 형성된다.

[0088] 다음, 도 7c에서 알 수 있듯이, 상기 소스 전극(151) 및 상기 드레인 전극(152) 상에 제1 보호층(160)을 형성한 후, 상기 제1 보호층(160) 상에 제2 보호층(170)을 형성한다.

[0089] 상기 제1 보호층(160)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.

[0090] 상기 제2 보호층(170)은 소정 영역에 개구부가 구비되도록 패턴 형성한다. 상기 개구부는 추후 공정에서 상기 드레인 전극(152)이 노출되도록 하기 위한 드레인 콘택홀(175) 영역에 형성한다.

[0091] 다음, 도 7d에서 알 수 있듯이, 상기 드레인 전극(152)의 일부가 노출될 수 있도록 드레인 콘택홀(175)을 형성한다.

[0092] 상기 드레인 콘택홀(175)은 상기 제1 보호층(160)을 건식 식각(Dry Etching)하여 형성할 수 있다.

[0093] 다음, 도 7e에서 알 수 있듯이, 상기 제2 보호층(170) 상에 상기 드레인 콘택홀(175)을 통하여 상기 드레인 전극(152)과 연결되도록 제1 전극 물질층(180a)을 형성한다.

[0094] 상기 제1 전극 물질층(180a)은 스퍼터링법(Sputtering)을 이용하여 형성할 수 있다.

[0095] 다음, 도 7f에서 알 수 있듯이, 상기 제1 전극 물질층(180a) 상에 상기 드레인 전극(152)과 중첩하는 영역을 포함하여 포토레지스트 패턴(180b)을 형성한다.

[0096] 상기 포토레지스트 패턴(180b)은 상기 제1 전극 물질층(180a) 상에 포토 레지스트를 적층한 후, 마스크를 이용하여 노광, 현상 공정을 차례로 수행하여 패턴 형성할 수 있다.

[0097] 다음, 도 7g에서 알 수 있듯이, 상기 포토레지스트 패턴(180b)을 이용하여 상기 제1 전극 물질층(180a)을 패터닝하여 제1 전극(180)을 형성한다.

[0098] 상기 제1 전극(180)은 상기 제1 전극 물질층(180a)을 습식 식각(Wet Etching)하여 형성할 수 있다.

[0099] 다음, 도 7h에서 알 수 있듯이, 상기 포토레지스트 패턴(180b)이 형성된 기판 전면에서 제2 전극 물질층(190a)을 형성한다.

[0100] 상기 제2 전극 물질층(190a)은 스퍼터링법(Sputtering)을 이용하여 형성할 수 있다.

[0101] 다음, 도 7i에서 알 수 있듯이, 리프트 오프 공정에 의해 상기 포토레지스트 패턴(180b) 및 그 상부의 상기 제2 전극 물질층(190a)을 동시에 제거한다.

[0102] 다음, 도 7j에서 알 수 있듯이, 상기 제2 전극 물질층(190a)을 패터닝하여 제2 전극(190)을 형성한다.

[0103] 또한, 도시하지는 않았지만, 상기 제2 전극 물질층(190a)을 패터닝함으로써 상기 제2 전극(190)을 형성함과 동시에 게이트 패드(Gate Pad) 또는 데이터 패드(Data Pad)를 형성한다.

[0104] 상기 게이트 패드(Gate Pad)는 상기 게이트 라인과 전기적으로 연결되어 게이트 펄스 신호를 전달하고, 상기 데이터 패드(Data Pad)는 상기 데이터 라인(150)과 전기적으로 연결되어 데이터 신호를 전송하는 역할을 한다.

[0105] 상기 제2 전극 물질층(190a)은 상기 제2 전극(190)을 구성하는 물질이면서 동시에 상기 게이트 패드(Gate Pad) 또는 상기 데이터 패드(Data Pad)를 구성할 수 있다.

[0106] 상기 제2 전극(190)과, 상기 게이트 패드(Gate Pad) 또는 상기 데이터 패드(Data Pad)는 서로 분리된 회로로서 패턴형성하여야 한다. 또한, 상기 게이트 패드(Gate Pad)는 게이트 라인별로 분리된 구조를 가져야 하고, 상기 데이터 패드(Data Pad)는 데이터 라인별로 분리된 구조를 가져야 한다.

[0107] 따라서, 기판 전면에서 형성된 상기 제2 전극 물질층(190a)을 패터닝하여, 상기 제2 전극(190)과 상기 게이트 패드(Gate Pad) 또는 상기 데이터 패드(Data Pad)를 형성할 수 있다.

[0108] 본 발명에서는, 리프트 오프 공정을 이용함으로써, 상기 제2 보호층(170) 상에서 동일한 평면에 상기 제1 전극(180) 및 제2 전극(190)을 0.5 μ m 이상 및 2 μ m 이하의 간격(도 7j의 L)을 두고 형성할 수 있다.

[0109] 한편, 일반적인 마스크 공정을 이용할 경우에는, 상기 제1 전극(180) 및 제2 전극(190)의 간격이 3 μ m 이상으로

형성되므로, 상기 제1 전극(180) 및 제2 전극(190) 간의 구동 전압을 낮추는데 한계가 있다.

- [0110] 즉, 마스크 공정에서는 포토레지스트 패턴을 먼저 형성한 후, 상기 포토레지스트 패턴에 따라 하부의 물질층을 식각함으로써 원하는 회로 패턴을 형성할 수 있다. 상기 제1 전극(180) 및 제2 전극(190)은 전기적인 쇼트(short)가 일어나지 않도록 하기 위하여 서로 분리되어야 하기 때문에, 서로 분리된 포토레지스트 패턴에 따라 형성되어야 한다. 그런데, 포토레지스트 패턴들의 간격은 마스크 공정상의 한계로 인하여 3 μ m 이상으로 형성될 수 밖에 없다.
- [0111] 따라서, 본 발명에서는, 동일 평면에 상기 제1 전극(180) 및 제2 전극(190)을 3 μ m 이하로 형성하기 위하여 리프트 오프 공정을 이용함으로써, 전극 간의 간격을 줄이고 구동 전압을 낮출 수 있게 된다.
- [0112] 본 발명의 제1 실시예에서 상기 제1 전극(180)은 상기 드레인 콘택홀(175)을 통하여 상기 드레인 전극(152)과 연결되는 화소 전극으로 기능하며, 상기 제2 전극(190)은 상기 공통 라인과 전기적으로 연결되는 공통 전극으로 기능하도록 형성되지만, 상기 제1 전극(180)이 공통 전극으로, 상기 제2 전극(190)이 화소 전극으로 기능하도록 형성될 수도 있다.
- [0113] 도 8a 내지 도 8k는 본 발명의 제2 실시예에 따른 액정표시장치의 제조방법을 도시한 개략적인 공정 단면도로서, 이는 전술한 도 5 및 도 6에 도시한 액정표시장치의 제조공정에 관한 것이다. 이하, 전술한 실시예와 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0114] 우선, 도 8a에서 알 수 있듯이, 하부 기관(100) 상에 게이트 전극(120)을 형성한 후, 상기 게이트 전극(120)을 포함한 하부 기관(100) 전면에 게이트 절연막(135)을 형성한다.
- [0115] 상기 게이트 전극(120)은 마스크 공정을 이용하여 형성할 수 있다.
- [0116] 상기 게이트 절연막(135)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0117] 다음, 도 8b에서 알 수 있듯이, 상기 게이트 절연막(135) 상에 반도체층(140)을 형성하고, 상기 반도체층(140) 상에 데이터 라인(150)에서 연장되는 소스 전극(151) 및 상기 소스 전극(151)과 이격하여 드레인 전극(152)을 형성한다.
- [0118] 상기 반도체층(140)을 마스크 공정을 이용하여 형성한 후, 이어서 상기 소스 전극(151) 및 드레인 전극(152)을 마스크 공정을 이용하여 형성할 수 있다. 또는 하프톤 마스크를 이용하여 한 번의 마스크 공정을 이용하여 상기 반도체층(140)과 상기 소스/드레인 전극(151, 152)을 동시에 형성할 수 있다.
- [0119] 다음, 도 8c에서 알 수 있듯이, 상기 소스 전극(151) 및 드레인 전극(152) 상에 제1 보호층(160)을 형성한 후, 상기 제1 보호층(160) 상에 제2 보호층(170)을 형성한다.
- [0120] 상기 제1 보호층(160)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0121] 상기 제2 보호층(170)은 소정 영역에 개구부가 구비되도록 패턴 형성한다. 상기 개구부는 추후 공정에서 상기 드레인 전극(152)이 노출되도록 하기 위한 드레인 콘택홀(175) 영역에 형성한다.
- [0122] 다음, 도 8d에서 알 수 있듯이, 상기 드레인 전극(152)의 일부가 노출될 수 있도록 드레인 콘택홀(175)을 형성한다.
- [0123] 상기 드레인 콘택홀(175)은 상기 제1 보호층(160)을 건식 식각(Dry Etching)하여 형성할 수 있다.
- [0124] 다음, 도 8e에서 알 수 있듯이, 상기 제2 보호층(170) 상에 제1 전극 물질층(180a)을 형성한 후, 상기 제1 전극 물질층(180a) 상에 쇼트방지 물질층(200a)을 형성한다.
- [0125] 상기 제1 전극 물질층(180a)은 스퍼터링법(Sputtering)을 이용하여 형성할 수 있다.
- [0126] 상기 쇼트방지 물질층(200a)은 플라즈마 강화 화학 기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 형성할 수 있다.
- [0127] 다음, 도 8f에서 알 수 있듯이, 상기 쇼트방지 물질층(200a) 상에 포토레지스트 패턴(180b)을 형성한다.
- [0128] 상기 포토레지스트 패턴(180b)은 상기 쇼트방지 물질층(200a) 상에 포토 레지스트를 적층한 후, 마스크를 이용하여 노광, 현상 공정을 차례로 수행하여 패턴 형성할 수 있다.

- [0129] 다음, 도 8g에서 알 수 있듯이, 상기 포토레지스트 패턴(180b)을 이용하여 상기 쇼트방지 물질층(200a)을 패터닝하여 쇼트방지 패턴(200)을 형성한다.
- [0130] 상기 쇼트방지 패턴(200)은 상기 쇼트방지 물질층(200a)을 건식 식각(Dry Etching)하여 형성할 수 있다.
- [0131] 상기 쇼트방지 패턴(200)은 절연 물질로 형성할 수 있다. 특히, 상기 절연 물질은 SiNx로 형성할 수 있다.
- [0132] 다음, 도 8h에서 알 수 있듯이, 상기 포토레지스트 패턴(180b)을 이용하여 상기 제1 전극 물질층(180a)을 패터닝하여 제1 전극(180)을 형성한다.
- [0133] 상기 제1 전극(180)은 제1 전극 물질층(180a)을 습식 식각(Wet Etching)하여 형성할 수 있다.
- [0134] 상기 쇼트방지 패턴(200)은 하부에 형성된 상기 제1 전극(180) 보다 넓게 형성할 수 있다.
- [0135] 즉, 상기 제1 전극 물질층(180a)을 과식각함으로써, 상부에 형성된 상기 쇼트방지 패턴(200)에 비하여 상기 제1 전극(180)의 폭을 더욱 좁게 형성할 수 있다.
- [0136] 다음, 도 8i에서 알 수 있듯이, 상기 포토레지스트 패턴(180b)이 형성된 기판 전면에서 상기 드레인 콘택홀(175)을 통하여 상기 드레인 전극(152)과 연결되도록 제2 전극 물질층(190a)을 형성한다.
- [0137] 상기 제2 전극 물질층(190a)은 스퍼터링법(Sputtering)을 이용하여 형성할 수 있다.
- [0138] 다음, 도 8j에서 알 수 있듯이, 리프트 오프 공정에 의해 상기 포토레지스트 패턴(180b) 및 그 상부의 상기 제2 전극 물질층(190a)을 동시에 제거한다.
- [0139] 다음, 도 8k에서 알 수 있듯이, 상기 제2 전극 물질층(190a)을 패터닝하여 제2 전극(190)을 형성한다.
- [0140] 또한, 도시하지는 않았지만, 상기 제2 전극 물질층(190a)을 패터닝함으로써 상기 제2 전극(190)을 형성함과 동시에 게이트 패드(Gate Pad) 또는 데이터 패드(Data Pad)를 형성한다.
- [0141] 본 발명에서는, 리프트 오프 공정을 이용함으로써, 상기 제2 보호층(170) 상에서 동일한 평면에 상기 제1 전극(180) 및 제2 전극(190)을 0.5 μ m 이상 및 2 μ m 이하의 간격(도 8k의 L)을 두고 형성할 수 있다.
- [0142] 본 발명의 제2 실시예에서 상기 제1 전극(180)은 상기 공통 라인과 전기적으로 연결되는 공통 전극으로 기능하며, 상기 제2 전극(190)은 상기 드레인 콘택홀(175)을 통하여 상기 드레인 전극(152)과 연결되는 화소 전극으로 기능하도록 형성되지만, 상기 제1 전극(180)은 화소 전극으로, 상기 제2 전극(190)은 공통 전극으로 기능하도록 형성될 수도 있다.
- [0143] 또한, 본 발명의 제2 실시예에서 상기 쇼트방지 패턴(200)은 상기 제1 전극(180) 상부에 형성하였지만, 상기 쇼트방지 패턴(200)은 상기 제2 전극(190) 상부에 형성할 수도 있다.
- [0144] 한편, 본 발명에 따른 액정표시장치는 상술한 도 7a 내지 도 7j에 따른 어레이 기판 또는 도 8a 내지 도 8k에 따른 어레이 기판을 형성하는 공정과 더불어, 기판 상에 차광층, 컬러필터층 및 오버코트층을 차례로 형성하여 컬러필터 기판을 형성하는 공정, 및 상기 양 기판 사이에 액정층을 형성하는 공정을 통해 그 제조가 완성된다.

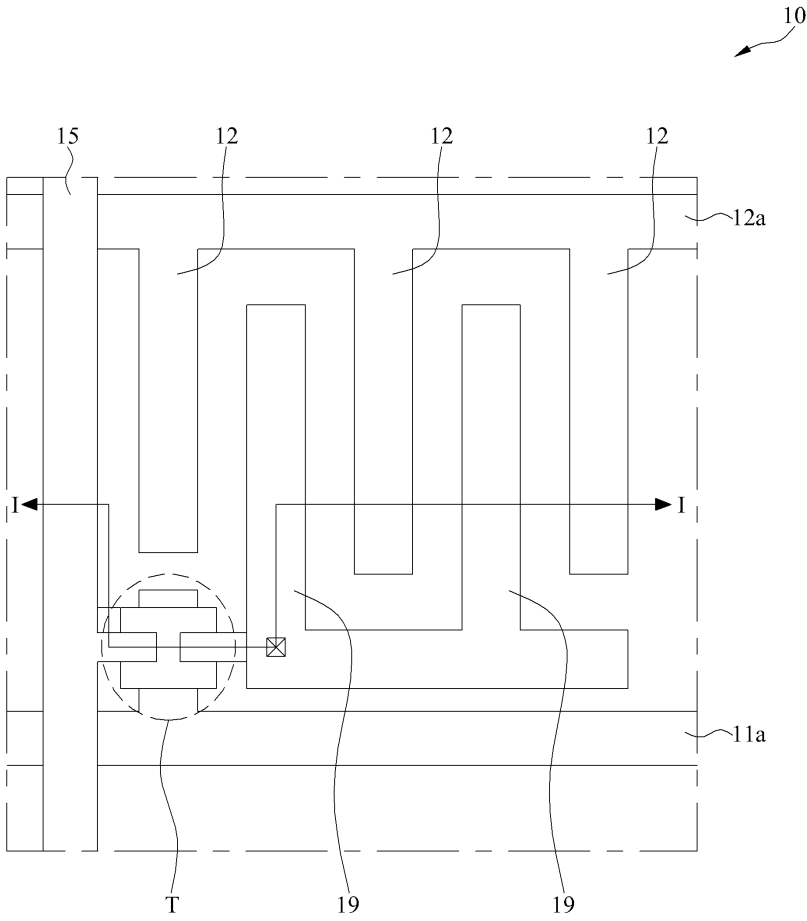
부호의 설명

- | | |
|-----------------|-----------------|
| [0145] 100: 기판 | 110: 게이트 라인 |
| 120: 게이트 전극 | 135: 게이트 절연막 |
| 140: 반도체층 | 150: 데이터 라인 |
| 151: 소스 전극 | 152: 드레인 전극 |
| 160: 제1 보호층 | 170: 제2 보호층 |
| 175: 드레인 콘택홀 | 180: 제1 전극 |
| 180a: 제1 전극 물질층 | 180b: 포토레지스트 패턴 |
| 190: 제2 전극 | 190a: 제2 전극 물질층 |
| 200a: 쇼트방지 물질층 | 200: 쇼트방지 패턴 |

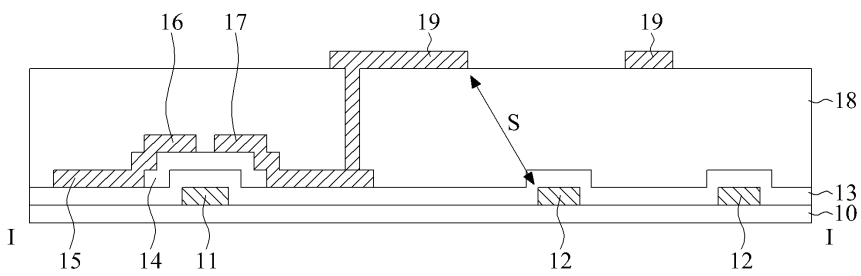
T: 박막 트랜지스터

도면

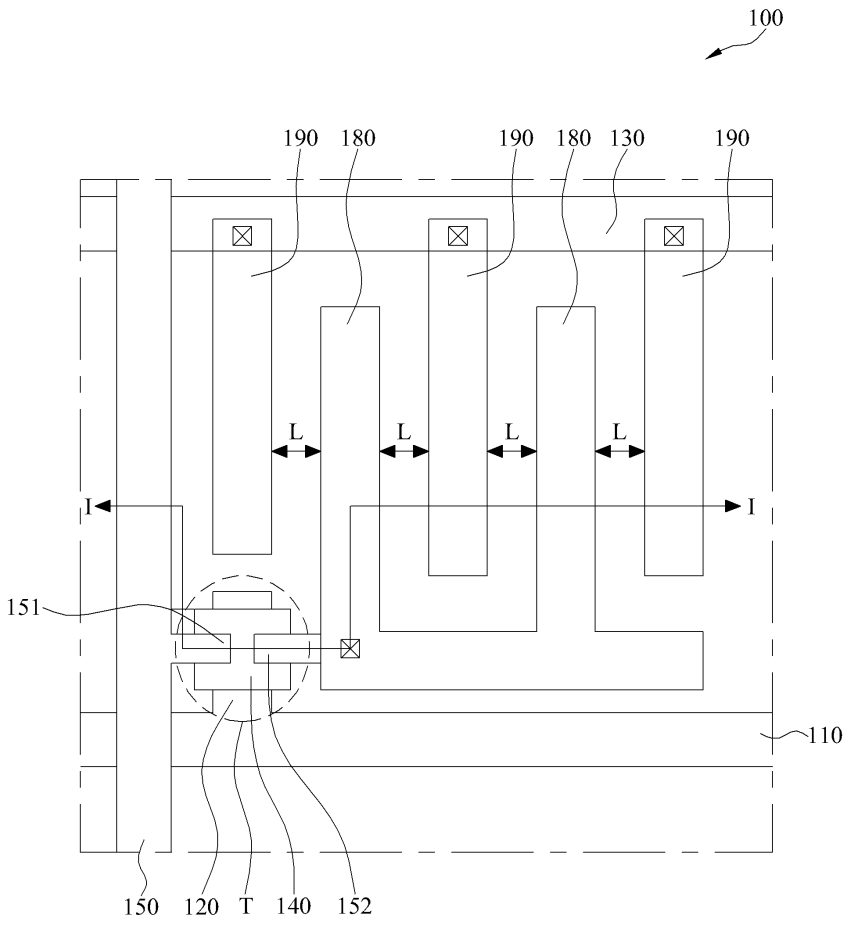
도면1



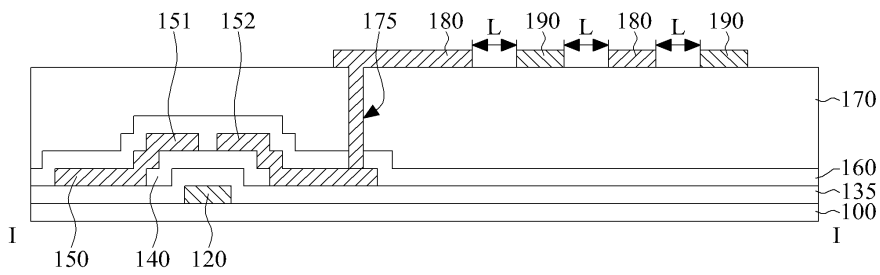
도면2



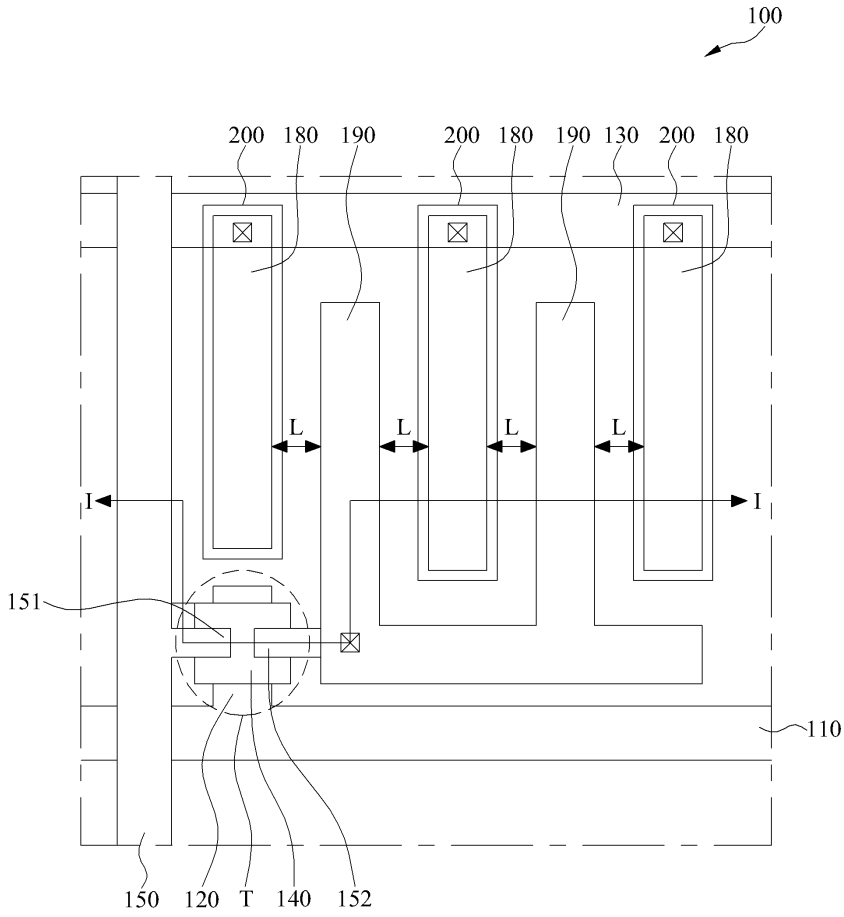
도면3



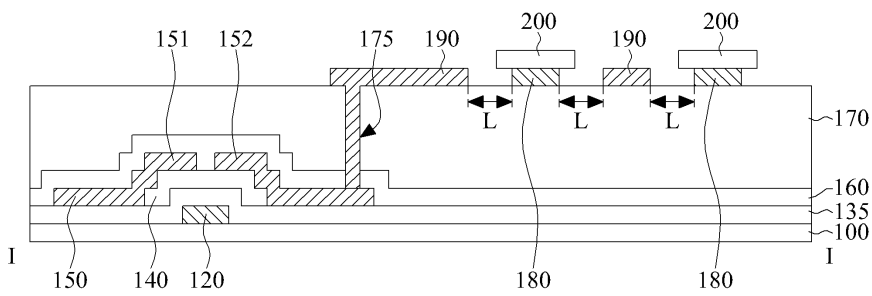
도면4



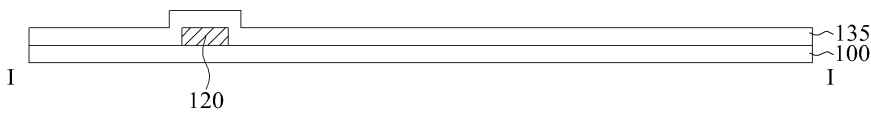
도면5



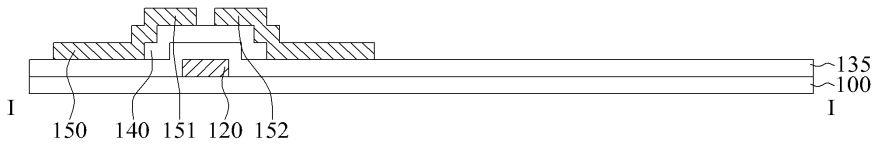
도면6



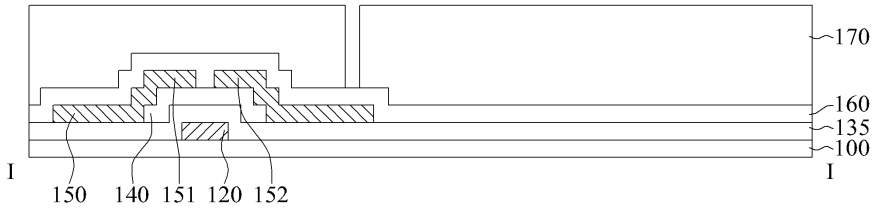
도면7a



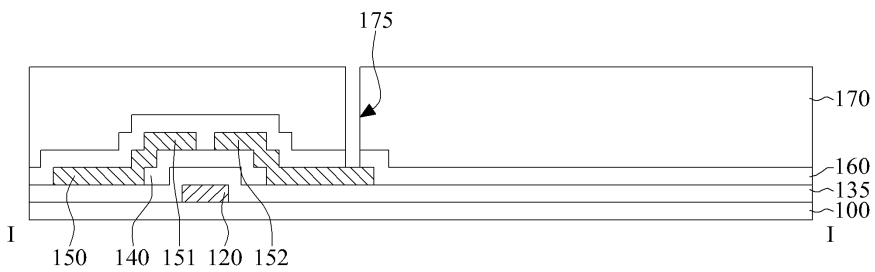
도면7b



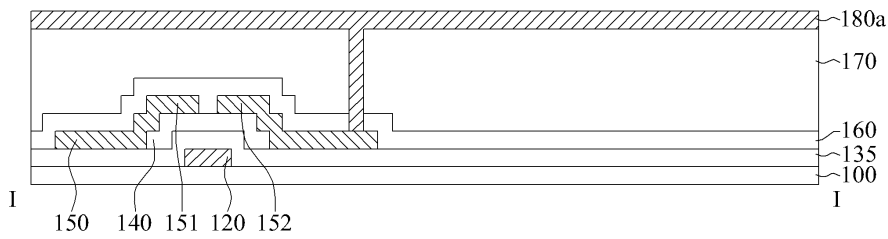
도면7c



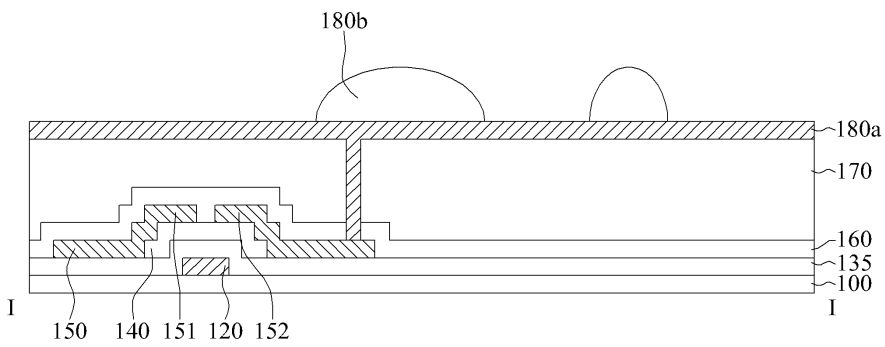
도면7d



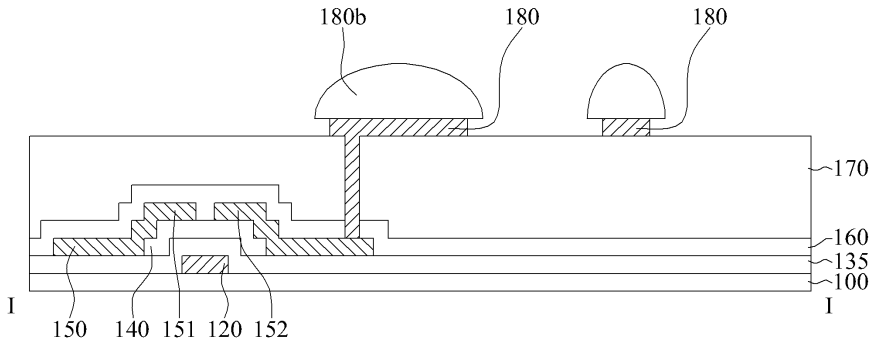
도면7e



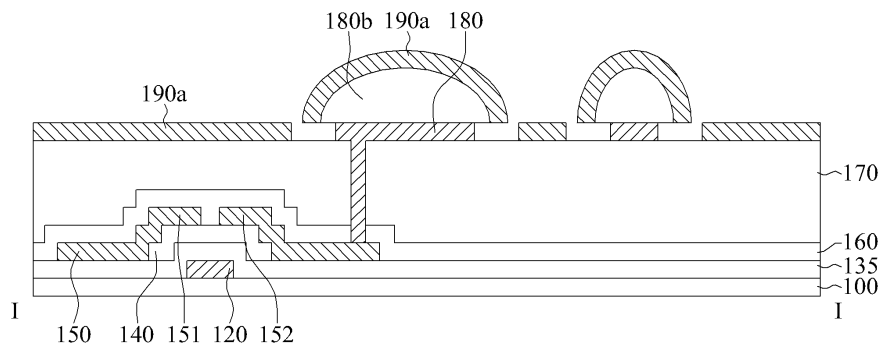
도면7f



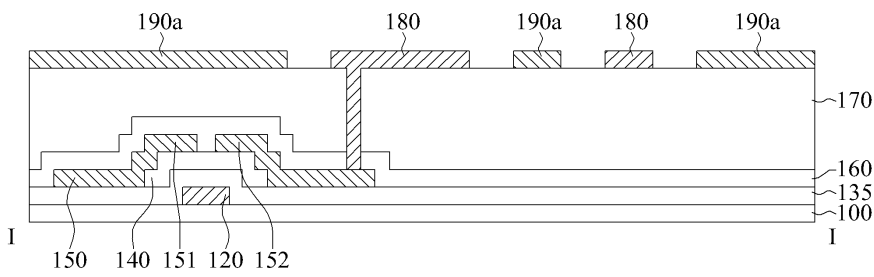
도면7g



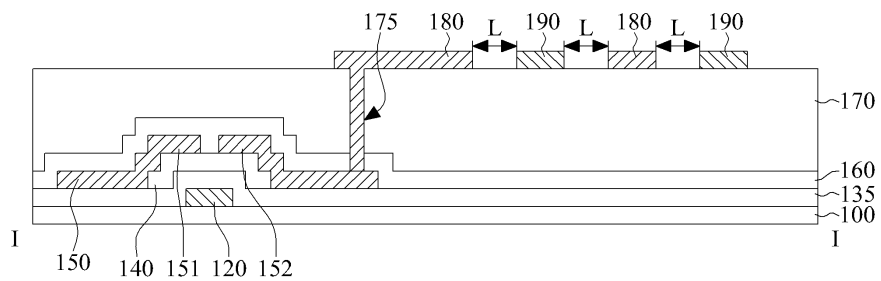
도면7h



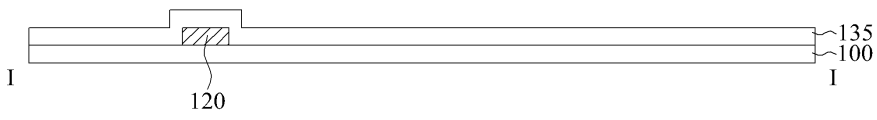
도면7i



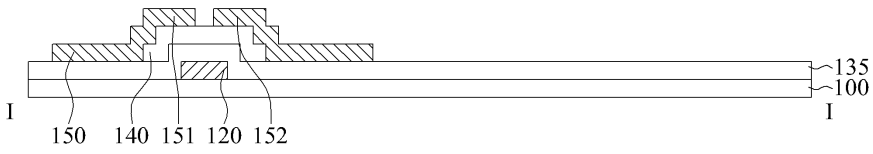
도면7j



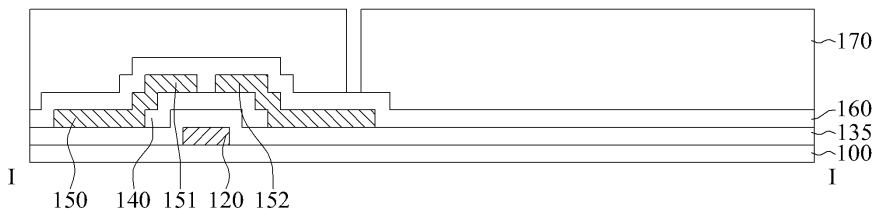
도면8a



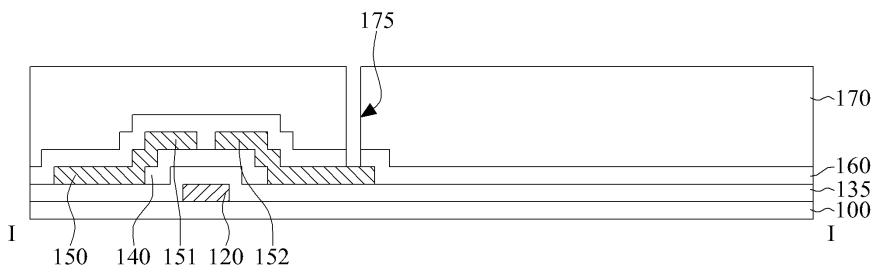
도면8b



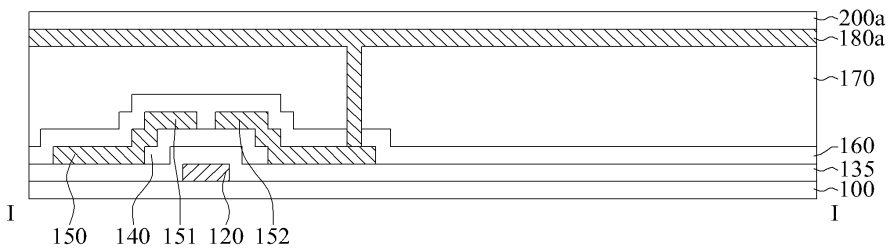
도면8c



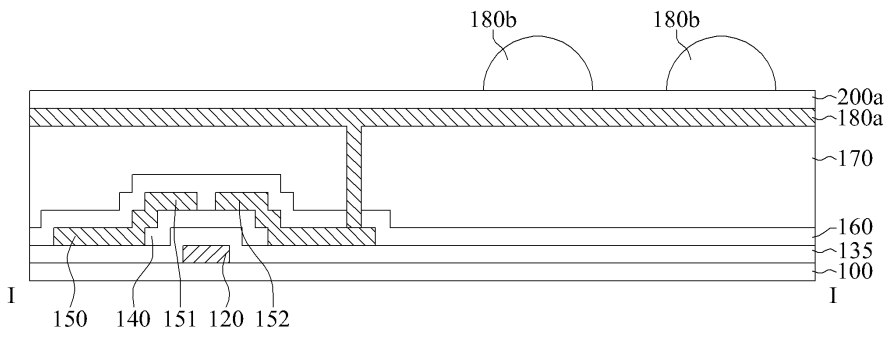
도면8d



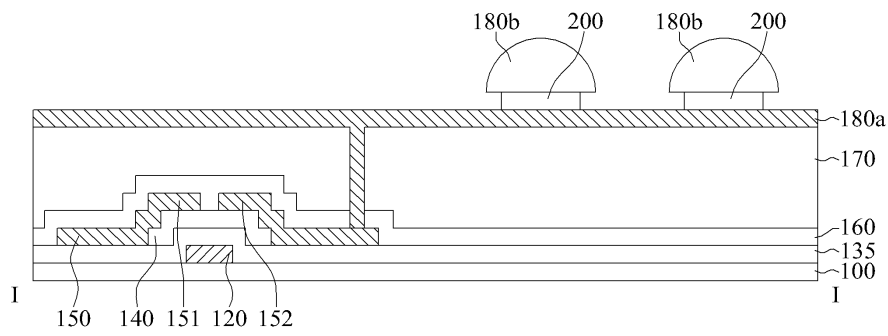
도면8e



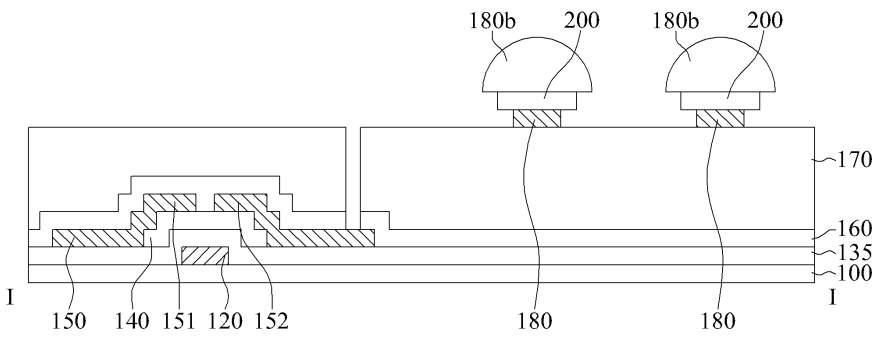
도면8f



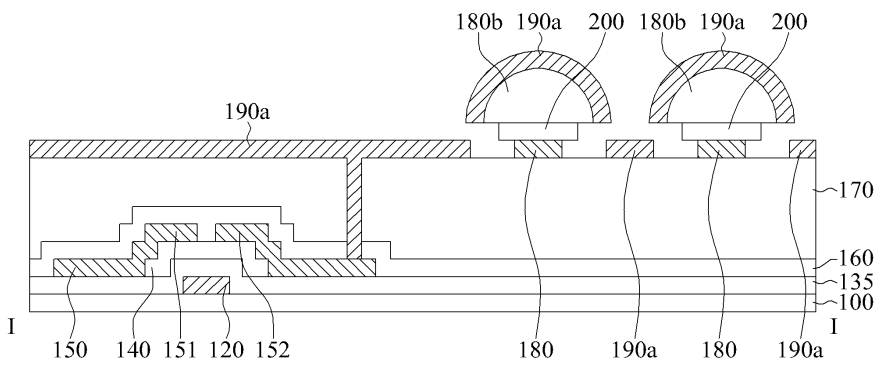
도면8g



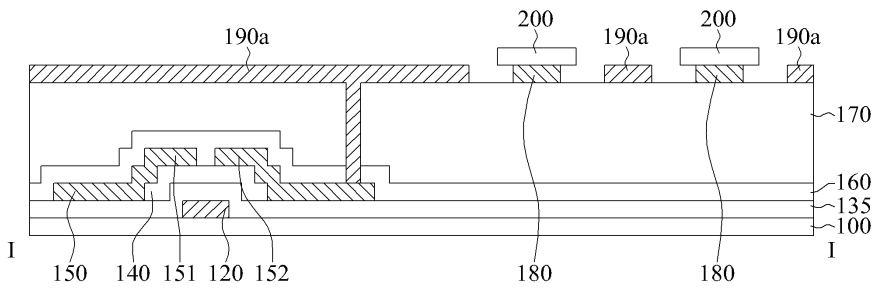
도면8h



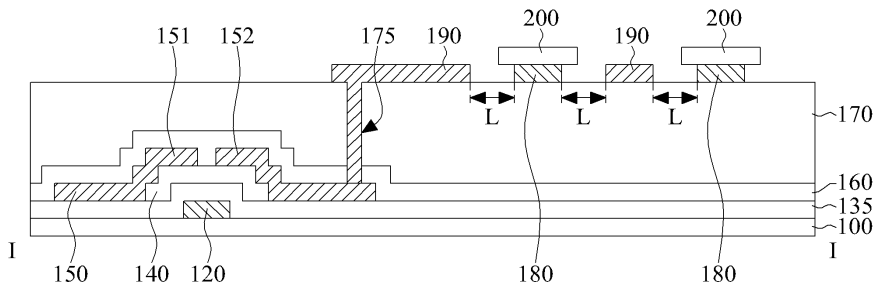
도면8i



도면8j



도면8k



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020130047841A	公开(公告)日	2013-05-09
申请号	KR1020110112629	申请日	2011-11-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JONG BEOM 이종범 JOONYOUNG YANG 양준영		
发明人	이종범 양준영		
IPC分类号	G02F1/1343 G02F1/1362 H01L27/12		
CPC分类号	G02F1/13439 G02F1/134309 G02F1/136286 H01L27/124		
其他公开文献	KR101879412B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器及其制造方法，通过在同一平面上形成公共电极和像素电极来降低电极之间的间隙并降低驱动电压。组成：液体的下基板（100）晶体显示装置包括栅极线（110），公共线（130），数据线（150），薄膜晶体管（T），第一电极（180）和第二电极（190）。第一和第二电极彼此分开，间隙为2-0.5 μm 。由于第一和第二电极之间的间隙窄，所以液晶显示装置在低电压下工作。

