(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0068826
(43) 공개일자 2010년06월24일

(51) Int. Cl.
*G09G 3/36* (2006.01) *G09G 3/20* (2006.01)
*G02F 1/133* (2006.01)
(21) 출원번호 10-2008-0127313
(22) 출원일자 2008년12월15일
심사청구일자 없음

(71) 출원인
**삼성전자주식회사**
경기도 수원시 영통구 매탄동 416
(72) 발명자
**이준표**
충청남도 천안시 불당동 동일3차아파트 304동 1601호
**김정원**
서울특별시 강서구 등촌2동 715번지 현대I파크 125동 701호
*(뒷면에 계속)*
(74) 대리인
**특허법인가산**

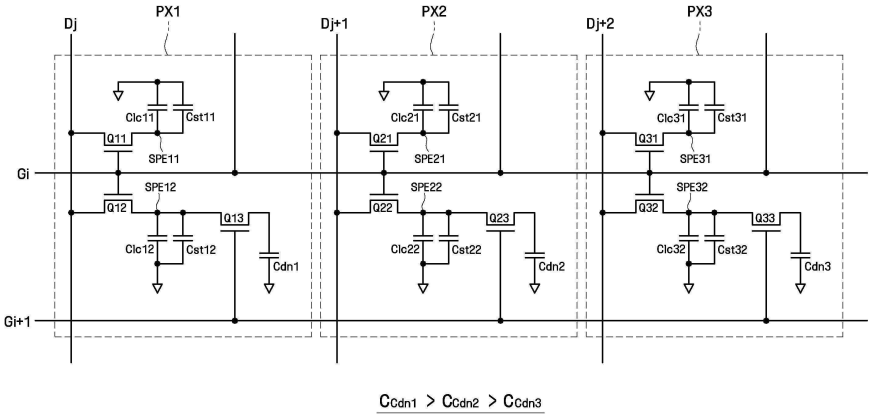
전체 청구항 수 : 총 19 항

## (54) 액정 표시 장치

*(57) 요 약*

표시 장치가 제공된다. 본 발명의 실시예들에 따른 표시 장치는 다수의 게이트 라인, 다수의 게이트 라인에 교차되어 형성된 다수의 데이터 라인 및 다수의 게이트 라인 및 다수의 데이터 라인에 의해 정의되는 다수의 단위 화소로서, 각 단위 화소는 동일한 게이트 라인과 동일한 데이터 라인에 각각 연결된 제1 부화소 전극과 제2 부화소 전극을 포함하며, 한 프레임 동안 제1 부화소 전극과 제2 부화소 전극은 서로 상이한 전압 레벨을 가지는 다수의 단위 화소를 포함하되, 다수의 단위 화소를 제1 색을 표시하는 제1 단위 화소와 제1 색과는 상이한 제2 색을 표시하는 제2 단위 화소로 정의하고, 제1 및 제2 단위 화소에 각각 연결된 데이터 라인에 데이터 전압이 제공될 경우, 한 프레임동안 제1 단위 화소에 포함된 제1 부화소 전극의 전압과 제2 부화소 전극의 전압 비율은 제2 단위 화소에 포함된 제1 부화소 전극의 전압과 제2 부화소 전극의 전압 비율과 서로 다르다.

*대 표 도* - 도2



(72) 발명자

**김동규**

경기도 용인시 수지구 풍덕천2동 삼성7차아파트 705동 903호

**유봉현**

경기도 용인시 수지구 풍덕천동 진산마을 삼성5차 아파트 505-305

**최희진**

서울특별시 서대문구 충정로3가 30-2 충정솔레디움 아파트 102동 401호

## *특허청구의 범위*

**청구항 1**

다수의 게이트 라인;

상기 다수의 게이트 라인에 교차되어 형성된 다수의 데이터 라인; 및

상기 다수의 게이트 라인 및 상기 다수의 데이터 라인에 의해 정의되는 다수의 단위 화소로서, 상기 각 단위 화소는 동일한 게이트 라인과 동일한 데이터 라인에 각각 연결된 제1 부화소 전극과 제2 부화소 전극을 포함하며, 한 프레임 동안 상기 제1 부화소 전극과 상기 제2 부화소 전극은 서로 상이한 전압 레벨을 가지는 다수의 단위 화소를 포함하되,

상기 다수의 단위 화소를 제1 색을 표시하는 제1 단위 화소와 상기 제1 색과는 상이한 제2 색을 표시하는 제2 단위 화소로 정의하고, 상기 제1 및 제2 단위 화소에 각각 연결된 데이터 라인에 데이터 전압이 제공될 경우,

한 프레임동안 상기 제1 단위 화소에 포함된 상기 제1 부화소 전극의 전압과 상기 제2 부화소 전극의 전압 비율은 상기 제2 단위 화소에 포함된 상기 제1 부화소 전극의 전압과 상기 제2 부화소 전극의 전압 비율과 서로 다른 표시 장치.

**청구항 2**

제 1항에 있어서,

상기 각 단위 화소는 상기 제2 부화소 전극에 연결되어, 상기 제1 부화소 전극에 비해 상기 제2 부화소 전극의 전압 레벨을 다운(down)시키는 다운 커패시터를 포함하며,

상기 제1 단위 화소에 포함된 상기 다운 커패시터와 상기 제2 단위 화소에 포함된 상기 다운 커패시터는 서로 다른 커패시턴스(capacitance)를 가지는 표시 장치.

**청구항 3**

제 2항에 있어서,

상기 제1 부화소 전극은 제1 스위칭 소자를 통해 상기 제 i 번째 게이트 라인 및 j 번째 데이터 라인과 연결되고,

상기 제2 부화소 전극은 제2 스위칭 소자를 통해 상기 제 i 번째 게이트 라인 및 j 번째 데이터 라인과 연결되고, 제3 스위칭 소자를 통해 상기 i+1 번째 게이트 라인 및 상기 다운 커패시터에 연결되는 표시 장치.

**청구항 4**

제 3항에 있어서,

상기 각 단위 화소에 포함된 상기 다운 커패시터의 커패시턴스는 상기 제3 스위칭 소자의 드레인 전극과 스토리지 라인의 오버랩되는 면적에 의해 결정되는 표시 장치.

**청구항 5**

제 3항에 있어서,

상기 제3 스위칭 소자가 턴온될 경우, 상기 제2 부화소 전극의 전압 레벨은 상기 제1 부화소 전극의 전압 레벨보다 다운되는 표시 장치.

**청구항 6**

제 2항에 있어서,

상기 제1 단위 화소는 적색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 녹색을 표시하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 다운 커패시터는 상기 제2 단위 화소에 포함된 상기 다운 커패시터보다 높은 커패시턴스를 가지는 표시 장치.

**청구항 7**

제 2항에 있어서,

상기 제1 단위 화소는 녹색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 청색을 표시하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 다운 커패시터는 상기 제2 단위 화소에 포함된 상기 다운 커패시터보다 높은 커패시턴스를 가지는 표시 장치.

**청구항 8**

제 2항에 있어서,

제3 단위 화소를 더 포함하며, 상기 제1 단위 화소는 적색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 녹색을 표시하는 단위 화소이고, 제 3단위 화소는 청색을 포함하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 다운 커패시터는 상기 제2 단위 화소에 포함된 상기 다운 커패시터보다 높은 커패시턴스를 가지며, 상기 제 2단위 화소에 포함된 상기 다운 커패시터는 상기 제 3단위 화소에 포함된 상기 다운 커패시터보다 높은 캐패시턴스를 가지는 표시 장치.

**청구항 9**

제 1항에 있어서,

상기 각 단위 화소의 상기 제1 부화소 전극은 제1 스위칭 소자를 통해 상기 제 i 번째 게이트 라인 및 j 번째 데이터 라인과 연결되고,

상기 제2 부화소 전극은 제2 스위칭 소자를 통해 상기 제 i 번째 게이트 라인 및 j 번째 데이터 라인과 연결되고, 제3 스위칭 소자를 통해 상기 i+1 번째 게이트 라인 및 다운 커패시터에 연결되며,

상기 제1 단위 화소에 포함된 상기 제3 스위칭 소자의 저항은 상기 제2 단위 화소에 포함된 상기 제3 스위칭 소자의 저항과 서로 다른 표시 장치.

**청구항 10**

제 9항에 있어서,

상기 제1 단위 화소는 적색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 녹색을 표시하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 제 3스위칭 소자의 저항은 상기 제2 단위 화소에 포함된 상기 제 3스위칭 소자의 저항보다 작은 표시 장치.

**청구항 11**

제 9항에 있어서,

상기 제1 단위 화소는 녹색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 청색을 표시하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 제 3스위칭 소자의 저항은 상기 제2 단위 화소에 포함된 상기 제 3스위칭 소자의 저항보다 작은 표시 장치.

**청구항 12**

제 9항에 있어서,

제3 단위 화소를 더 포함하며, 상기 제1 단위 화소는 적색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 녹색을 표시하는 단위 화소이고, 상기 제3 단위 화소는 청색을 표시하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 제 3스위칭 소자의 저항은 상기 제2 단위 화소에 포함된 상기 제 3스위칭 소자의 저항보다 작으며, 상기 제2 단위 화소에 포함된 상기 제 3스위칭 소자의 저항은 상기 제 3 단위 소자에 포함된 상기 제 3스위칭 소자의 저항보다 작은 표시 장치.

**청구항 13**

제 1항에 있어서,

상기 각 단위 화소는 상기 제1 부화소 전극에 연결되어, 상기 제2 부화소 전극에 비해 상기 제1 부화소 전극의 전압 레벨을 업시키는 업 커패시터를 포함하며,

상기 제1 단위 화소에 포함된 상기 업 커패시터와 상기 제2 단위 화소에 포함된 상기 업 커패시터는 서로 다른 커패시턴스를 가지는 표시 장치.

**청구항 14**

제 13항에 있어서,

상기 제1 부화소 전극은 제1 스위칭 소자를 통해 상기 제 i 번째 게이트 라인 및 j 번째 데이터 라인과 연결되며,

상기 제2 부화소 전극은 제2 스위칭 소자를 통해 상기 제 i 번째 게이트 라인 및 j 번째 데이터 라인과 연결되고,

상기 업 커패시터는 일측은 상기 제1 부화소 전극과 연결되고, 타측은 제3 및 제4 스위칭 소자를 통해 스토리지 라인 및 제2 부화소 전극에 각각 연결되는 표시 장치.

**청구항 15**

제 13항에 있어서,

상기 제1 단위 화소는 적색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 녹색을 표시하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 업 커패시터는 상기 제2 단위 화소에 포함된 상기 업 커패시터보다 높은 커패시턴스를 가지는 표시 장치.

**청구항 16**

제 13항에 있어서,

상기 제1 단위 화소는 녹색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 청색을 표시하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 업 커패시터는 상기 제2 단위 화소에 포함된 상기 업 커패시터보다 높은 커패시턴스를 가지는 표시 장치.

**청구항 17**

제 13항에 있어서,

제 3 단위 화소를 더 포함하며, 상기 제1 단위 화소는 적색을 표시하는 단위 화소이고, 상기 제2 단위 화소는 녹색을 표시하는 단위 화소이고, 상기 제3 단위 화소는 청색을 표시하는 단위 화소이며,

상기 제1 단위 화소에 포함된 상기 업 커패시터는 상기 제2 단위 화소에 포함된 상기 업 커패시터보다 높은 커패시턴스를 가지고 상기 제2 단위 화소에 포함된 상기 업 커패시터는 상기 제3 단위 화소에 포함된 상기 업 커패시터보다 높은 커패시턴스를 가지는 표시 장치.

**청구항 18**

제 1항에 있어서,

상기 각 단위 화소의 제1 부화소 전극은 제1 스위칭 소자를 통해 상기 제 i 번째 게이트 라인 및 j 번째 데이터 라인과 연결되고,

상기 제2 부화소 전극은 제2 스위칭 소자를 통해 상기 제 i 번째 게이트 라인 및 j 번째 데이터 라인과 연결되고,

상기 제2 부화소 전극에 비해 상기 제1 부화소 전극의 전압 레벨을 업시키는 업 커패시터는 일측은 상기 제1 부화소 전극과 연결되고, 타측은 제3 및 제4 스위칭 소자를 통해 스토리지 라인 및 제2 부화소 전극에 각각 연결되며,

상기 제 1단위 화소에 포함된 상기 제4 스위칭 소자의 저항은 상기 제2단위 화소에 포함된 상기 제4 스위칭 소자의 저항과 서로 다른 표시 장치.

**청구항 19**

제 1항에 있어서,

상기 제1 단위 화소와 상기 제2 단위 화소는 동일한 게이트 라인에 연결되는 표시 장치.

# 명 세 서

## 발명의 상세한 설명

### 기 술 분 야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 화질 불량이 감소된 액정 표시 장치에 관한 것이다.

### 배 경 기 술

[0002] 현대 사회가 고도로 정보화 되어감에 따라 표시 장치는 대형화 및 박형화에 대한 시장의 요구에 직면하고 있으며, 종래의 CRT 장치로는 이러한 요구를 충분히 만족시키지 못함에 따라 PDP(Plasma Display Panel) 장치, PALC(Plasma Address Liquid Crystal display panel) 장치, LCD(Liquid Crystal Display) 장치, OLED(Organic Light Emitting Diode) 장치 등으로 대표되는 평판 표시 장치에 대한 수요가 폭발적으로 늘어나고 있다.

[0003] 액정 표시 장치(Liquid Crystal Display: LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display: FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 영상을 표시하는 장치이다. 이러한 액정 표시 장치는 측면 시인성을 개선하기 위해 하나의 화소를 2개의 서브 전극으로 분할하고, 이들을 용량성으로 결합하여, 2개의 부화소 전극에 서로 다른 전압을 인가하는 방법이 제시되고 있다.

### 발명의 내용

#### 해결 하고자하는 과제

[0004] 본 발명이 해결하고자 하는 과제는 화질 불량이 감소된 표시 장치를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

#### 과제 해결수단

[0006] 상기 과제를 해결하기 위한 본 발명의 실시예들에 따른 표시 장치는 다수의 게이트 라인, 다수의 게이트 라인에 교차되어 형성된 다수의 데이터 라인 및 다수의 게이트 라인 및 다수의 데이터 라인에 의해 정의되는 다수의 단위 화소로서, 각 단위 화소는 동일한 게이트 라인과 동일한 데이터 라인에 각각 연결된 제1 부화소 전극과 제2 부화소 전극을 포함하며, 한 프레임 동안 제1 부화소 전극과 제2 부화소 전극은 서로 상이한 전압 레벨을 가지는 다수의 단위 화소를 포함하되, 다수의 단위 화소를 제1 색을 표시하는 제1 단위 화소와 제1 색과는 상이한 제2 색을 표시하는 제2 단위 화소로 정의하고, 제1 및 제2 단위 화소에 각각 연결된 데이터 라인에 데이터 전압이 제공될 경우, 한 프레임동안 제1 단위 화소에 포함된 제1 부화소 전극의 전압과 제2 부화소 전극의 전압 비율은 제2 단위 화소에 포함된 제1 부화소 전극의 전압과 제2 부화소 전극의 전압 비율과 서로 다르다.

[0007] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

#### 발명의 실시를 위한 구체적인 내용

[0008] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로

다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0009] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[0010] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0011] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 설명하기 위한 블록도이다.

[0012] 도 1을 참고하면 본 발명의 일 실시예에 따른 표시 장치는 표시 패널(300), 신호 제어부(500), 게이트 구동부(400) 및 데이터 구동부(700)를 포함한다.

[0013] 표시 패널(300)은 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm) 및 다수의 단위 화소(PX)를 포함하며, 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분된다.

[0014] 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 스위칭 소자 및 화소 전극이 형성된 제1 기판과, 컬러 필터와 공통 전극이 형성된 제2 기판, 제1 기판과 제2 기판 사이에 개재된 액정층을 포함하여 영상을 표시한다. 게이트 라인(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행할 수 있다. 그리고, 비표시부(PA)는 제1 기판(100)이 제2 기판(200)보다 더 넓게 형성되어 영상이 표시되지 않는 부분일 수 있다.

[0015] 신호 제어부(500)는 외부의 그래픽 제어기(미도시)로부터 영상 신호(RGB) 및 이의 표시를 제어하는 입력 제어 신호를 수신하여, 영상 신호(DAT), 게이트 제어 신호(CONT2) 및 데이터 제어 신호(CONT1)를 출력한다. 여기서, 입력 제어 신호는 예컨대, 수직 동기 신호(Vsinc), 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등을 포함할 수 있다. 신호 제어부(500)는 영상 신호(RGB)와 입력 제어 신호를 기초로 영상 신호(DAT) 및 데이터 제어 신호(CONT1)를 생성하여 데이터 구동부(700)에 제공하며, 입력 제어 신호를 기초로 게이트 제어 신호(CONT2)를 생성하여 게이트 구동부(400)에 제공할 수 있다.

[0016] 데이터 제어 신호(CONT1)는 데이터 구동부(700)의 동작을 제어하는 신호로써 예컨대, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호(STH), 데이터 라인(D1~Dm)에 데이터 전압의 출력을 지시하는 로드 신호(load) 등을 포함할 수 있다. 또한, 데이터 제어 신호(CONT1)는 데이터 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "데이터 공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호를 더 포함할 수도 있다.

[0017] 또한, 게이트 제어 신호(CONT2)는 게이트 구동부(400)의 동작을 제어하는 신호로써, 각 프레임에서 게이트 구동부(400)의 동작을 개시하는 스캔 개시 신호, 게이트 온 전압의 출력 주기 등을 제어하는 적어도 하나의 게이트 클럭 신호 등을 포함할 수 있다. 또한, 게이트 제어 신호(CONT2)는 게이트 온 전압의 지속 시간을 조절하는 출력 인에이블 신호(OE)를 더 포함할 수도 있다.

[0018] 게이트 구동부(400)는 게이트 제어 신호(CONT2) 및 게이트 오프 전압(Voff) 등을 제공받아, 다수의 게이트 라인(G1~Gn)에 게이트 온 전압을 순차적으로 제공한다. 구체적으로, 게이트 구동부(400)는 각 프레임마다 스캔 개시 신호에 응답하여 인에이블되며, 게이트 클럭 신호에 응답하여 다수의 게이트 라인(G1~Gn)에 게이트 온 전압을 순차적으로 제공할 수 있다.

[0019] 이러한 게이트 구동부(400)는 예컨대, 도면에 도시된 바와 같이 표시 패널(300)의 비표시부(PA) 상에 형성되어 표시 패널(300)과 연결될 수 있다. 하지만, 이에 한정하는 것은 아니며 IC(Integrated Circuit)로써 가요성 인쇄 회로 필름(flexible printed circuit film) 상에 장착되어 테이프 캐리어 패키지(Tape Carrier Package; TCP)의 형태로 표시 패널(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board) 상에 장착될 수도

있다. 또한, 도면에서는 표시 패널(300)의 일측에만 게이트 구동부(400)가 배치되어 있는 것으로 도시하였으나 이에 한정하는 것은 아니며, 본 발명의 다른 실시예에 따른 표시 장치에서는 게이트 구동부가 제1 게이트 구동부 및 제2 게이트 구동부로 구성되어 표시 패널(300)의 양측에 배치될 수도 있다.

[0020] 데이터 구동부(700)는 영상 신호(DAT), 데이터 제어 신호(CONT1)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 여기서, 데이터 전압의 극성은 예컨대, 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 제어될 수 있다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호의 특성에 따라 하나의 데이터 라인을 통하여 흐르는 데이터 전압의 극성이 주기적으로 바뀌거나(예, "행 반전", "도트 반전"), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(예, "열 반전", "도트 반전").

[0021] 이러한 데이터 구동부(700)는 IC로써 가요성 인쇄 회로 필름 상에 장착되어 테이프 캐리어 패키지의 형태로 표시 패널(300)에 부착되거나, 별도의 인쇄 회로 기판 상에 장착될 수도 있다. 하지만, 이에 한정하는 것은 아니며 본 발명의 다른 실시예들에서는 표시 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.

[0022] 이하, 본 발명의 일 실시예에 따른 표시 장치의 단위 화소에 대하여 구체적으로 설명한다.

[0023] 도 2는 도 1의 단위 화소를 설명하는 도면이다. 도면에서는 설명의 편의를 위하여, 제1 부화소 전극과 제2 부화소 전극이 게이트 라인을 기준으로 서로 다른 방향에 배치되어 있는 것으로 도시하였으나, 이에 한정하는 것은 아니다. 예를 들어, 본 발명의 다른 실시예에서 제1 및 제2 부화소 전극 모두 게이트 라인의 일측에 배치될 수도 있다.

[0024] 도 2를 참고하면, 각 단위 화소(PX1~PX3)는 게이트 온 전압을 전달하는 게이트 라인(Gi)과 데이터 전압을 전달하는 데이터 라인(Dj~Dj+2)에 의해 정의되며, 제1 부화소 전극(SPE11, SPE21, SPE31) 및 제2 부화소 전극(SPE12, SPE22, SPE32)을 포함한다. 여기서, 각 단위 화소(PX1~PX3)는 기본색(primary clolor) 중 하나를 표시할 수 있으며, 상기 기본색은 예컨대, 적색(Red), 녹색(Green), 청색(Blue) 등 빛의 삼원색을 포함할 수 있다. 예를 들어, 도면에 도시된 바와 같이 동일한 게이트 라인(Gi)에 연결된 제1 내지 제3 단위 화소(PX1~PX3)는 각각 제1 내지 제3 색(예, 적색, 녹색, 청색)을 표시할 수 있다. 하지만, 이에 한정하는 것은 아니며, 각 단위 화소(PX1~PX3)에서 표시하는 색의 배열은 표시 장치의 디자인에 따라 달라질 수 있다.

[0025] 제1 부화소 전극(SPE11, SPE21, SPE31)은 게이트 라인(Gi)의 전압에 따라 데이터 라인(Dj~Dj+2)으로부터 데이터 전압을 인가받으며, 제1 스위칭 소자(Q11, Q21, Q31)를 통해 게이트 라인(Gi)과 데이터 라인(Dj~Dj+2)에 연결된다. 구체적으로, 제1 부화소 전극(SPE11, SPE21, SPE31)은 제1 스위칭 소자(Q11, Q21, Q31)의 드레인 전극에 연결되며, 상기 제1 스위칭 소자(Q11, Q21, Q31)의 소스 전극과 게이트 전극에는 데이터 라인(Dj~Dj+2)과 게이트 라인(Gi)이 각각 연결될 수 있다.

[0026] 또한, 제1 부화소 전극(SPE11, SPE21, SPE31)은 액정 커패시터(Clc11, Clc21, Clc31) 및 스토리지 커패시터(Cst11, Cst21, Cst31)와 연결된다. 예를 들어, 액정 커패시터(Clc11, Clc21, Clc31)는 제1 부화소 전극(SPE11, SPE21, SPE31), 공통 전극 및 이들 사이에 개재된 액정 물질로 이루어질 수 있으며, 스토리지 커패시터(Cst11, Cst21, Cst31)는 제1 부화소 전극(SPE11, SPE21, SPE31), 스토리지 라인 및 이들 사이에 개재된 유전 물질로 이루어질 수 있다.

[0027] 제2 부화소 전극(SPE12, SPE22, SPE32)은 게이트 라인(Gi)의 전압에 따라 데이터 라인(Dj~Dj+2)으로부터 데이터 전압을 인가받으며, 제2 스위칭 소자(Q12, Q22, Q32)를 통해 게이트 라인(Gi)과 데이터 라인(Dj~Dj+2)에 연결된다. 구체적으로, 제2 부화소 전극(SPE12, SPE22, SPE32)은 제2 스위칭 소자(Q12, Q22, Q32)의 드레인 전극에 연결되고, 상기 제2 스위칭 소자(Q12, Q22, Q32)의 소스 전극과 게이트 전극에는 데이터 라인(Dj~Dj+2)과 게이트 라인(Gi)이 각각 연결될 수 있다. 즉, 제2 부화소 전극(SPE12, SPE22, SPE32)은 제1 부화소 전극(SPE11, SPE21, SPE31)과 동일한 게이트 라인(Gi) 및 데이터 라인(Dj~Dj+2)에 연결되어 있으므로, 게이트 온 전압이 인가될 경우 동일한 데이터 전압을 제공받을 수 있다.

[0028] 또한, 제2 부화소 전극(SPE12, SPE22, SPE32)은 제1 부화소 전극(SPE11, SPE21, SPE31)과 유사하게 액정 커패시터(Clc12, Clc22, Clc32) 및 스토리지 커패시터(Cst12, Cst22, Cst32)와 연결된다. 여기서, 액정 커패시터(Clc12, Clc22, Clc32)는 제2 부화소 전극(SPE12, SPE22, SPE32), 공통 전극 및 이들 사이에 개재된 액정 물질로 이루어질 수 있으며, 스토리지 커패시터(Cst12, Cst22, Cst32)는 제2 부화소 전극(SPE12, SPE22, SPE32), 스토리지 라인 및 이들 사이에 개재된 유전 물질로 이루어질 수 있다. 한편, 제2 부화소 전극(SPE12, SPE22, SPE32)에 연결된 액정 커패시터(Clc12, Clc22, Clc32) 및 스토리지 커패시터(Cst12, Cst22, Cst32)의 커패시턴

스(capacirtace)는, 제1 부화소 전극(SPE11, SPE21, SPE31)에 연결된 액정 커패시터(Clc11, Clc21, Clc31) 및 스토리지 커패시터(Cst11, Cst21, Cst31)의 커패시턴스와 실질적으로 동일할 수 있다.

[0029] 그리고, 제2 부화소 전극(SPE12, SPE22, SPE32)은 제1 부화소 전극(SPE11, SPE21, SPE31)과 달리, 제3 스위칭 소자(Q13, Q23, Q33)를 통하여 다운 커패시터(Cdn1~Cdn3)와 연결된다. 여기서, 다운 커패시터(Cdn1~Cdn3)는 제3 스위칭 소자(Q13, Q23, Q33)에 의해 제2 부화소 전극(SPE12, SPE22, SPE32)과 선택적으로 연결되어, 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨을 다운시킬 수 있다. 이러한 다운 커패시터(Cdn1~Cdn3)는 예컨대, 도 6에 도시된 바와 같이 제3 스위칭 소자(Q13, Q23, Q33)의 드레인 전극, 스토리지 라인 및 이들 사이에 개재된 유전 물질 및/또는 제3 스위칭 소자(Q13, Q23, Q33)의 드레인 전극, 제2 부화소 전극(SPE12, SPE22, SPE32) 및 이들 사이에 개재된 유전 물질로 형성될 수 있다.

[0030] 이에 의해, 각 단위 화소(PX1~PX3)의 제1 및 제2 부화소 전극(SPE11~SPE32)은 동일한 데이터 라인(Dj~Dj+2)을 통하여 동일한 데이터 전압을 제공받더라도, 다운 커패시터(Cdn1~Cdn3)에 의해 한 프레임(frame) 동안 제1 및 제2 부화소 전극(SPE11~SPE32)의 전압 레벨이 서로 달라지므로 표시 장치의 측면 시인성이 향상될 수 있다. 즉, 제1 및 제2 부화소 전극(SPE11~SPE32)에 하나의 영상 정보로부터 얻어진 서로 다른 감마 곡선을 가지는 한 쌍의 계조 전압 집합이 저장되고, 제1 및 제2 부화소 전극(SPE11~SPE32)으로 이루어진 하나의 단위 화소(PX1~PX3)에 대응하는 감마 곡선은 이들을 합성한 감마 곡선이 된다. 한 쌍의 계조 전압 집합을 결정할 때에는 정면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가깝게 되도록 하고, 측면에서의 합성 감마 곡선이 측면에서의 기준 감마 곡선과 가장 가깝게 되도록 함으로써, 측면 시인성을 향상시킬 수 있다.

[0031] 한편, 본 발명의 일 실시예에 따른 표시 장치에서 서로 다른 색을 표시하는 제1 내지 제3 단위 화소(PX1~PX3)에 포함된 다운 커패시터(Cdn1~Cdn3)는 서로 다른 커패시턴스를 가질 수 있다. 예를 들어, 제1 내지 제3 단위 화소(PX1~PX3)가 적색, 녹색, 청색을 각각 표시할 경우, 제1 내지 제3 단위 화소(PX1~PX3)에 각각 포함된 제1 내지 제3 다운 커패시터(Cdn1~Cdn3)의 커패시턴스 값은 $C_{Cdn1} > C_{Cdn2} > C_{Cdn3}$ 순(順)일 수 있다. 이에 의해, 각 단위 화소(PX1~PX3)에 연결된 데이터 라인(Dj~Dj+2)에 데이터 전압이 인가될 경우, 한 프레임동안 제1 부화소 전극(SPE11, SPE21, SPE31)의 전압과 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 비율이 각 단위 화소(PX1~PX3)마다 다를 수 있다.

[0032] 도 3은 도 2의 단위 화소의 전압 변화를 설명하는 도면이다. 도 4는 본 발명의 일 실시예에 따른 표시 장치에서 표시되는 영상에 대응하는 감마 곡선을 나타내는 도면이다. 도 3에서는 설명의 편의를 위하여, 각 단위 화소에 연결된 데이터 라인에 동일한 데이터 전압이 인가된 경우를 도시하였다.

[0033] 도 2 및 도 3을 참고하면, i 번째 게이트 라인(Gi)에 게이트 온 전압이 인가될 경우, 각 단위 화소(PX1~PX3)의 제1 및 제2 부화소 전극(SPE11~SPE32)은 데이터 라인(Dj~Dj+2)으로부터 데이터 전압을 제공받아 소정의 전압 레벨로 차지된다. 구체적으로, i 번째 게이트 라인(Gi)에 인가된 게이트 온 전압에 의해 제1 및 제2 스위칭 소자(Q11~Q32)가 턴온되고, 이에 의해 데이터 라인(Dj~Dj+2)으로부터 데이터 전압이 제1 및 제2 부화소 전극(SPE11~SPE32)에 제공될 수 있다. 여기서, 제1 및 제2 부화소 전극(SPE11~SPE32)은 동일한 게이트 라인(Gi) 및 동일한 데이터 라인(Dj~Dj+2)에 연결되어 있으므로, 동일한 전압 레벨로 차지될 수 있다.

[0034] 다음으로, i 번째 게이트 라인(Gi)에 게이트 오프 전압이 인가되고 i+1 번째 게이트 라인(Gi+1)에 게이트 온 전압이 인가되어, 제1 및 제2 스위칭 소자(Q11~Q32)는 턴오프되고 제3 스위칭 소자(Q13, Q23, Q33)는 턴온된다. 제1 및 제2 스위칭 소자(Q11~Q32)가 턴오프될 경우, 기생 커패시터에 의해 제1 및 제2 부화소 전극(SPE11~SPE32)의 전압 레벨은 소정의 킥백(kick-back) 전압 레벨(Vkb)만큼 낮아질 수 있다. 또한, 제3 스위칭 소자(Q13, Q23, Q33)가 턴온되어 제2 부화소 전극(SPE12, SPE22, SPE32)이 다운 커패시터(Cdn1~Cdn3)와 연결되므로, 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨이 다운될 수 있다. 즉, 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨은 제1 부화소 전극(SPE11, SPE21, SPE31)의 전압 레벨보다 낮아질 수 있다.

[0035] 한편, 본 발명의 일 실시예에 따른 표시 장치에서 제1 내지 제3 단위 화소(PX1~PX3)에 포함된 다운 커패시터(Cdn1~Cdn3)가 서로 다른 커패시턴스를 가지므로, 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨이 다운되는 정도가 단위 화소(PX1~PX3)에 따라 다를 수 있다. 예를 들어, 상대적으로 높은 커패시턴스를 가지는 다운 커패시터(Cdn1)가 포함된 제1 단위 화소(PX1)의 제2 부화소 전극(SPE12)은 다른 단위 화소(PX2, PX3)에 포함된 제2 부화소 전극(SPE22, SPE32)에 비해 전압 레벨이 상대적으로 많이 다운될 수 있다. 반면에, 상대적으로 낮은 커패시턴스를 가지는 다운 커패시터(Cdn3)가 포함된 제3 단위 화소(PX3)의 제2 부화소 전극(SPE32)은 다른 단위 화소(PX1, PX2)에 포함된 제2 부화소 전극(SPE12, SPE22)에 비해 전압 레벨이 상대적으로 적게 다운될 수 있다. 즉, 제1 내지 제3 단위 화소(PX1~PX3)에 포함된 제2 부화소 전극(SPE12, SPE22, SPE32)의 다운 전압 레벨은

Vdn1>Vdn2>Vdn3 순일 수 있다. 한편, 다운 커패시터(Cdn1~Cdn3)가 연결되어 있지 않은 제1 부화소 전극(SPE11, SPE21, SPE31)의 전압 레벨은 단위 화소(PX1~PX3)에 따라 차이가 없을 수 있다.

[0036] 이에 의해, 제2 부화소 전극(SPE12, SPE22, SPE32)에 대응하는 감마 곡선에서 계조 값에 따른 투과율 값이 급격하게 변하는 소정의 영역(도 4의 R)에서의 화질 불량을 방지할 수 있다. 구체적으로, 각 단위 화소(PX1~PX3)에서 표시되는 색에 따라 서로 다른 데이터 전압이 각 단위 화소(PX1~PX3)에 제공될 경우, 소정의 영역(R)에서 제2 부화소 전극(SPE12, SPE22, SPE32)에 대응하는 감마 곡선의 투과율 값이 각 단위 화소(PX1~PX3) 별로 서로 다르게 급격하게 변할 수 있다. 이 경우, 예컨대, 표시 영상이 황색으로 보이는 것과 같은 화질 불량이 발생할 수 있다. 하지만, 본 발명의 일 실시예에 따른 표시 장치에서 제2 부화소 전극(SPE12, SPE22, SPE32)은 단위 화소(PX1~PX3)에 따라 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨이 다운되는 정도가 다르므로, 상기와 같은 화질 불량을 감소시킬 수 있다. 즉, 도 4에 도시된 바와 같이 소정의 영역(R)에서 각 단위 화소(PX1~PX3)의 제2 부화소 전극(SPE12, SPE22, SPE32)에 대응하는 투과율 값이 실질적으로 동일한 비율로 변화되므로, 상기와 같은 화질 불량을 방지할 수 있다.

[0037] 이하, 도 2의 단위 화소를 구성하는 예시적인 표시 장치에 대하여 구체적으로 설명한다.

[0038] 도 5는 도 2의 단위 화소를 구성하는 예시적인 표시 장치의 제1 기판을 설명하는 도면이며, 도 6은 도 5의 VI-VI'을 따라 절단된 단면도이다. 도 6은 설명의 편의를 위하여, 제1 단위 화소의 단면도만을 도시하였으나 이에 한정하는 것은 아니며 제2 및 제3 단위 화소에도 동일하게 적용될 수 있음을 이해할 수 있을 것이다.

[0039] 도 5 및 도 6을 참고하면, 예시적인 표시 장치의 제1 기판은 절연 기판(10) 상에 형성된 게이트 라인(Gi, Gi+1), 스토리지 라인(SLa, SLb), 데이터 라인(Dj~Dj+2), 제1 내지 제3 스위칭 소자(Q11~Q33), 제1 및 제2 부화소 전극(SPE11~SPE32) 및 다운 커패시터(Cdn1~Cdn3)를 포함한다.

[0040] 게이트 라인(Gi)은 절연 기판(10) 상에 제1 방향, 예컨대, 가로 방향으로 연장되어 형성되며, i 번째 게이트 라인(Gi)에는 돌기 형태로 이루어진 제1 게이트 전극(G1~G3)이 형성되어 있으며 i+1 번째 게이트 라인(Gi+1)에는 돌기 형태로 이루어진 제2 게이트 전극(G13~G33)이 형성되어 있을 수 있다. 그리고, 스토리지 라인(SLa, SLb)은 절연 기판(10) 상에 게이트 라인(Gi)을 따라 가로 방향으로 형성되며, 제1 스토리지 라인(SLa)은 제1 부화소 전극(SPE11, SPE21, SPE31)과 오버랩(overlap)되고 제2 스토리지 라인(SLb)은 제2 부화소 전극(SPE12, SPE22, SPE32)과 오버랩된다. 여기서, 스토리지 라인(SLa, SLb)은 절연 기판(10) 상에 게이트 라인(Gi)과 동일층에 형성될 수 있으며, 스토리지 라인(SLa, SLb)에는 제2 기판(미도시)의 공통 전극과 같이 공통 전압(Vcom)이 인가될 수 있다.

[0041] 이러한 게이트 라인(Gi, Gi+1) 및 스토리지 라인(SLa, SLb)은 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 또는 이들의 복합막으로 형성될 수 있다.

[0042] 데이터 라인(Dj~Dj+2)은 게이트 라인(Gi, Gi+1) 또는 스토리지 라인(SLa, SLb) 상에 제2 방향 예컨대, 세로 방향으로 형성되며, 데이터 라인(Dj~Dj+2)은 제1 및 제2 스위칭 소자(Q11~Q32)의 소스 전극(S1~S3)과 연결된다. 이러한 데이터 라인(Dj~Dj+2)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조로 형성될 수도 있다.

[0043] 제1 스위칭 소자(Q11, Q21, Q31)는 데이터 라인(Dj~Dj+2)과 연결된 제1 소스 전극(S1~S3), 제1 게이트 전극(G1~G3) 및 제1 드레인 전극(D11, D21, D31)을 포함하며, 상기 제1 드레인 전극(D11, D21, D31)은 제1 컨택홀(H11, H21, H31)을 통하여 제1 부화소 전극(SPE11, SPE21, SPE31)과 연결된다. 유사하게, 제2 스위칭 소자(Q12, Q22, Q32)는 데이터 라인(Dj~Dj+2)과 연결된 제1 소스 전극(S1~S3), 제1 게이트 전극(G1~G3) 및 제2 드레인 전극(D12, D22, D32)을 포함하며, 상기 제2 드레인 전극(D12, D22, D32)은 제2 컨택홀(H12, H22, H32)을 통하여 제2 부화소 전극(SPE12, SPE22, SPE32)과 연결된다. 이러한 제1 및 제2 스위칭 소자(Q11~Q32)는 도 6에 도시된 제3 스위칭 소자(Q13, Q23, Q33)와 실질적으로 동일하게 구성될 수 있으며, 이에 대해서는 이하에서 자세히 설명한다.

[0044] 제3 스위칭 소자(Q13, Q23, Q33)는 제2 소스 전극(S13, S23, S33), 제2 게이트 전극(G13, G23, G33) 및 제3 드레인 전극(D13, D23, D33)을 포함한다. 여기서, 제2 소스 전극(S13, S23, S33)은 제2 컨택홀(H12, H22, H32)을 통하여 제2 부화소 전극(SPE12, SPE22, SPE32)과 연결되고, 제3 드레인 전극(D13, D23, D33)은 제2 스토리지 라인(SLb) 상에 배치되어 제2 스토리지 라인(SLb)과 오버랩된다.

[0045] 제3 스위칭 소자(Q13)는 도 6에 도시된 바와 같이, 제2 게이트 전극(13) 및 절연층(30) 상부에 형성된 반도체층(40)을 포함할 수 있다. 이러한, 반도체층(40)은 예컨대, 섬형, 선형 등과 같이 다양한 형상으로 형성될 수 있으며, 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어질 수 있다. 또한, 반도체층(40)은 반도체층(40) 상부에 형성된 오믹 콘택층(55a, 55b)을 통하여, 제2 소스 전극(S13) 및 제3 드레인 전극(D13)과 연결될 수 있다. 여기서, 오믹 콘택층(55a, 55b)은 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 형성되며, 반도체층(40)과 제2 소스 전극(S13) 또는 반도체층(40)과 제3 드레인 전극(D13) 사이에 오믹 콘택을 형성할 수 있다.

[0046] 한편, 제1 및 제2 부화소 전극(SPE11~SPE32)은 제1 및 제2 콘택홀(H11~H32)을 통하여 제1 및 제2 스위칭 소자(Q11~Q32)와 각각 연결되며, i 번째 게이트 라인(Gi)의 양측에 각각 배치될 수 있다. 이러한 제1 및 제2 부화소 전극(SPE11~SPE32)은 소정의 도메인 분할 수단(83)을 포함하여, 제1 기판 상부에 배치되는 액정의 통일적 거동 방향을 나타내는 도메인을 정의할 수 있다.

[0047] 다운 커패시터(Cdn1~Cdn3)는 제3 스위칭 소자(Q13, Q23, Q33)의 드레인 전극(D13, D23, D33), 제2 스토리지 라인(SLb) 및 이들 사이에 개재된 절연층(30) 또는 제3 스위칭 소자(Q13, Q23, Q33)의 드레인 전극(D13, D23, D33), 제2 부화소 전극(SPE12, SPE22, SPE32) 및 이들 사이에 개재된 보호막(70)으로 형성될 수 있다.

[0048] 특히, 본 발명의 일 실시예에 따른 표시 장치에서 다운 커패시터(Cdn1~Cdn3)의 커패시턴스는 단위 화소(PX1~PX3)에 따라 달라질 수 있다. 예를 들어, 도 5에 도시된 바와 같이 제1 내지 제3 단위 화소(PX1~PX3)에서 제3 스위칭 소자(Q13, Q23, Q33)에 포함된 드레인 전극(D13, D23, D33)의 크기가 서로 달라, 제3 스위칭 소자(Q13, Q23, Q33)의 드레인 전극(D13, D23, D33)과 제2 스토리지 라인(SLb) 또는 제3 스위칭 소자(Q13, Q23, Q33)의 드레인 전극(D13, D23, D33)과 제2 부화소 전극(SPE12, SPE22, SPE32)이 오버랩되는 면적이 달라질 수 있다. 이에 의해, 다운 커패시터(Cdn1~Cdn3)의 커패시턴스가 단위 화소(PX1~PX3)에 따라 달라질 수 있다.

[0049] 한편, 도면에서는 제3 스위칭 소자(Q13, Q23, Q33)의 드레인 전극(D13, D23, D33) 크기에 따라 다운 커패시터(Cdn1~Cdn3)의 커패시턴스가 변하는 것으로 도시하였으나 이에 한정하는 것은 아니다. 예를 들어, 본 발명의 다른 실시예에서 제2 스토리지 라인(SLb)의 크기, 절연층(30) 또는 보호막(70)의 두께 등에 따라 각 단위 화소(PX1~PX3)에 포함된 다운 커패시터(Cdn1~Cdn3)의 커패시턴스가 조절될 수도 있다.

[0050] 도 7은 본 발명의 다른 실시예에 따른 표시 장치의 단위 화소를 설명하는 도면이다.

[0051] 도 7을 참고하면, 본 발명의 다른 실시예에 따른 표시 장치는 단위 화소에 포함된 다운 커패시터(Cdn1~Cdn3)의 커패시턴스가 단위 화소(PX1~PX3)에 따라 변하지 않는 대신, 제3 스위칭 소자(Q13, Q23, Q33)의 저항이 단위 화소(PX1~PX3)에 따라 변하는 것을 제외하고는 본 발명의 일 실시예와 실질적으로 동일할 수 있다.

[0052] 구체적으로, 본 발명의 다른 실시예에서 후단 게이트 라인(Gi+1)에 게이트 온 전압이 인가되어 제3 스위칭 소자(Q13, Q23, Q33)가 턴온될 경우, 단위 화소(PX1~PX3)에 따라 제3 스위칭 소자(Q13, Q23, Q33)가 턴온되는 정도가 달라질 수 있다. 즉, 제2 부화소 전극(SPE12, SPE22, SPE32)과 다운 커패시터(Cdn1~Cdn3) 사이에 흐르는 전류의 양이 단위 화소(PX1~PX3)에 따라 달라질 수 있다. 이에 의해 다운 커패시터(Cdn1~Cdn3)의 커패시턴스가 각 단위 화소(PX1~PX3)마다 동일하더라도, 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨이 다운되는 정도가 단위 화소(PX1~PX3)마다 달라질 수 있다.

[0053] 여기서, 제3 스위칭 소자(Q13, Q23, Q33)의 저항 레벨은 예컨대, 제3 스위칭 소자(Q13, Q23, Q33)에 포함된 반도체층(40)의 폭(Width; W) 또는 길이(Length; L)를 조절하여, W/L를 조절함으로써 조절될 수 있다. 또한, 제3 스위칭 소자(Q13, Q23, Q33)의 저항 레벨은 반도체층(40)의 도핑농도에 의해 조절될 수도 있다.

[0054] 한편 도면에는 도시하지 않았으나, 본 발명의 또 다른 실시예에 따른 표시 장치에서 제2 부화소 전극의 전압 레벨은 다운 커패시터의 커패시턴스 및 제3 스위칭 소자의 저항을 조절하는 것에 단위 화소 별로 조절될 수도 있다.

[0055] 도 8은 본 발명의 또 다른 실시예에 따른 표시 장치의 단위 화소를 설명하는 도면이다.

[0056] 도 8을 참고하면, 본 발명의 다른 실시예는 단위 화소(PX1~PX3)에 다운 커패시터 대신 업 커패시터(Cup1~Cup3)가 포함되어, 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨을 다운시키는 대신 제1 부화소 전극(SPE11, SPE21, SPE31)의 전압 레벨을 업시키는 것을 제외하고 본 발명의 일 실시예에 실질적으로 동일할 수 있다.

[0057] 구체적으로, 본 발명의 또 다른 실시예에 따른 표시 장치에서 단위 화소(PX1~PX3)는 제1 부화소 전극(SPE11, SPE21, SPE31), 제2 부화소 전극(SPE12, SPE22, SPE32) 및 제1 부화소 전극(SPE11, SPE21, SPE31)에 연결된 업

커패시터(Cup1~Cup3)를 포함한다. 여기서, 제1 및 제2 부화소 전극(SPE11~SPE32)은 제1 및 제2 스위칭 소자(Q11~Q32)를 통해 동일한 데이터 라인(Dj~Dj+2)과 동일한 게이트 라인(Gi)에 각각 연결될 뿐만 아니라, 액정 커패시터(Clc11~Clc32) 및 스토리지 커패시터(Cst11~Cst32)와도 각각 연결된다.

[0058] 하지만, 제1 부화소 전극(SPE11, SPE21, SPE31)은 제2 부화소 전극(SPE12, SPE22, SPE32)과 달리 업 커패시터(Cup1~Cup3)와 연결된다. 구체적으로, 업 커패시터(Cup1~Cup3)의 일측은 제1 부화소 전극(SPE11, SPE21, SPE31)과 연결되고, 타측은 제3 스위칭 소자(Q14, Q24, Q34)의 소스 전극 및 제4 스위칭 소자(Q15, Q25, Q35)의 소스 전극과 연결될 수 있다. 여기서, 제3 스위칭 소자(Q14, Q24, Q34)의 게이트 전극 및 드레인 전극에는 게이트 라인(Gi) 및 스토리지 라인(SL)이 각각 연결되고, 제4 스위칭 소자(Q15, Q25, Q35)의 게이트 전극 및 드레인 전극에는 후단 게이트 라인(Gi+1) 및 제2 부화소 전극(SPE12, SPE22, SPE32)이 각각 연결될 수 있다.

[0059] 이에 의해, 게이트 라인(Gi)에 게이트 온 전압이 인가되어 제3 스위칭 소자(Q14, Q24, Q34)가 턴온될 경우 업 커패시터(Cup1~Cup3)는 제1 부화소 전극(SPE11, SPE21, SPE31)과 연결되어 스토리지 커패시터(Cst11~Cst31)와 실질적으로 동일한 동작을 할 수 있다. 그리고 후단 게이트 라인(Gi+1)에 게이트 온 전압이 인가되어 제4 스위칭 소자(Q15, Q25, Q35)가 턴온 될 경우, 업 커패시터(Cup1~Cup3)는 제1 부화소 전극(SPE11, SPE21, SPE31)과 제2 부화소 전극(SPE12, SPE22, SPE32) 사이에 개재되어, 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨을 이용하여 제1 부화소 전극(SPE11, SPE21, SPE31)의 전압 레벨을 업시킬 수 있다. 즉, 업 커패시터(Cup1~Cup3)는 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨이 다운되는 만큼 제1 부화소 전극(SPE11, SPE21, SPE31)의 전압 레벨을 업시킬 수 있다.

[0060] 한편, 본 발명의 또 다른 실시예에 따른 표시 장치에서 서로 다른 색을 표시하는 제1 내지 제3 단위 화소(PX1~PX3)에 포함된 업 커패시터(Cup1~Cup3)는 서로 다른 커패시턴스를 가질 수 있다. 예를 들어, 제1 내지 제3 단위 화소(PX1~PX3)가 각각 적색, 녹색, 청색을 표시할 경우, 제1 내지 제3 단위 화소(PX1~PX3)에 각각 포함된 제1 내지 제3 업 커패시터(Cup1~Cup3)의 커패시턴스는 $C_{Cup1} > C_{Cup2} > C_{Cyp3}$ 순(順)일 수 있다. 이에 의해, 각 단위 화소(PX1~PX3)에 연결된 데이터 라인(Dj~Dj+2)에 동일한 데이터 전압이 인가될 경우, 각 단위 화소(PX1~PX3)에 포함된 제1 부화소 전극(SPE11, SPE21, SPE31) 및/또는 제2 부화소 전극(SPE12, SPE22, SPE32)의 전압 레벨이 단위 화소(PX1~PX3)에 따라 달라질 수 있다.

[0061] 이에 의해, 본 발명의 또 다른 실시예에 따른 표시 장치는 앞에서 설명한 바와 같이 제2 부화소 전극(SPE12, SPE22, SPE32)에 대응하는 감마 곡선에서 계조 값에 따른 투과율 값이 급격하게 변하는 소정의 영역에서 각 단위 화소(PX1~PX3)의 제2 부화소 전극(SPE12, SPE22, SPE32)에 대응하는 투과율 값이 실질적으로 동일한 비율로 변화되므로, 상기와 같은 화질 불량을 방지할 수 있다.

[0062] 한편, 도면에는 도시하지 않았으나 본 발명의 또 다른 실시예에 따른 표시 장치에서 제2 부화소 전극의 전압 레벨은 도 7의 실시예와 같이 제4 스위칭 소자의 저항을 조절하는 것에 단위 화소 별로 조절될 수 있다. 뿐만 아니라, 본 발명의 또 다른 실시예에 따른 표시 장치에서 제2 부화소 전극의 전압 레벨은 업 커패시터의 커패시턴스 및 제4 스위칭 소자의 저항을 조절하는 것에 단위 화소 별로 조절될 수도 있다.

[0063] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

## *도면의 간단한 설명*

[0064] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 설명하기 위한 블록도이다.

[0065] 도 2는 도 1의 단위 화소를 설명하는 도면이다.

[0066] 도 3은 도 2의 단위 화소의 전압 변화를 설명하는 도면이다.

[0067] 도 4는 본 발명의 일 실시예에 따른 표시 장치에서 표시되는 영상에 대응하는 감마 곡선을 나타내는 도면이다.

[0068] 도 5는 도 2의 단위 화소를 구성하는 예시적인 표시 장치의 제1 기판을 설명하는 도면이며, 도 6은 도 5의 VI-VI'을 따라 절단된 단면도이다.

[0069] 도 7은 본 발명의 다른 실시예에 따른 표시 장치의 단위 화소를 설명하는 도면이다.

[0070] 도 8은 본 발명의 또 다른 실시예에 따른 표시 장치의 단위 화소를 설명하는 도면이다.

[0071] (도면의 주요부분에 대한 부호의 설명)

[0072] 10: 기판 30: 절연층

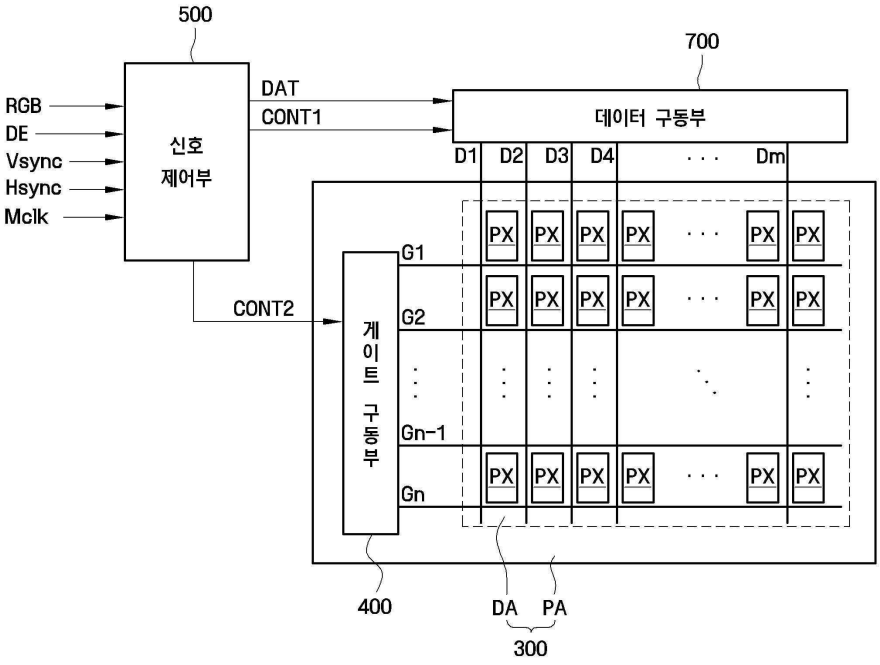
[0073] 40: 반도체층 70: 보호층

[0074] 300: 표시 패널 400: 게이트 구동부

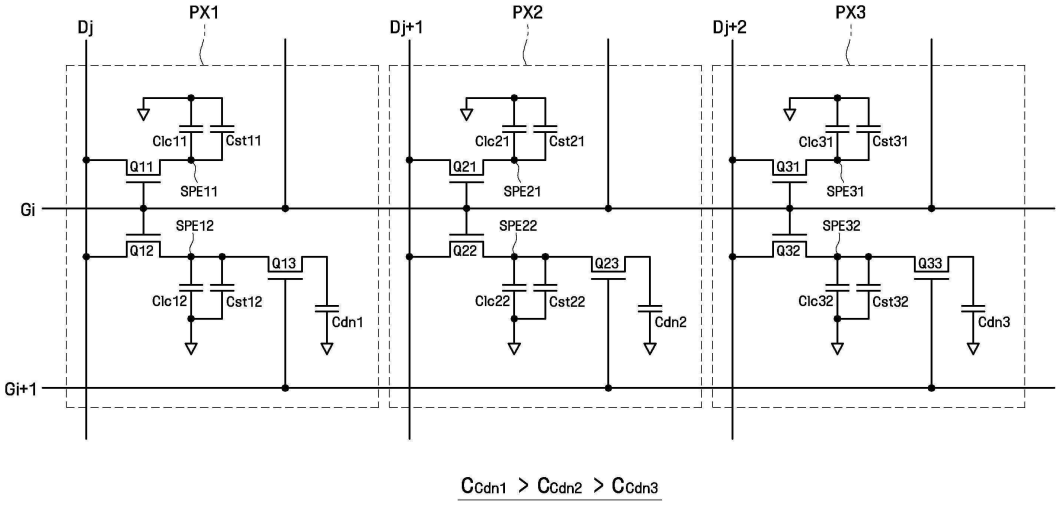
[0075] 500: 신호 제어부 700: 데이터 구동부

## 도면

### 도면1

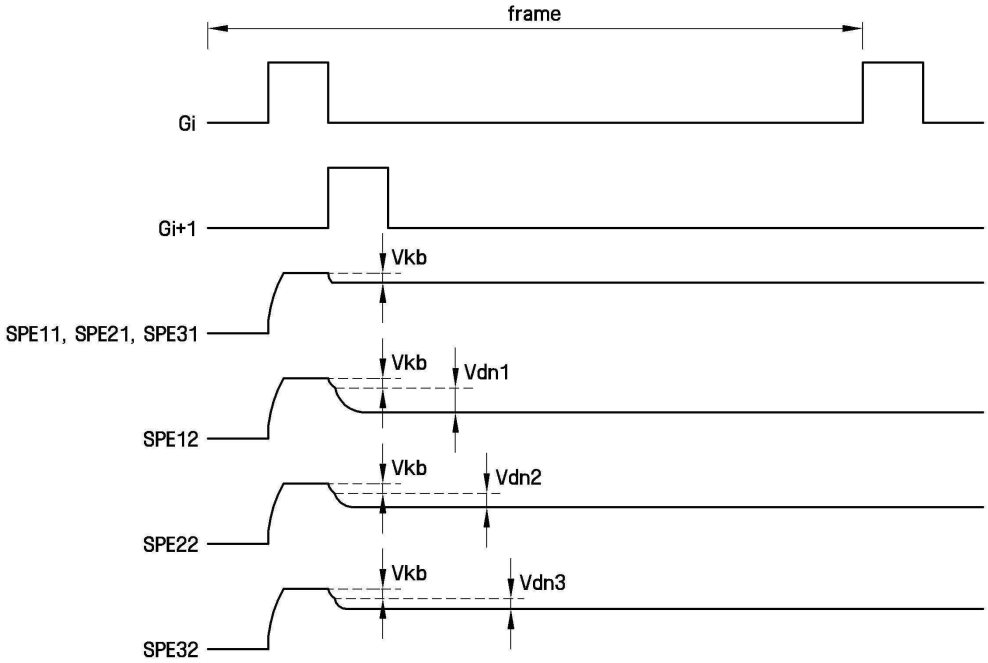



### 도면2

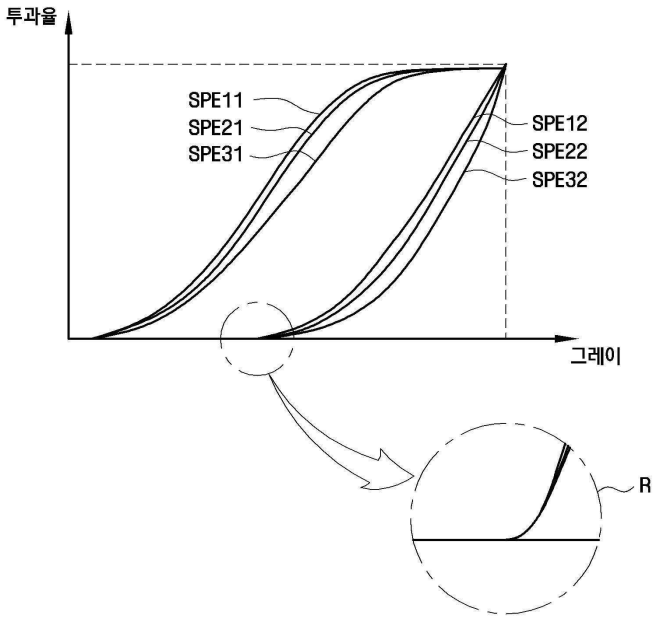



$C_{cdn1} > C_{cdn2} > C_{cdn3}$

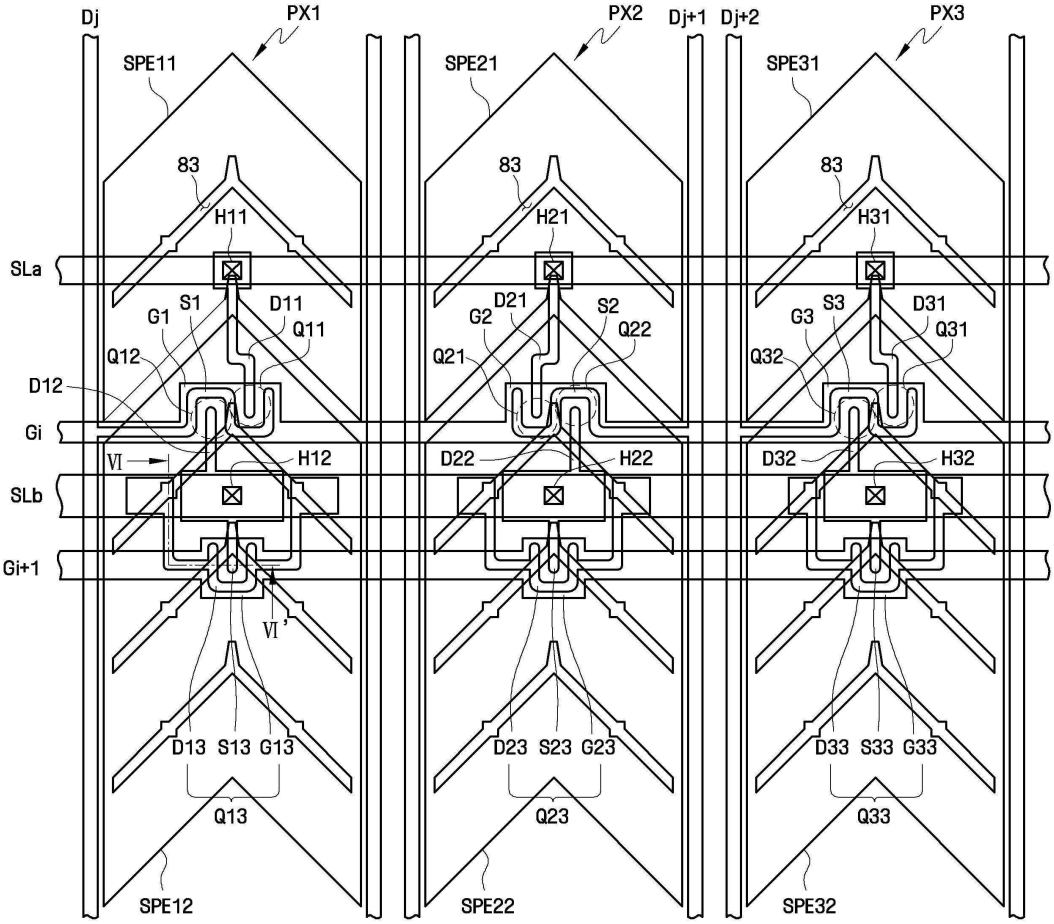
도면3


frame
Gi
Gi+1
Vkb
SPE11, SPE21, SPE31
Vkb
Vdn1
SPE12
Vkb
Vdn2
SPE22
Vkb
Vdn3
SPE32

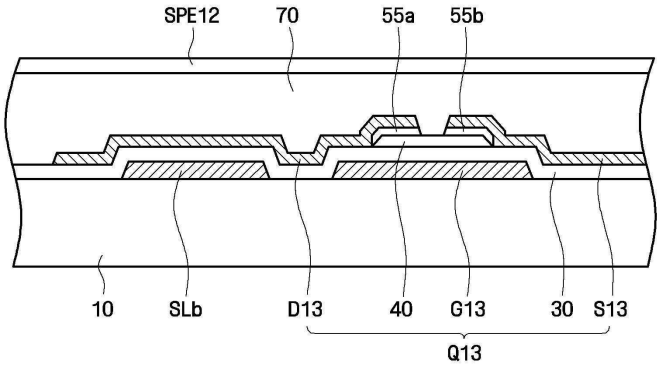
도면4


투과율
SPE11
SPE21
SPE31
SPE12
SPE22
SPE32
그레이
R

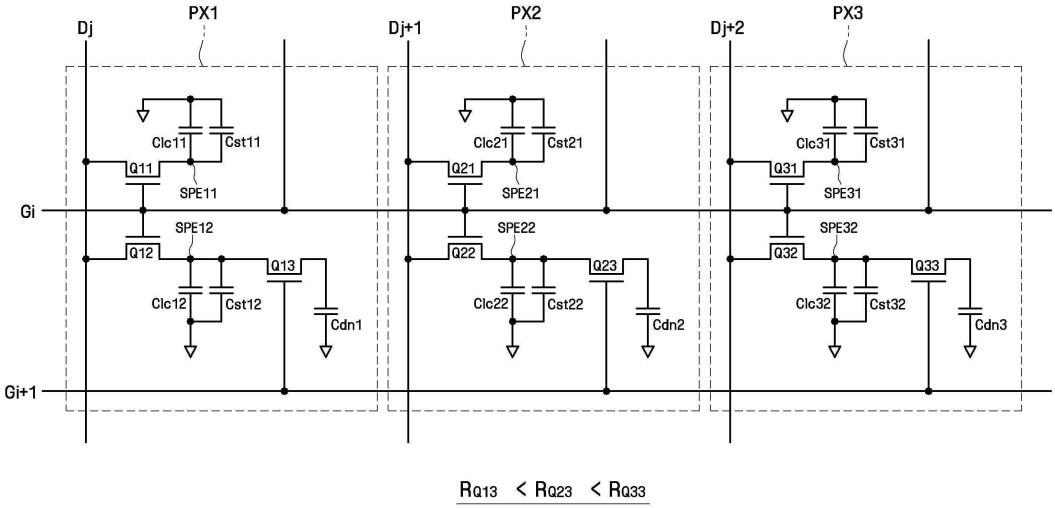
도면5


Dj
PX1
SPE11
PX2
Dj+1
Dj+2
SPE21
PX3
SPE31
83
H11
H21
H31
SLa
S1
D11
Q11
G1
Q12
D12
Gi
VI
H12
SLb
Gi+1
VI'
D21
G2
S2
Q22
Q21
D22
H22
S3
D31
Q31
G3
Q32
D32
H32
D13
S13
G13
Q13
D23
S23
G23
Q23
D33
S33
G33
Q33
SPE12
SPE22
SPE32

도면6

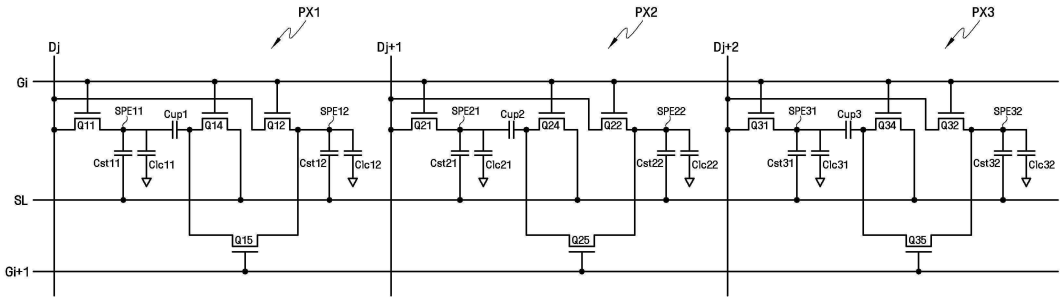

SPE12
70
55a
55b
10
SLb
D13
40
G13
30
S13
Q13

도면7

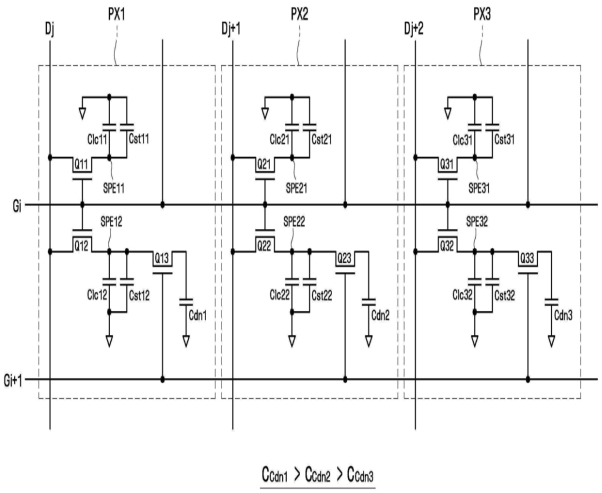



$R_{Q13} < R_{Q23} < R_{Q33}$

도면8



| | | | |
|---|---|---|---|
| 专利名称(译) | 液晶显示器 | | |
| 公开(公告)号 | KR1020100068826A | 公开(公告)日 | 2010-06-24 |
| 申请号 | KR1020080127313 | 申请日 | 2008-12-15 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | LEE JUN PYO<br>이준표<br>KIM JUNG WON<br>김정원<br>KIM DONG GYU<br>김동규<br>YOU BONG HYUN<br>유봉현<br>CHOI HEE JIN<br>최희진 | | |
| 发明人 | 이준표<br>김정원<br>김동규<br>유봉현<br>최희진 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| 外部链接 | Espacenet | | |


摘要(译)

提供一种显示装置。在根据本发明实施例的显示装置包括多个栅极线，多个交叉的栅极线的多条数据线和多个由多条栅极线和多条数据线限定的单位像素中的被形成，每个单元像素具有多个具有分别连接第一子像素电极和第二子像素的包括电极，第一子像素电极和第二子像素电极彼此的电压电平不同的一帧，以相同的数据线和相同的栅极线多个单位像素被定义为用于显示第一颜色的第一单位像素和用于显示与第一颜色不同的第二颜色的第二单位像素，当数据电压提供给连接到数据线的数据线时，包括在第一单位像素中的第一子像素电极的电压和第二子单元的电压比包括在像素中的像素电极不同于第二子像素电极的电压比。