



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0075401
(43) 공개일자 2020년06월26일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/3696 (2013.01)

G09G 2310/08 (2013.01)

(21) 출원번호 10-2018-0164035

(22) 출원일자 2018년12월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

손황호

경기도 파주시 월릉면 엘지로 245

문현동

경기도 파주시 월릉면 엘지로 245

(74) 대리인

네이트특허법인

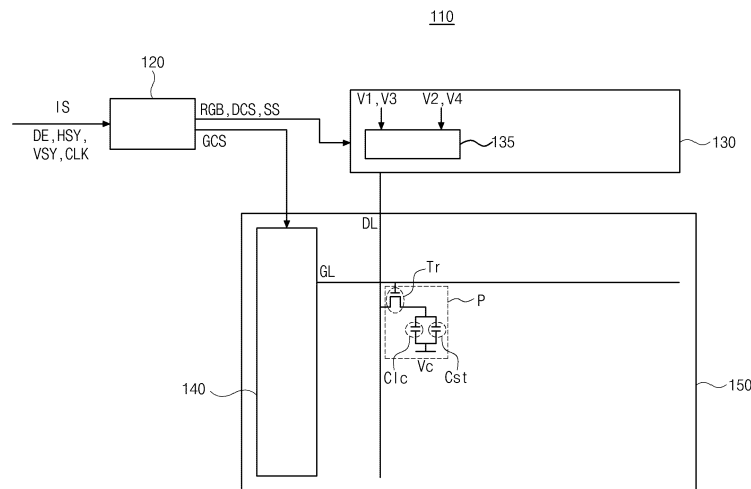
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은, 영상신호, 데이터인에이블, 수평동기신호, 수직동기신호, 클럭, 온-오프신호를 이용하여 영상데이터, 데이터제어신호, 동기신호 및 게이트제어신호를 생성하는 타이밍제어부와; 상기 영상데이터 및 상기 데이터제어신호를 이용하여 데이터전압을 생성하는 데이터구동부와; 상기 동기신호를 이용하여 상기 데이터전압을 상승시키는 변조부와; 상기 게이트제어신호를 이용하여 게이트전압을 생성하는 게이트구동부와; 상기 데이터전압과 상기 게이트전압을 이용하여 영상을 표시하는 액정표시패널을 포함하는 액정표시장치를 제공한다.

대표도 - 도1



(52) CPC특허분류

G09G 2320/0209 (2013.01)

G09G 2320/0247 (2013.01)

G09G 2320/0257 (2013.01)

명세서

청구범위

청구항 1

영상신호, 데이터인에이블, 수평동기신호, 수직동기신호, 클럭, 온-오프신호를 이용하여 영상데이터, 데이터 제어신호, 동기신호 및 게이트제어신호를 생성하는 타이밍제어부와;

상기 영상데이터 및 상기 데이터제어신호를 이용하여 데이터전압을 생성하는 데이터구동부와;

상기 동기신호를 이용하여 상기 데이터전압을 상승시키는 변조부와;

상기 게이트제어신호를 이용하여 게이트전압을 생성하는 게이트구동부와;

상기 데이터전압과 상기 게이트전압을 이용하여 영상을 표시하는 액정표시패널

을 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터제어신호는, 소스스타트펄스, 소스샘플링클럭, 소스출력인에이블, 극성제어신호를 포함하고,

게이트제어신호는, 게이트스타트펄스, 게이트쉬프트클럭, 게이트출력인에이블, 플리커신호를 포함하고,

상기 동기신호는, 상기 데이터인에이블, 상기 온-오프신호, 상기 게이트쉬프트클럭, 상기 게이트출력인에이블, 상기 플리커신호 중 하나인 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 변조부는,

상기 데이터구동부에 배치되고,

상기 게이트전압의 하강에지 직전 이전에 정극성의 제1전압 또는 부극성의 제3전압을 상기 데이터전압으로 출력하고,

상기 게이트전압의 하강에지 직전 이후에 정극성의 제2전압 또는 부극성의 제4전압을 상기 데이터전압으로 출력하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제2전압의 절대값은 상기 제1전압의 절대값보다 크고,

상기 제4전압의 절대값은 상기 제3전압의 절대값보다 작은 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 변조부는,

상기 동기신호가 입력되는 제1게이트전극과, 상기 제2 또는 제4전압이 입력되는 제1드레인전극과, 제1소스전극을 포함하는 제1박막트랜지스터와;

상기 동기신호가 입력되는 제2게이트전극과, 상기 제1 또는 제3전압이 입력되는 제2드레인전극과, 상기 제1소스전극에 연결되는 제2소스전극을 포함하는 제2박막트랜지스터

를 포함하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 변조부는,

상기 타이밍제어부에 배치되고,

상기 게이트전압의 하강에지 직전 이전에 제1영상데이터를 상기 영상데이터로 출력하고,

상기 게이트전압의 하강에지 직전 이후에 제2영상데이터를 상기 영상데이터로 출력하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 데이터전압이 정극성인 경우 상기 제2영상데이터의 계조는 상기 제1영상데이터의 계조보다 크고,

상기 데이터전압이 부극성인 경우 상기 제2영상데이터의 계조는 상기 제1영상데이터의 계조보다 작은 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 데이터구동부는,

상기 게이트전압의 하강에지 직전 이전에 상기 제1영상데이터에 대응되는 정극성의 제1전압 또는 부극성의 제3전압을 상기 데이터전압으로 출력하고,

상기 게이트전압의 하강에지 직전 이후에 상기 제2영상데이터에 대응되는 정극성의 제2전압 또는 부극성의 제4전압을 상기 데이터전압으로 출력하는 액정표시장치.

청구항 9

타이밍제어부가 영상신호, 데이터인에이블, 수평동기신호, 수직동기신호, 클럭, 온-오프신호를 이용하여 영상데이터, 데이터제어신호, 동기신호 및 게이트제어신호를 생성하는 단계와;

데이터구동부가 상기 영상데이터 및 상기 데이터제어신호를 이용하여 데이터전압을 생성하는 단계와;

변조부가 상기 동기신호를 이용하여 상기 데이터전압을 상승시키는 단계와;

게이트구동부가 상기 게이트제어신호를 이용하여 게이트전압을 생성하는 단계와;

액정표시패널이 상기 데이터전압과 상기 게이트전압을 이용하여 영상을 표시하는 단계

를 포함하는 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 변조부가 상기 동기신호를 이용하여 상기 데이터전압을 상승시키는 단계는,

상기 변조부가,

상기 게이트전압의 하강에지 직전 이전에 정극성의 제1전압 또는 부극성의 제3전압을 상기 데이터전압으로 출력하는 단계와;

상기 게이트전압의 하강에지 직전 이후에 정극성의 제2전압 또는 부극성의 제4전압을 상기 데이터전압으로 출력하는 단계

를 포함하는 액정표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 게이트전압의 하강에지 직전에 데이터전압을 상승 변조 함으로써, 화소전압 강하가 최소화 되어 플리커, 잔상, 크로스토크와 같은 불량이 방지되는 액정표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 최근 정보화 사회로 시대가 급진전함에 따라, 대량의 정보를 처리하고 이를 표시하는 디스플레이(display)분야가 발전하고 있는데, 박형화, 경량화, 저 소비전력화 등의 시대상에 부응하기 위해 평판 표시 장치(flat panel display)의 필요성이 대두되었다.

[0003] 이에 따라 색 재현성이 우수하고 박형인 박막트랜지스터 액정표시장치(thin film transistor liquid crystal display: TFT-LCD)가 개발되었는데, 액정표시장치는 액정분자의 광학적 이방성과 분극성질을 이용하여 영상을 표시한다.

[0004] 액정표시장치는, 서로 마주보며 이격되는 하부기판 및 상부기판과, 하부기판 및 상부기판 사이에 형성되는 액정층을 포함하는데, 하부기판인 어레이기판에는 서로 교차하는 게이트배선 및 데이터배선과, 게이트배선 및 데이터배선에 연결되는 박막트랜지스터가 배치되고, 박막트랜지스터에는 액정커패시터 및 스토리지커패시터가 연결된다.

[0005] 즉, 박막트랜지스터의 게이트전극은 게이트배선에 연결되고, 박막트랜지스터의 소스전극은 데이터배선에 연결되고, 박막트랜지스터의 드레인전극은 액정커패시터의 화소전극 및 스토리지커패시터의 제1커패시터전극에 연결된다.

[0006] 이러한 액정표시장치에서는, 게이트배선의 게이트전압이 하이레벨을 갖는 동안, 박막트랜지스터가 턴-온(turn-on) 되어 데이터배선의 데이터전압이 박막트랜지스터를 통하여 액정커패시터 및 스토리지커패시터에 인가된다.

[0007] 그리고, 게이트배선의 게이트전압이 로우레벨을 갖는 동안, 박막트랜지스터가 턴-오프(turn-off) 되어 액정커패시터 및 스토리지커패시터는 충전된 전하를 유지한다.

[0008] 그런데, 박막트랜지스터의 게이트전극 및 드레인전극 사이에는 게이트드레인 커패시터가 형성되므로, 게이트전압이 하이레벨에서 로우레벨로 변환 될 때, 즉 박막트랜지스터가 턴-온 상태에서 턴-오프 상태로 전환 될 때, 전하 재분배에 의하여 액정커패시터의 화소전극의 화소전압이 강하(drop) 하는 문제가 있다.

[0009] 이러한 화소전압의 강하량을 킥백(kickback)전압이라고 하는데, 킥백전압에 의하여 플리커(flicker)와 같은 불량이 발생하는 문제가 있다.

[0010] 그리고, 이러한 킥백전압은 반전(inversion)구동 되는 액정표시장치의 정극성(+) 및 부극성(-) 사이의 투과량의 불균형을 초래하여 잔상, 수평 크로스토크(crosstalk)와 같은 불량이 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0011] 본 발명은, 이러한 문제점을 해결하기 위하여 제시된 것으로, 게이트전압의 하강에지 직전에 데이터전압을 변조하여 상승시킴으로써, 화소전압 강하가 최소화 되어 플리커, 잔상, 크로스트크와 같은 불량이 방지되는 액정표시장치 및 그 구동방법을 제공하는 것을 목적으로 한다.
- [0012] 그리고, 본 발명은, 게이트전압의 하강에지 직전에 영상데이터를 변조하여 데이터전압을 상승 시킴으로써, 화소전압 강하가 최소화 되어 플리커, 잔상, 크로스트크와 같은 불량이 방지되는 액정표시장치 및 그 구동방법을 제공하는 것을 다른 목적으로 한다.

과제의 해결 수단

- [0013] 위와 같은 과제의 해결을 위해, 본 발명은, 영상신호, 데이터인에이블, 수평동기신호, 수직동기신호, 클럭, 온-오프신호를 이용하여 영상데이터, 데이터제어신호, 동기신호 및 게이트제어신호를 생성하는 타이밍제어부와; 상기 영상데이터 및 상기 데이터제어신호를 이용하여 데이터전압을 생성하는 데이터구동부와; 상기 동기신호를 이용하여 상기 데이터전압을 상승시키는 변조부와; 상기 게이트제어신호를 이용하여 게이트전압을 생성하는 게이트구동부와; 상기 데이터전압과 상기 게이트전압을 이용하여 영상을 표시하는 액정표시패널을 포함하는 액정표시장치를 제공한다.
- [0014] 그리고, 상기 데이터제어신호는, 소스스타트펄스, 소스샘플링클럭, 소스출력인에이블, 극성제어신호를 포함하고, 게이트제어신호는, 게이트스타트펄스, 게이트쉬프트클럭, 게이트출력인에이블, 플리커신호를 포함하고, 상기 동기신호는, 상기 데이터인에이블, 상기 온-오프신호, 상기 게이트쉬프트클럭, 상기 게이트출력인에이블, 상기 플리커신호 중 하나 일 수 있다.
- [0015] 또한, 상기 변조부는, 상기 데이터구동부에 배치되고, 상기 게이트전압의 하강에지 직전 이전에 정극성의 제1전압 또는 부극성의 제3전압을 상기 데이터전압으로 출력하고, 상기 게이트전압의 하강에지 직전 이후에 정극성의 제2전압 또는 부극성의 제4전압을 상기 데이터전압으로 출력할 수 있다.
- [0016] 그리고, 상기 제2전압의 절대값은 상기 제1전압의 절대값보다 크고, 상기 제4전압의 절대값은 상기 제3전압의 절대값보다 작을 수 있다.
- [0017] 또한, 상기 변조부는, 상기 동기신호가 입력되는 제1게이트전극과, 상기 제2 또는 제4전압이 입력되는 제1드레인전극과, 제1소스전극을 포함하는 제1박막트랜지스터와; 상기 동기신호가 입력되는 제2게이트전극과, 상기 제1 또는 제3전압이 입력되는 제2드레인전극과, 상기 제1소스전극에 연결되는 제2소스전극을 포함하는 제2박막트랜지스터를 포함할 수 있다.
- [0018] 그리고, 상기 변조부는, 상기 타이밍제어부에 배치되고, 상기 게이트전압의 하강에지 직전 이전에 제1영상데이터를 상기 영상데이터로 출력하고, 상기 게이트전압의 하강에지 직전 이후에 제2영상데이터를 상기 영상데이터로 출력할 수 있다.
- [0019] 또한, 상기 데이터전압이 정극성인 경우 상기 제2영상데이터의 계조는 상기 제1영상데이터의 계조보다 크고, 상기 데이터전압이 부극성인 경우 상기 제2영상데이터의 계조는 상기 제1영상데이터의 계조보다 작을 수 있다.
- [0020] 그리고, 상기 데이터구동부는, 상기 게이트전압의 하강에지 직전 이전에 상기 제1영상데이터에 대응되는 정극성의 제1전압 또는 부극성의 제3전압을 상기 데이터전압으로 출력하고, 상기 게이트전압의 하강에지 직전 이후에 상기 제2영상데이터에 대응되는 정극성의 제2전압 또는 부극성의 제4전압을 상기 데이터전압으로 출력할 수 있다.
- [0021] 한편, 본 발명은, 타이밍제어부가 영상신호, 데이터인에이블, 수평동기신호, 수직동기신호, 클럭, 온-오프신호를 이용하여 영상데이터, 데이터제어신호, 동기신호 및 게이트제어신호를 생성하는 단계와; 데이터구동부가 상기 영상데이터 및 상기 데이터제어신호를 이용하여 데이터전압을 생성하는 단계와; 변조부가 상기 동기신호를 이용하여 상기 데이터전압을 상승시키는 단계와; 게이트구동부가 상기 게이트제어신호를 이용하여 게이트전압을 생성하는 단계와; 액정표시패널이 상기 데이터전압과 상기 게이트전압을 이용하여 영상을 표시하는 단계를 포함하는 액정표시장치의 구동방법을 제공한다.
- [0022] 그리고, 상기 변조부가 상기 동기신호를 이용하여 상기 데이터전압을 상승시키는 단계는, 상기 변조부가, 상기 게이트전압의 하강에지 직전 이전에 정극성의 제1전압 또는 부극성의 제3전압을 상기 데이터전압으로 출력하는

단계와; 상기 게이트전압의 하강에지 직전 이후에 정극성의 제2전압 또는 부극성의 제4전압을 상기 데이터전압으로 출력하는 단계를 포함할 수 있다.

발명의 효과

[0023] 본 발명은, 게이트전압의 하강에지 직전에 직접 데이터전압을 변조하여 상승시키거나 영상데이터를 변조하여 데이터전압을 상승 시킴으로써, 화소전압 강하가 최소화 되어 플리커, 잔상, 크로스토크와 같은 불량이 방지되는 효과를 갖는다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 제1실시예에 따른 액정표시장치를 도시한 도면.
 도 2는 본 발명의 제1실시예에 따른 액정표시장치의 변조부를 도시한 도면.
 도 3은 본 발명의 제1실시예에 따른 액정표시장치의 하나의 데이터배선에 인가되는 데이터전압과 다수의 게이트배선에 인가되는 게이트전압을 도시한 파형도.
 도 4는 본 발명의 제1실시예에 따른 액정표시장치의 하나의 화소에 인가되는 게이트전압, 데이터전압, 화소전압 및 동기신호를 도시한 파형도.
 도 5는 본 발명의 제2실시예에 따른 액정표시장치를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 구동방법을 설명한다.

[0026] 도 1은 본 발명의 제1실시예에 따른 액정표시장치를 도시한 도면이다.

[0027] 도 1에 도시한 바와 같이, 본 발명의 제1실시예에 따른 액정표시장치(110)는, 타이밍제어부(120), 데이터구동부(130), 게이트구동부(140) 및 액정패널(150)을 포함한다.

[0028] 도시하지는 않았지만, 타이밍제어부(120)는 인쇄회로기판(printed circuit board: PCB)에 장착되고, 인쇄회로기판은 연성인쇄회로(flexible printed circuit: FPC)를 통하여 액정패널(150)에 연결될 수 있다.

[0029] 타이밍제어부(120)는, 그래픽카드 또는 TV시스템과 같은 외부시스템으로부터 전달되는 영상신호(IS)와 데이터인에이블(DE), 수평동기신호(HSY), 수직동기신호(VSY), 클럭(CLK), 온-오프신호(ON-OFF) 등의 다수의 타이밍신호를 이용하여 영상데이터(RGB), 데이터제어신호(DCS), 동기신호(SS) 및 게이트제어신호(GCS)를 생성하고, 생성된 영상데이터(RGB), 데이터제어신호(DCS) 및 동기신호(SS)는 데이터구동부(130)로 전달하고, 생성된 게이트제어신호(GCS)는 게이트구동부(140)로 전달한다.

[0030] 예를 들어, 데이터제어신호(DCS)는 소스스타트펄스(SSP), 소스샘플링클럭(SSC), 소스출력인에이블(SOE), 극성제어신호(POL)를 포함하고, 게이트제어신호(GCS)는 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE), 플리커신호(FLK)를 포함할 수 있다.

[0031] 소스스타트펄스(SSP)는 데이터가 표시될 1수평라인에서 시작화소를 지시하고, 소스샘플링클럭(SSC)은 상승에지 또는 하강에지에 기준하여 데이터구동부(130) 내에서 데이터의 래치(latch) 동작을 지시하고, 소스출력인에이블(SOE)는 데이터구동부(130)의 출력을 지시하고, 극성제어신호(POL)는 화소(P)의 액정커패시터(C1c)에 공급될 데이터전압(Vd)의 극성을 지시한다.

[0032] 게이트스타트펄스(GSP)는 한 화면이 표시되는 1수직기간 중에서 스캔이 시작되는 시작수평라인을 지시하고, 게이트쉬프트클럭(GSC)은 게이트구동부(140) 내의 쉬프트레지스터(shift register)에 입력되어 게이트스타트펄스(GSP)를 순차적으로 쉬프트 시키고, 게이트출력인에이블(GOE)은 게이트구동부(140)의 출력을 지시하고, 플리커신호(FLK)는 게이트전압(Vg)의 하이레벨(Vgh)의 후단 강압을 지시한다.

[0033] 그리고, 동기신호(SS)는 데이터인에이블(DE), 온-오프신호(ON-OFF), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE), 플리커신호(FLK) 중 하나 일 수 있다.

[0034] 데이터구동부(130)는, 타이밍제어부(120)로부터 전달되는 영상데이터(RGB), 데이터제어신호(DCS) 및 동기신호(SS)를 이용하여 데이터전압(데이터신호)(도 2의 Vd)을 생성하고, 생성된 데이터전압(Vd)을 액정패널(150)의 데이터배선(DL) 및 박막트랜지스터(Tr)를 통하여 각 화소(P)의 액정커패시터(C1c)의 화소전극 및 스토리지커패시

터(Cst)의 제1스토리지전극에 인가한다.

- [0035] 그리고, 데이터구동부(130)는 변조부(135)를 포함하는데, 변조부(135)는 타이밍제어부(120)로부터 전달되는 동기신호(SS)를 이용하여 제1 내지 제4전압(V1 내지 V4) 중 하나를 데이터전압(Vd)으로 출력할 수 있으며, 제1 내지 제4전압(V1 내지 V4)은 감마전압생성부(미도시)로부터 전달되는 감마전압 일 수 있다.
- [0036] 게이트구동부(140)는, 타이밍제어부(120)로부터 전달되는 게이트제어신호(GCS)를 이용하여 게이트전압(게이트신호)(도 3의 Vg)을 생성하고, 생성된 게이트전압(Vg)을 액정패널(150)의 게이트배선(GL)을 통하여 각 화소(P)의 박막트랜지스터(Tr)의 게이트전극에 인가한다.
- [0037] 제1실시예에서는 게이트구동부(140)가 게이트배선(GL), 데이터배선(DL) 및 박막트랜지스터(Tr)와 함께 액정패널(150)의 어레이기판에 형성되는 게이트-인-패널(gate in panel: GIP) 타입을 예로 들었으나, 다른 실시예에서는 게이트구동부(140)가 액정패널(150)과 별도로 인쇄회로기판에 배치될 수도 있다.
- [0038] 도시하지는 않았지만, 게이트구동부(140)는 게이트제어신호(GCS)를 이용하여 게이트전압(Vg)을 생성하는 쉬프트 레지스터부를 포함할 수 있다.
- [0039] 액정패널(150)은, 게이트전압 및 데이터전압을 이용하여 영상을 표시하는데, 서로 교차하여 화소(P)를 정의하는 게이트배선(GL) 및 데이터배선(DL)과, 게이트배선(GL) 및 데이터배선(DL)에 연결되는 박막트랜지스터(Tr)와, 박막트랜지스터(Tr)에 연결되는 액정커패시터(Clc) 및 스토리지커패시터(Cst)를 포함한다.
- [0040] 구체적으로, 박막트랜지스터(Tr)는 게이트전극, 소스전극, 드레인전극을 포함하고, 액정커패시터(Clc)는 화소전극, 공통전극을 포함하고, 스토리지커패시터(Cst)는 제1 및 제2스토리지전극을 포함하고, 공통전극 및 제2스토리지전극에는 공통전압(Vc)이 인가될 수 있다.
- [0041] 그리고, 박막트랜지스터(Tr)의 게이트전극은 게이트배선(GL)에 연결되고, 박막트랜지스터(Tr)의 소스전극은 데이터배선(DL)에 연결되고, 박막트랜지스터(Tr)의 드레인전극은 액정커패시터(Clc)의 화소전극 및 스토리지커패시터(Cst)의 제1커패시터전극에 연결된다.
- [0042] 이러한 액정표시장치(110)에서, 데이터구동부(130)의 변조부(135)는 게이트전압(Vg)의 하강에지(falling edge) 직전에 제1 또는 제3전압(도 2의 V1, V3)을 제2 또는 제4전압(도 2의 V2, V4)로 상승시켜 데이터전압(Vd)으로 출력할 수 있다.
- [0043] 즉, 데이터구동부(130)의 변조부(135)는, 게이트전압(Vg)이 하이레벨(Vgh)로부터 로우레벨(Vgl)로 하강하는 하강에지 직전 이전에는 영상데이터(RGB)에 대응되는 정극성(+)의 제1전압(V1) 또는 부극성(-)의 제3전압(V3)을 데이터전압(Vd)으로 출력하고, 게이트전압(Vg)이 하이레벨(Vgh)로부터 로우레벨(Vgl)로 하강하는 하강에지 직전 이후에는 영상데이터(RGB)에 대응되고 제1전압(V1)보다 절대값이 큰 정극성(+)의 제2전압(V2) 또는 제3전압(V3)보다 절대값이 작은 부극성(-)의 제4전압(V4)을 데이터전압(Vd)으로 출력한다.
- [0044] 이에 따라, 킥백전압에 의한 화소전압(도 4의 Vp)의 강하를 방지할 수 있는데, 이를 도면을 참조하여 설명한다.
- [0045] 도 2는 본 발명의 제1실시예에 따른 액정표시장치의 변조부를 도시한 도면이고, 도 3은 본 발명의 제1실시예에 따른 액정표시장치의 하나의 데이터배선에 인가되는 데이터전압과 다수의 게이트배선에 인가되는 게이트전압을 도시한 파형도이고, 도 4는 본 발명의 제1실시예에 따른 액정표시장치의 하나의 화소에 인가되는 게이트전압, 데이터전압, 화소전압 및 동기신호를 도시한 파형도로서, 도 1을 함께 참조하여 설명한다.
- [0046] 도 2에 도시한 바와 같이, 본 발명의 제1실시예에 따른 액정표시장치(110)의 데이터구동부(130)의 변조부(135)는, 제1 및 제2박막트랜지스터(T1, T2)를 포함한다.
- [0047] 제1박막트랜지스터(T1)의 제1게이트전극에는 동기신호(SS)가 입력되고, 제1박막트랜지스터(T1)의 제1드레인전극에는 정극성(+)의 제2전압(V2) 또는 부극성(-)의 제4전압(V4)이 입력되고, 제1박막트랜지스터(T1)의 제1소스전극은 제2박막트랜지스터(T2)의 제2소스전극에 연결되고, 제1박막트랜지스터(T1)는 N타입 일 수 있다.
- [0048] 제2박막트랜지스터(T2)의 제2게이트전극에는 동기신호(SS)가 입력되고, 제2박막트랜지스터(T2)의 제2드레인전극에는 정극성(+)의 제1전압(V1) 또는 부극성(-)의 제3전압(V3)이 입력되고, 제2박막트랜지스터(T2)의 제2소스전극은 제1박막트랜지스터(T1)의 제1소스전극에 연결되고, 제2박막트랜지스터(T2)는 P타입 일 수 있다.
- [0049] 동기신호(SS)가 로우레벨인 경우, 제1박막트랜지스터(T1)는 턴-오프(turn-off) 되고 제2박막트랜지스터(T2)는 턴-온(turn-on) 되어, 변조부(135)는 제1 및 제2박막트랜지스터(T1, T2)의 연결노드(Nc)를 통하여 제1 또는 제3

전압(V1, V3)을 출력한다.

- [0050] 동기신호(SS)가 하이레벨인 경우, 제1박막트랜지스터(T1)는 턴-온 되고 제2박막트랜지스터(T2)는 턴-오프 되어, 변조부(135)는 제1 및 제2박막트랜지스터(T1, T2)의 연결노드(Nc)를 통하여 변조(또는 보상)된 전압인 제2 또는 제4전압(V2, V4)을 출력한다.
- [0051] 여기서, 정극성(+)의 제2전압(V2)의 절대값은 정극성(+)의 제1전압(V1)의 절대값보다 크고($\text{abs}(V1) < \text{abs}(V2)$), 부극성(-)의 제4전압(V4)의 절대값은 부극성(-)의 제3전압(V3)의 절대값보다 작을 수 있다($\text{abs}(V3) > \text{abs}(V4)$).
- [0052] 도 3에 도시한 바와 같이, 본 발명의 제1실시예에 따른 액정표시장치(110)의 액정패널(150)에서, 다수의 게이트배선(GL)에는 순차적으로 하이레벨을 갖는 게이트전압(Vg)이 인가된다.
- [0053] 예를 들어, 제(n)게이트배선에 인가되는 제(n)게이트전압(Vg(n))은 제1 및 제3타이밍(t1, t3) 사이의 1수평주기(1H) 동안 하이레벨(Vgh)을 갖고 나머지 구간에서는 로우레벨(Vgl)을 갖고, 제(n+1)게이트배선에 인가되는 제(n+1)게이트전압(Vg(n+1))은 제4 및 제6타이밍(t4, t6) 사이의 1수평주기(1H) 동안 하이레벨(Vgh)을 갖고 나머지 구간에서는 로우레벨(Vgl)을 가질 수 있다.
- [0054] 제(n)게이트전압(Vg(n))이 하이레벨(Vgh)인 제1 및 제2타이밍(t1, t2) 사이의 구간 동안 데이터구동부(130)로부터 정극성(+)의 제1전압(V1)이 출력되고, 제(n)게이트전압(Vg(n))이 하이레벨(Vgh)인 제2 및 제3타이밍(t2, t3) 사이의 구간 동안 데이터구동부(130)로부터 제1전압(V1)보다 절대값이 큰 변조된 전압인 정극성(+)의 제2전압(V2)이 출력되어, 데이터배선(DL)과 제(n)게이트배선에 연결된 박막트랜지스터(Tr)를 통하여 액정커패시터(C1c)의 화소전극에 인가된다.
- [0055] 그리고, 제(n+1)게이트전압(Vg(n+1))이 하이레벨(Vgh)인 제4 및 제5타이밍(t4, t5) 사이의 구간 동안 데이터구동부(130)로부터 부극성(-)의 제3전압(V3)이 출력되고, 제(n+1)게이트전압(Vg(n+1))이 하이레벨(Vgh)인 제5 및 제6타이밍(t5, t6) 사이의 구간 동안 데이터구동부(130)로부터 제3전압(V3)보다 절대값이 작은 변조된 전압인 부극성(-)의 제4전압(V4)이 출력되어, 데이터배선(DL)과 제(n+1)게이트배선에 연결된 박막트랜지스터(Tr)를 통하여 액정커패시터(C1c)의 화소전극에 인가된다.
- [0056] 여기서, 데이터전압(Vd)의 변조량에 해당하는 제1 및 제2전압(V1, V2)의 제1전압차($\Delta V1$)와 제3 및 제4전압(V3, V4)의 제2전압차($\Delta V2$)는 서로 동일할 수 있으며, 제1 및 제2전압차($\Delta V1$, $\Delta V2$)는 액정커패시터(C1c)의 커패시턴스, 스토리지커패시터(Cst)의 커패시턴스, 박막트랜지스터(Tr)의 게이트전극 및 드레인전극 사이의 게이트드레인 커패시터(Cgd)의 커패시턴스와 게이트전압(Vg)의 하이레벨(Vgh) 및 로우레벨(Vgl)에 의하여 아래의 식과 같이 결정될 수 있다.
- [0057]
$$\Delta V1 = \Delta V2 = \{Cgd / (C1c + Cst + Cgd)\} * (Vgh - Vgl)$$
- [0058] 편의상, 액정커패시터(C1c)의 커패시턴스, 스토리지커패시터(Cst)의 커패시턴스, 게이트드레인 커패시터(Cgd)의 커패시턴스는 각각 액정커패시터(C1c), 스토리지커패시터(Cst), 게이트드레인 커패시터(Cgd)와 동일부호를 사용한다.
- [0059] 이러한 제1 및 제2전압차($\Delta V1$, $\Delta V2$)는 킥백(kickback)전압에 대응된다.
- [0060] 예를 들어, 액정커패시터(C1c)의 커패시턴스, 스토리지커패시터(Cst)의 커패시턴스, 게이트드레인 커패시터(Cgd)의 커패시턴스가 각각 약 39.335fF, 약 393.349fF, 약 6.819fF이고, 게이트전압(Vg)의 하이레벨(Vgh) 및 로우레벨(Vgl)이 각각 약 28V, 약 -6V인 경우, 제1 및 제2전압차($\Delta V1$, $\Delta V2$)는 위의 식에 의하여 약 0.527V로 결정될 수 있다.
- [0061] 도 4에 도시한 바와 같이, 본 발명의 제1실시예에 따른 액정표시장치(110)의 액정패널(150)의 하나의 화소(P)에서, 박막트랜지스터(Tr)의 게이트전극에는 게이트전압(Vg)이 공급되고, 박막트랜지스터(Tr)의 소스전극에는 데이터전압(Vd)이 공급되고, 데이터전압(Vd)은 턴-온 된 박막트랜지스터를 통하여 액정커패시터(C1c)의 화소전극에 화소전압(Vp)으로 인가된다.
- [0062] 게이트전압(Vg)은 제1 및 제2프레임(F1)에서 각각 1수평주기(1H)에 대응되는 제1구간(TP1) 동안 하이레벨(Vgh)을 갖고 나머지 구간인 제2구간(TP2) 동안 로우레벨(Vgl)을 갖는다.
- [0063] 데이터전압(Vd)은, 제1프레임(F1)에서 제1구간(TP1) 중 게이트전압(Vg)이 하이레벨(Vgh)에서 로우레벨(Vgl)로 하강하는 시점의 직전까지 정극성(+)의 제1전압(V1)을 갖고, 제1구간(TP1) 중 나머지 구간과 제2구간(TP2) 동안 제1전압(V1)보다 절대값이 큰 변조된 전압인 정극성(+)의 제2전압(V2)을 갖는다.

- [0064] 그리고, 데이터전압(Vd)은, 제2프레임(F2)에서 제1구간(TP1) 중 게이트전압(Vg)이 하이레벨(Vgh)에서 로우레벨(Vgl)로 하강하는 시점의 직전까지 부극성(-)의 제3전압(V3)을 갖고, 제1구간(TP1) 중 나머지 구간과 제2구간(TP2) 동안 제3전압(V3)보다 절대값이 작은 변조된 전압인 부극성(-)의 제4전압(V4)을 갖는다.
- [0065] 이때, 데이터전압이 변조되는 시점은 동기신호(SS)에 의하여 결정될 수 있는데, 동기신호(SS)는 데이터인에이블(DE), 온-오프신호(ON-OFF), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE), 플리커신호(FLK) 중 하나 일 수 있다.
- [0066] 예를 들어, 데이터구동부(130)의 변조부(135)는, 데이터인에이블(DE)의 하강에지(falling edge)에 동기(synchronization) 하거나, 온-오프신호(ON-OFF)의 오프펄스(OFF)의 상승에지(rising edge)에 동기 하거나, 게이트쉬프트클럭(GSC)의 하강에지에 동기 하거나, 게이트출력인에이블(GOE)의 상승에지로부터 일정간격 이격된 타이밍에 동기 하거나, 플리커신호(FLK)의 하강에지에 동기 하여, 데이터전압(Vd)을 제1전압(V1)으로부터 제2전압(V2)으로 변조하거나 제3전압(V3)으로부터 제4전압(V4)으로 변조할 수 있다.
- [0067] 여기서, 게이트전압(Vg)의 하강에지 직전에 데이터전압(Vd)이 제1 또는 제3전압(V1, V3)으로부터 제2 또는 제4전압(V2, V4)으로 상승하므로, 이후 게이트전압(Vg)의 하강에지에서 발생할 수 있는 화소전압(Vp) 강하(킥백전압)가 방지되고, 그 결과 플리커가 방지된다.
- [0068] 이상과 같이, 본 발명의 제1실시예에 따른 액정표시장치(110)에서는, 데이터구동부(130)의 변조부(135)가 데이터인에이블(DE), 온-오프신호(ON-OFF), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE), 플리커신호(FLK)와 같은 동기신호(SS)를 이용하여 게이트전압(Vg)의 하강에지 직전에 데이터전압(Vd)을 변조하여 상승 시킴으로써, 화소전압(Vp) 강하(킥백전압)를 최소화 할 수 있고, 이에 따라 잔상, 크로스토크와 같은 불량을 방지할 수 있다.
- [0069] 한편, 다른 실시예에서는 데이터전압(Vd)을 변조하는 대신 영상데이터를 변조하여 데이터전압(Vd)을 상승시킬 수 있는데, 이를 도면을 참조하여 설명한다.
- [0070] 도 5는 본 발명의 제2실시예에 따른 액정표시장치를 도시한 도면으로, 제1실시예와 동일한 부분에 대해서는 도 1 내지 도 4를 함께 참조하여 설명한다.
- [0071] 도 5에 도시한 바와 같이, 본 발명의 제2실시예에 따른 액정표시장치(210)는, 타이밍제어부(220), 데이터구동부(230), 게이트구동부(240) 및 액정패널(250)을 포함한다.
- [0072] 도시하지는 않았지만, 타이밍제어부(220)는 인쇄회로기판(printed circuit board: PCB)에 장착되고, 인쇄회로기판은 연성인쇄회로(flexible printed circuit: FPC)를 통하여 액정패널(250)에 연결될 수 있다.
- [0073] 타이밍제어부(220)는, 그래픽카드 또는 TV시스템과 같은 외부시스템으로부터 전달되는 영상신호(IS)와 데이터인에이블(DE), 수평동기신호(HSY), 수직동기신호(VSY), 클럭(CLK), 온-오프신호(ON-OFF) 등의 다수의 타이밍신호를 이용하여 제1 및 제2영상데이터(RGB1, RGB2), 데이터제어신호(DCS), 및 게이트제어신호(GCS)를 생성하고, 생성된 제1 및 제2영상데이터(RGB1, RGB2) 및 데이터제어신호(DCS)는 데이터구동부(230)로 전달하고, 생성된 게이트제어신호(GCS)는 게이트구동부(240)로 전달한다.
- [0074] 예를 들어, 데이터제어신호(DCS)는 소스스타트펄스(SSP), 소스샘플링클럭(SSC), 소스출력인에이블(SOE), 극성제어신호(POL)를 포함하고, 게이트제어신호(GCS)는 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE), 플리커신호(FLK)를 포함할 수 있다.
- [0075] 그리고, 타이밍제어부(220)는 변조부(225)를 포함하는데, 변조부(225)는 동기신호(SS)를 이용하여 제1 및 제2영상데이터(RGB1, RGB2) 중 하나를 영상데이터로 출력할 수 있다.
- [0076] 예를 들어, 동기신호(SS)는 데이터인에이블(DE), 온-오프신호(ON-OFF), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE), 플리커신호(FLK) 중 하나 일 수 있다.
- [0077] 그리고, 타이밍제어부(220)의 변조부(225)는, 게이트전압(Vg)이 하이레벨(Vgh)로부터 로우레벨(Vgl)로 하강하는 하강에지 직전 이전에는 제1영상데이터(RGB1)를 출력하고, 게이트전압(Vg)이 하이레벨(Vgh)로부터 로우레벨(Vgl)로 하강하는 하강에지 직전 이후에는 제2영상데이터(RGB2)를 출력할 수 있다.
- [0078] 이때, 데이터전압(Vd)이 정극성(+)인 경우 제2영상데이터(RGB2)의 계조는 제1영상데이터(RGB1)의 계조보다 클 수 있고, 데이터전압(Vd)이 부극성(-)인 경우 제2영상데이터(RGB2)의 계조는 제1영상데이터(RGB1)의 계조보다

작을 수 있다.

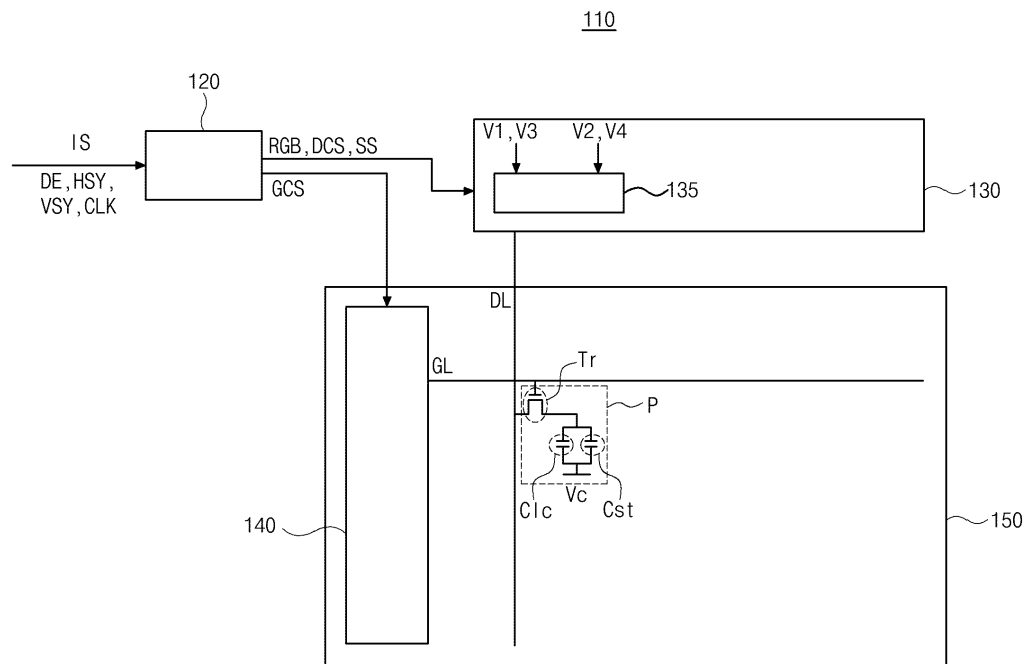
- [0079] 데이터구동부(230)는, 타이밍제어부(220)로부터 전달되는 제1 및 제2영상데이터(RGB1, RGB2) 및 데이터제어신호(DCS)를 데이터전압(데이터신호)(Vd)을 생성하고, 생성된 데이터전압(Vd)을 액정패널(250)의 데이터배선(DL) 및 박막트랜지스터(Tr)를 통하여 각 화소(P)의 액정커패시터(C1c)의 화소전극 및 스토리지커패시터(Cst)의 제1스토리지전극에 인가한다.
- [0080] 예를 들어, 데이터구동부(230)는 게이트전압(Vg)의 하강에지 직전에 제1영상데이터(RGB1)에 대응되는 제1 또는 제3전압(도 2의 V1, V3)을 제2영상데이터(RGB2)에 대응되는 제2 또는 제4전압(도 2의 V2, V4)로 상승시켜 데이터전압(Vd)으로 출력할 수 있다.
- [0081] 즉, 데이터구동부(230)는, 게이트전압(Vg)이 하이레벨(Vgh)로부터 로우레벨(Vgl)로 하강하는 하강에지 직전 이전에는 제1영상데이터(RGB1)에 대응되는 정극성(+)의 제1전압(V1) 또는 부극성(-)의 제3전압(V3)을 데이터전압(Vd)으로 출력하고, 게이트전압(Vg)이 하이레벨(Vgh)로부터 로우레벨(Vgl)로 하강하는 하강에지 직전 이후에는 제2영상데이터(RGB2)에 대응되고 제1전압(V1)보다 절대값이 큰 정극성(+)의 제2전압(V2) 또는 제3전압(V3)보다 절대값이 작은 부극성(-)의 제4전압(V4)을 데이터전압(Vd)으로 출력할 수 있다.
- [0082] 게이트구동부(240)는, 타이밍제어부(220)로부터 전달되는 게이트제어신호(GCS)를 이용하여 게이트전압(게이트신호)(Vg)을 생성하고, 생성된 게이트전압(Vg)을 액정패널(150)의 게이트배선(GL)을 통하여 각 화소(P)의 박막트랜지스터(Tr)의 게이트전극에 인가한다.
- [0083] 액정패널(250)은, 게이트전압 및 데이터전압을 이용하여 영상을 표시하는데, 서로 교차하여 화소(P)를 정의하는 게이트배선(GL) 및 데이터배선(DL)과, 게이트배선(GL) 및 데이터배선(DL)에 연결되는 박막트랜지스터(Tr)와, 박막트랜지스터(Tr)에 연결되는 액정커패시터(C1c) 및 스토리지커패시터(Cst)를 포함한다.
- [0084] 구체적으로, 박막트랜지스터(Tr)는 게이트전극, 소스전극, 드레인전극을 포함하고, 액정커패시터(C1c)는 화소전극, 공통전극을 포함하고, 스토리지커패시터(Cst)는 제1 및 제2스토리지전극을 포함하고, 공통전극 및 제2스토리지전극에는 공통전압(Vc)이 인가될 수 있다.
- [0085] 그리고, 박막트랜지스터(Tr)의 게이트전극은 게이트배선(GL)에 연결되고, 박막트랜지스터(Tr)의 소스전극은 데이터배선(DL)에 연결되고, 박막트랜지스터(Tr)의 드레인전극은 액정커패시터(C1c)의 화소전극 및 스토리지커패시터(Cst)의 제1커패시터전극에 연결된다.
- [0086] 이상과 같이, 본 발명의 제2실시예에 따른 액정표시장치(210)에서는, 타이밍제어부(220)의 변조부(225)가 데이터인에이블(DE), 온-오프신호(ON-OFF), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE), 플리커신호(FLK)와 같은 동기신호(SS)를 이용하여 게이트전압(Vg)의 하강에지 직전에 제1영상데이터(RGB1)를 제2영상데이터(RGB2)로 변조하고 데이터구동부(230)가 제1 및 제2영상데이터(RGB1, RGB2)를 이용하여 게이트전압(Vg)의 하강에지 직전에 데이터전압(Vd)을 상승 시킴으로써, 화소전압(Vp) 강하(킥백전압)를 최소화 할 수 있고, 이에 따라 잔상, 크로스토크와 같은 불량을 방지할 수 있다.
- [0087] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

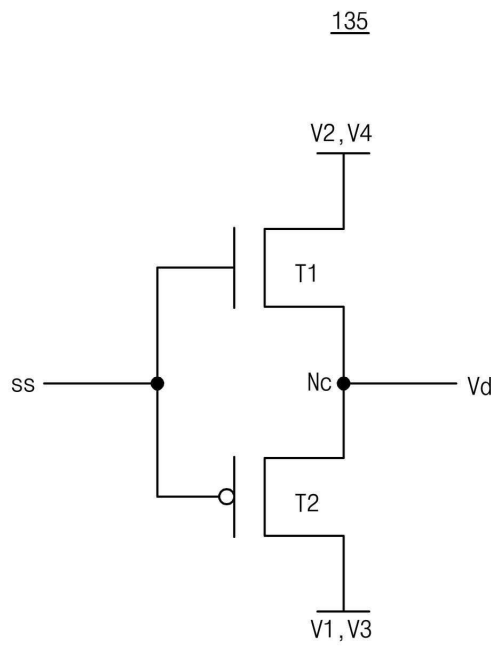
- [0088] 110: 액정표시장치 120: 타이밍제어부
130: 데이터구동부 135: 변조부
140: 게이트구동부 150: 액정패널

도면

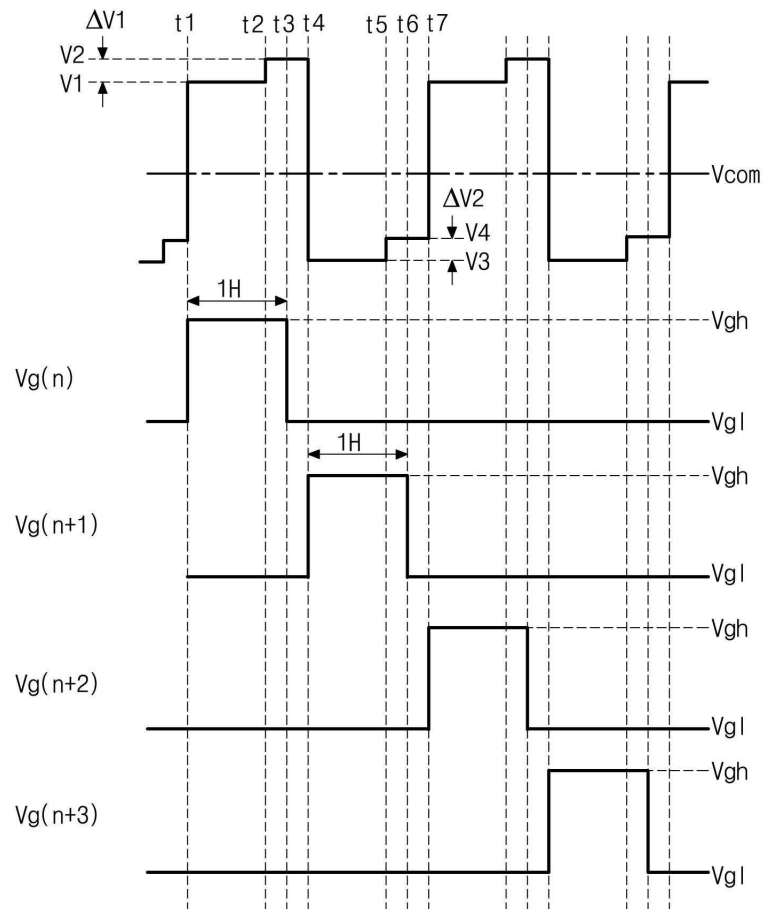
도면1



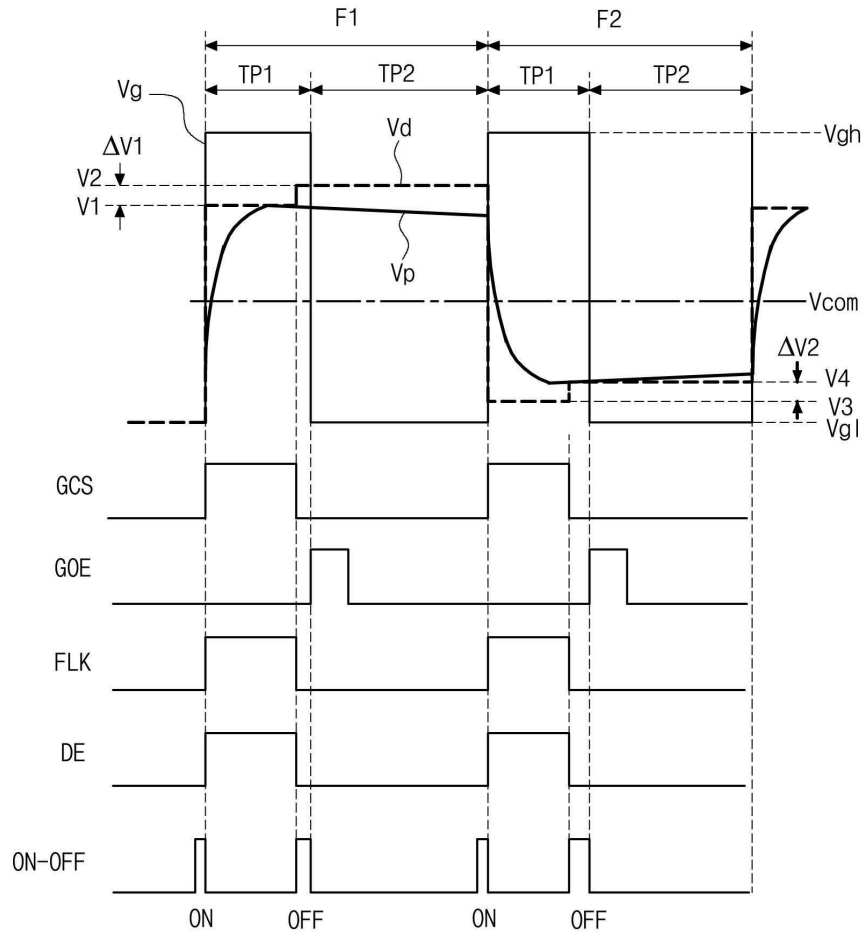
도면2



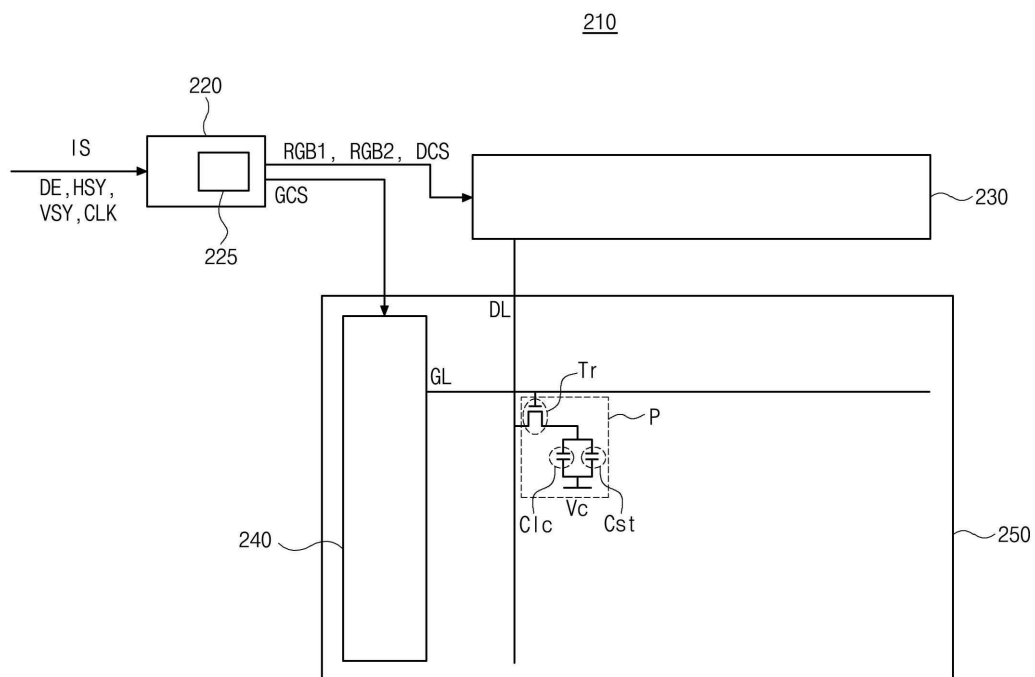
도면3



도면4



도면5



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020200075401A	公开(公告)日	2020-06-26
申请号	KR1020180164035	申请日	2018-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	손황호 문현동		
发明人	손황호 문현동		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3696 G09G2310/08 G09G2320/0209 G09G2320/0247 G09G2320/0257		
外部链接	Espacenet		

摘要(译)

本发明包括时序控制单元,用于使用图像信号,数据使能,水平同步信号,垂直同步信号,时钟和开-关信号来产生图像数据,数据控制信号,同步信号和门控制信号;以及 数据驱动单元使用图像数据和数据控制信号产生数据电压; 调制器,用于使用同步信号来提高数据电压; 栅极驱动器,用于使用栅极控制信号产生栅极电压; 提供了一种液晶显示装置,其包括用于使用数据电压和栅极电压显示图像的液晶显示面板。

