



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0003371
(43) 공개일자 2018년01월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/1343 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G02F 1/134363 (2013.01)
(21) 출원번호 10-2016-0083119
(22) 출원일자 2016년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신승환
전라북도 전주시 완산구 물레방아3길 23 (태평동)
정영민
경기도 파주시 금바위로 47 (와동동, 가람마을8단지 동문굿모닝힐) 801동 1002호
(뒷면에 계속)
(74) 대리인
특허법인천문

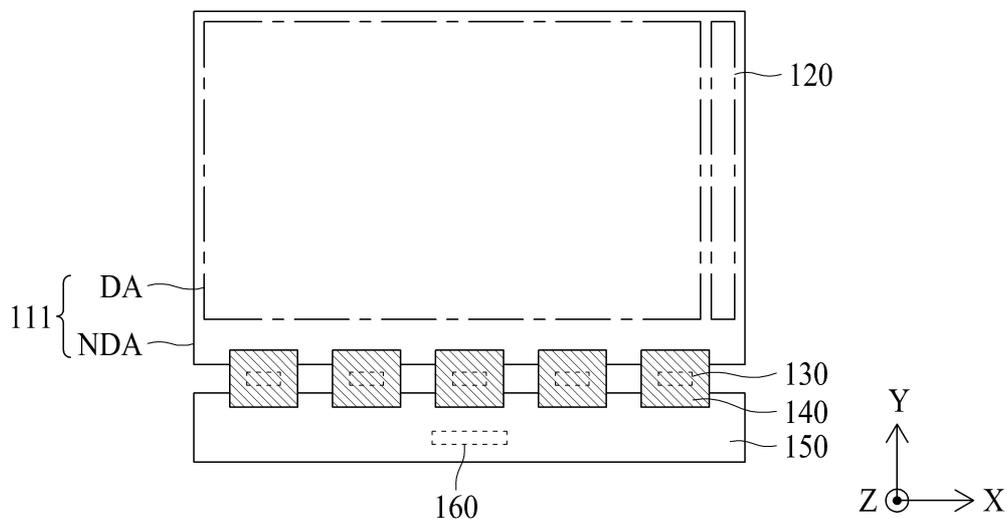
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 단색을 구현하는 경우 발생하는 화질 불량을 개선할 수 있는 액정 표시 장치를 제공한다. 본 발명의 실시예는 일 방향으로 서로 인접한 서브 화소들 사이에 배치된 하부 게이트 배선과 상부 게이트 배선을 포함하며, 하부 게이트 배선과 상부 게이트 배선은 수평 방향으로 M(M은 2 이상의 양의 정수)개의 서브 화소들마다 서로 교차되는 것을 특징으로 한다.

대표도 - 도2



(52) CPC특허분류

G09G 2300/0426 (2013.01)

G09G 2300/0452 (2013.01)

G09G 2300/0465 (2013.01)

G09G 2320/0209 (2013.01)

(72) 발명자

강규태

경기도 고양시 일산서구 현중로 64, 605동 505호(탄현동, 탄현마을6단지아파트)

서대영

인천광역시 중구 흰바위로 34, 1011동 303호(운서동, 영종주공스카이빌아파트)

이소영

서울특별시 마포구 마포대로 115-8, 105동 812호(공덕동, 공덕삼성아파트)

명세서

청구범위

청구항 1

복수의 화소 전극들;

일 방향으로 서로 인접한 화소 전극들 사이에 배치된 하부 게이트 배선과 상부 게이트 배선; 및

상기 하부 게이트 배선 및 상기 상부 게이트 배선과 교차하는 데이터 배선을 포함하고,

상기 하부 게이트 배선과 상기 상부 게이트 배선은 수평 방향으로 M (M 은 2 이상의 양의 정수)개의 화소 전극들마다 서로 교차되는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 하부 게이트 배선과 상부 게이트 배선은 서로 다른 층에 구비되는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제 1 항에 있어서,

서로 인접한 제 $k-1$ (k 는 $2 < k < n$ 을 만족하는 양의 정수) 하부 게이트 배선과 제 $k-1$ 상부 게이트 배선이 교차하는 영역과 서로 인접한 제 k 하부 게이트 배선과 제 k 상부 게이트 배선이 교차하는 영역은 서로 다른 데이터 배선과 중첩되는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제 3 항에 있어서,

서로 인접한 제 $k-1$ (k 는 $2 < k < n$ 을 만족하는 양의 정수) 하부 게이트 배선과 제 $k-1$ 상부 게이트 배선이 교차하는 영역과 서로 인접한 제 $k+1$ 하부 게이트 배선과 제 $k+1$ 상부 게이트 배선이 교차하는 영역은 동일한 데이터 배선과 중첩되는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제 3 항에 있어서,

제1 화소는 수평 방향으로 나란하게 배치된 제1 내지 제4 화소 전극 포함하며, 상기 제1 화소 전극은 상기 제 $k-1$ 상부 게이트 배선에 접속되고, 상기 제2 화소 전극과 제3 화소 전극은 상기 제 k 상부 게이트 배선에 접속되고, 상기 제4 화소 전극은 제 $k-1$ 하부 게이트 배선에 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제 3 항에 있어서,

상기 제1 화소와 수평 방향으로 인접한 제2 화소는 수평 방향으로 나란하게 배치된 제5 내지 제8 화소 전극들을 포함하며, 상기 제5 화소 전극과 제8 화소 전극은 상기 제 k 하부 게이트 배선에 접속되고, 상기 제6 화소 전극은 제 $k-1$ 하부 게이트 배선에 접속되고, 상기 제7 화소 전극은 상기 제 $k-1$ 상부 게이트 배선에 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제 2 항에 있어서,

상기 하부 게이트 배선과 동일한 층에 구비되는 게이트 전극; 및

상기 게이트 전극 상에 구비되는 적어도 하나의 절연막을 더 포함하고,

상기 상부 게이트 배선은 상기 적어도 하나의 절연막을 관통하는 게이트 콘택홀을 통해 상기 게이트 전극과 접촉되는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제 7 항에 있어서,

상기 하부 게이트 배선과 상기 상부 게이트 배선은 상기 적어도 하나의 절연막을 사이에 두고 서로 절연된 것을 특징으로 하는 액정 표시 장치.

청구항 9

제 1 항에 있어서,

상기 상부 게이트 배선과 상기 복수의 화소 전극들은 동일한 층에 구비되는 것을 특징으로 하는 액정 표시 장치.

청구항 10

제 1 항에 있어서,

상기 데이터 배선들의 개수는 어느 한 수평 라인에 배치된 화소 전극들의 개수의 1/2에 해당하는 것을 특징으로 하는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 보다 구체적으로는 DRD(Double Rate Driving) 방식으로 구동되는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 컬러 필터가 구비되어 있는 상부 기관, 스위칭 소자와 화소 전극이 구비되어 있는 하부 기관, 및 상부 기관과 상기 하부 기관 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 액정층의 배열이 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.

[0003] 액정 표시 장치는 스위칭 소자에 게이트 신호를 인가하기 위해서 상기 스위칭 소자와 연결되어 있는 게이트 배선, 및 스위칭 소자에 데이터 신호를 인가하기 위해서 상기 스위칭 소자와 연결되어 있는 데이터 배선을 포함한다. 또한, 액정 표시 장치는 게이트 배선을 구동하기 위해서 상기 게이트 배선과 전기적으로 연결되어 있는 게이트 구동부, 및 데이터 배선을 구동하기 위해서 상기 데이터 배선과 전기적으로 연결되어 있는 데이터 구동부를 포함한다.

[0004] 이러한 액정 표시 장치의 경우 대형화 및 고해상도가 요구됨에 따라 게이트 구동부와 데이터 구동부를 이루는 소스 드라이브 IC의 개수가 증가 된다.

[0005] 그런데, 데이터 구동부는 다른 소자에 비하여 상대적으로 고가이기 때문에, 액정 표시 장치의 생산 단가를 줄이기 위해서 데이터 구동부를 이루는 소스 드라이브 IC의 개수를 줄이는 방안이 대해서 연구되었고, 그 결과 DRD 방식으로 구동하는 액정 표시 장치가 제안되었다.

[0006] DRD 방식으로 구동되는 액정 표시 장치는 기존의 일반적인 액정 표시 장치와 비교하여 게이트 배선의 개수는 2 배로 늘리는 대신에 데이터 배선의 개수는 1/2로 줄임으로써 데이터 구동부를 이루는 소스 드라이브 IC의 개수를 1/2로 줄일 수 있다. 이러한, DRD 방식으로 구동되는 액정 표시 장치의 경우, 소스 드라이브 IC는 인접한 데이터 배선들에 서로 다른 극성의 데이터 전압들을 공급하는 컵 인버전 방식으로 구동될 수 있다.

[0007] 그러나, 종래의 DRD 방식 액정 표시 장치의 경우, 단색을 표시할 때, 하나의 게이트 배선에 연결된 복수개의 서브 화소들 간에 극성 상쇄가 원활하게 이루어지지 않아 화면에 수평 크로스토크(crosstalk)와 같은 화질 불량 발생될 수 있다. 수평 크로스토크는 수평 라인의 띠와 같은 형태로 사용자에게 인지될 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 단색을 구현하는 경우 발생하는 화질 불량을 개선할 수 있는 액정 표시 장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0009] 본 발명의 실시예는 복수의 화소 전극들, 일 방향으로 서로 인접한 화소 전극들 사이에 배치된 하부 게이트 배선과 상부 게이트 배선, 및 상기 하부 게이트 배선 및 상기 상부 게이트 배선과 교차하는 데이터 배선을 포함한다. 하부 게이트 배선과 상부 게이트 배선은 수평 방향으로 M(M은 2 이상의 양의 정수)개의 화소 전극들마다 서로 교차된다.

발명의 효과

[0010] 본 발명의 실시예는 하나의 수평 라인에 배열된 복수의 화소 전극들이 두 개의 게이트 배선(상부 게이트 배선 및 하부 게이트 배선) 및 복수의 화소 전극들의 개수의 1/2에 해당하는 개수의 데이터 배선을 이용한 DRD 방식으로 구동될 수 있다. 따라서, 본 발명의 실시예는 복수의 화소 전극들의 개수의 1/2에 해당하는 개수의 데이터 배선이 요구되므로 데이터 구동부를 이루는 소스 드라이브 IC의 개수를 1/2로 줄일 수 있어 생산 단가를 낮출 수 있다.

[0011] 또한, 본 발명의 실시예는 서로 인접한 하부 게이트 배선과 상부 게이트 배선을 수평 방향으로 M(M은 2 이상의 양의 정수)개의 화소 전극들마다 서로 교차되도록 배치한다. 이에 따라, 본 발명의 실시예는 단색을 표시할 때, 하나의 게이트 배선에 연결된 복수의 서브 화소들 간에 극성 상쇄를 원활하게 구동할 수 있다. 그 결과, 본 발명의 실시예는 화면에 수평 크로스토크(crosstalk)와 같은 화질 불량이 발생하는 것을 방지할 수 있는 효과가 있다.

[0012] 또한, 본 발명의 실시예는 상부 게이트 배선과 하부 게이트 배선을 서로 다른 층에 구비하고, 상부 게이트 배선과 게이트 전극을 게이트 콘택홀을 이용하여 접속한다. 따라서, 본 발명은 동일한 층에 두 개의 게이트 배선을 구비하는 종래와 비교하여, 게이트 배선의 설계 영역을 줄일 수 있는 효과가 있다. 그 결과, 본 발명의 실시예는 게이트 배선의 설계 영역이 줄어드는 만큼 액정 표시 장치의 개구율을 넓힐 수 있는 효과가 있다.

[0013] 위에서 언급된 본 발명의 효과 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예에 따른 액정 표시 장치를 보여주는 사시도이다.
- 도 2는 도 1의 어레이 기관, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.
- 도 3은 본 발명의 실시예에 따른 화소 어레이의 서브 화소들을 보여주는 예시도면이다.
- 도 4는 본 발명의 실시예에 따른 화소 어레이에 공급되는 데이터 전압들과 게이트 신호들을 보여주는 일 예시도면이다.
- 도 5는 도 3의 하부 게이트 배선과 상부 게이트 배선이 교차되는 영역을 상세하게 보여주는 평면도이다.
- 도 6은 도 5의 I-I'의 단면도이다.
- 도 7은 도 5의 II-II'의 단면도이다.
- 도 8은 도 5의 III-III'의 단면도이다.
- 도 9는 도 5의 IV-IV'의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0016] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제

1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다. "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우 뿐만 아니라 이들 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.

- [0017] 이하에서는 본 발명에 따른 액정 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0018] 도 1은 본 발명의 실시예에 따른 액정 표시 장치를 보여주는 사시도이다. 도 2는 도 1의 어레이 기관, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.
- [0019] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 액정 표시 패널(110), 게이트 구동부(120), 소스 드라이브 집적회로(integrated circuit, 이하 "IC"라 칭함)(130), 연성필름(140), 회로보드(150), 및 타이밍 제어부(160)를 포함한다.
- [0020] 액정 표시 패널(110)은 어레이 기관(111)과 대향 기관(112)을 포함한다. 대향 기관(112)은 봉지 기관일 수 있다. 어레이 기관(111)과 대향 기관(112)은 플라스틱 또는 유리(glass) 기관 일 수 있다.
- [0021] 대향 기관(112)과 마주보는 어레이 기관(111)의 일면 상에는 게이트 배선들, 데이터 배선들, 및 화소들이 형성된다. 화소들은 게이트 배선들과 데이터 배선들의 교차 구조에 의해 정의되는 영역에 마련된다. 액정 표시 패널(110)은 도 2와 같이 화소들이 형성되어 화상을 표시하는 표시영역(DA)과 화상을 표시하지 않는 비표시영역(NDA)으로 구분될 수 있다. 표시영역(DA)에는 게이트 배선들, 데이터 배선들, 및 화소들이 형성될 수 있다. 비표시영역(NDA)에는 게이트 구동부(120)와 패드들이 형성될 수 있다.
- [0022] 게이트 구동부(120)는 타이밍 제어부(160)로부터 입력되는 게이트 제어신호에 따라 게이트 배선들에 게이트 신호들을 공급한다. 게이트 구동부(120)는 액정 표시 패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비표시영역(DA)에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 게이트 구동부(120)는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 액정 표시 패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비표시영역(DA)에 부착될 수도 있다.
- [0023] 소스 드라이브 IC(130)는 타이밍 제어부(160)로부터 디지털 비디오 데이터와 소스 제어신호를 입력받는다. 소스 드라이브 IC(130)는 소스 제어신호에 따라 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 데이터 배선들에 공급한다. 소스 드라이브 IC(130)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(140)에 실장될 수 있다.
- [0024] 액정 표시 패널(110)의 비표시영역(NDA)에는 데이터 패드들과 같은 패드들이 형성될 수 있다. 연성필름(140)에는 패드들과 소스 드라이브 IC(130)를 연결하는 배선들, 패드들과 회로보드(150)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성필름(140)은 이방성 도전 필름(ant isotropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성필름(140)의 배선들이 연결될 수 있다.
- [0025] 회로보드(150)는 연성필름(140)들에 부착될 수 있다. 회로보드(150)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로보드(150)에는 타이밍 제어부(160)가 실장될 수 있다. 회로보드(150)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.
- [0026] 타이밍 제어부(160)는 회로보드(150)의 케이블을 통해 외부의 시스템 보드로부터 디지털 비디오 데이터와 타이밍 신호를 입력받는다. 타이밍 제어부(160)는 타이밍 신호에 기초하여 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 제어신호와 소스 드라이브 IC(130)들을 제어하기 위한 소스 제어신호를 발생한다. 타이밍 제어부(160)는 게이트 제어신호를 게이트 구동부(120)에 공급하고, 소스 제어신호를 소스 드라이브 IC(130)들에 공급한다.

- [0027] 도 3은 본 발명의 실시예에 따른 화소 어레이의 서브 화소들을 보여주는 예시도면이다.
- [0028] 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치의 화소 어레이에는 하부 게이트 배선(BGLk-1 내지 BGLk+1), 상부 게이트 배선(TGLk-1 내지 TGLk+1), 데이터 배선(DLj-2 내지 DLj+2), 공통 전압 배선들(VcomL) 및 복수의 화소 전극들(PE)이 구비되어 있다.
- [0029] 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 일 방향으로 서로 인접한 화소 전극들(PE) 사이에 배치된다. 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 서로 나란하게 배치될 수 있다. 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 수평 방향(Y축 방향)으로 M(M은 2 이상의 양의 정수)개의 화소 전극들(PE)마다 서로 교차되도록 구비될 수 있다. 예를 들어, 도 3과 같이, 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 4 개의 화소 전극들(PE)마다 서로 교차되도록 구비될 수 있다.
- [0030] 구체적으로, 하부 게이트 배선(BGLk-1 내지 BGLk+1)은 수직 방향(X축 방향)으로 나란하게 배치된 제k-1, 제k, 및 제 k+1 하부 게이트 배선들(BGLk-1, BGLk, BGLk+1)을 포함할 수 있다. 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 수직 방향(X축 방향)으로 나란하게 배치된 제k-1, 제k, 및 제 k+1 상부 게이트 배선들(TGLk-1, TGLk, TGLk+1)을 포함할 수 있다. 여기서, k는 $2 < k < n$ 을 만족하는 양의 정수로 정의될 수 있다.
- [0031] 제k-1 하부 게이트 배선(BGLk-1)은 제k-1 상부 게이트 배선(TGLk-1)과 서로 인접하게 배치되고, 제k 하부 게이트 배선(BGLk)은 제k 상부 게이트 배선(TGLk)과 서로 인접하게 배치될 수 있다. 또한, 제 k+1 하부 게이트 배선(BGLk+1)은 제k+1 상부 게이트 배선(TGLk+1)과 서로 인접하게 배치될 수 있다. 이 경우, 서로 인접하게 배치된 제k-1 하부 게이트 배선(BGLk-1)과 제k-1 상부 게이트 배선(TGLk-1)이 서로 교차될 수 있으며, 서로 인접한 제k 하부 게이트 배선(BGLk)과 제k 상부 게이트 배선(TGLk)이 서로 교차될 수 있다. 또한, 서로 인접한 제 k+1 하부 게이트 배선(BGLk+1)과 제k+1 상부 게이트 배선(TGLk+1)이 서로 교차될 수 있다.
- [0032] 일 예에 따른 서로 인접한 제k-1 하부 게이트 배선(BGLk-1)과 제k-1 상부 게이트 배선(TGLk-1)이 교차하는 영역과 서로 인접한 제k+1 하부 게이트 배선(BGLk+1)과 제k+1 상부 게이트 배선(TGLk+1)이 교차하는 영역은 동일한 데이터 배선과 중첩될 수 있다. 이 경우, 서로 인접한 제k-1 하부 게이트 배선(BGLk-1)과 제k-1 상부 게이트 배선(TGLk-1)이 교차하는 영역과 서로 인접한 제k 하부 게이트 배선(BGLk)과 제k 상부 게이트 배선(TGLk)이 교차하는 영역은 서로 다른 데이터 배선과 중첩될 수 있다. 예를 들어, 제k-1 하부 게이트 배선(BGLk-1)과 제k-1 상부 게이트 배선(TGLk-1)이 교차하는 영역은 제j-1 데이터 배선(DLj-1) 및 제j+1 데이터 배선(DLj+1)과 중첩될 수 있다. 또한, 제k+1 하부 게이트 배선(BGLk+1)과 제k+1 상부 게이트 배선(TGLk+1)이 교차하는 영역은 제j-1 데이터 배선(DLj-1) 및 제j+1 데이터 배선(DLj+1)과 중첩될 수 있다. 이 경우, 제k 하부 게이트 배선(BGLk)과 제k 상부 게이트 배선(TGLk)이 교차하는 영역은 제j 데이터 배선(DLj)과 중첩될 수 있다.
- [0033] 제k-1 하부 게이트 배선(BGLk-1) 및 제k-1 상부 게이트 배선(TGLk-1)과 제k 하부 게이트 배선(BGLk) 및 제k 상부 게이트 배선(TGLk) 사이에는 제1 내지 제8 화소 전극들(PE1 내지 PE8)이 배치될 수 있다. 또한, 제k 하부 게이트 배선(BGLk) 및 제k 상부 게이트 배선(TGLk)과 k+1 하부 게이트 배선(BGLk+1) 및 제k+1 상부 게이트 배선(TGLk+1) 사이에는 제9 내지 제16 화소 전극들(PE9 내지 PE16)들이 배치될 수 있다. 이 경우, 제k-1 하부 게이트 배선(BGLk-1)과 제k-1 상부 게이트 배선(TGLk-1) 사이 영역, 제k 하부 게이트 배선(BGLk)과 제k 상부 게이트 배선(TGLk) 사이 영역, 및 k+1 하부 게이트 배선(BGLk+1)과 제k+1 상부 게이트 배선(TGLk+1) 사이 영역에는 화소 전극들이 구비되지 않을 수 있다.
- [0034] 본 발명의 실시예에 따른 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 서로 다른 층에 구비될 수 있다. 즉, 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 적어도 하나 이상의 절연막을 사이에 두고 서로 다른 층에 배치될 수 있다. 이에 따라, 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 서로 접촉하지 않을 수 있다.
- [0035] 하부 게이트 배선(BGLk-1 내지 BGLk+1)으로는 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 연결되어 있는 박막 트랜지스터(T)들을 구동하기 위한 게이트 신호가 인가될 수 있다. 또한, 상부 게이트 배선(TGLk-1 내지 TGLk+1)으로는 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 연결되어 있는 박막 트랜지스터(T)들을 구동하기 위한 게이트 신호가 인가될 수 있다.
- [0036] 데이터 배선(DLj-2 내지 DLj+2)은 수직 방향(X축 방향)과 상이한 수평 방향(Y축 방향)으로 나란하게 배열된다. 데이터 배선(DLj-2 내지 DLj+2)은 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 교차하도록 구비된다. 데이터 배선(DLj-2 내지 DLj+2)은 도 3과 같이 제j-2 내지 j+2 데이터 배선들

(DLj-2 내지 DLj+2)을 포함할 수 있다. 예를 들어, 데이터 배선(DLj-2 내지 DLj+2)은 직선으로 이루어 질 수 있으나, 반드시 이에 한정되지 않는다. 즉, 데이터 배선(DLj-2 내지 DLj+2)은 화소 전극들(PE) 각각의 형상에 따라 굽어진(bent) 직선으로 이루어질 수도 있다.

- [0037] 본 발명의 실시예에 따른 데이터 배선(DLj-2 내지 DLj+2)의 개수는 어느 한 수평 라인에 배치된 화소 전극들의 개수의 1/2에 해당될 수 있다. 예를 들어, 본 발명의 실시예는 어느 한 수평 라인에 배열된 복수의 화소 전극들(PE2 내지 PE7)이 두 개의 게이트 배선(상부 게이트 배선 및 하부 게이트 배선) 및 화소 전극들(PE2 내지 PE7)의 개수의 1/2에 해당하는 개수의 데이터 배선(DLj-1, DLj, DLj+2)을 이용한 DRD 방식으로 구동될 수 있다. 따라서, 본 발명의 실시예는 복수의 화소 전극들의 개수의 1/2에 해당하는 개수의 데이터 배선이 요구되므로 데이터 구동부를 이루는 소스 드라이브 IC의 개수를 1/2로 줄일 수 있어 생산 단가를 낮출 수 있는 효과가 있다.
- [0038] 공통 전압 배선들(VcomL)은 데이터 배선(DLj-2 내지 DLj+2) 사이에 마련될 수 있다. 공통 전압 배선들(VcomL)은 데이터 배선(DLj-2 내지 DLj+2)과 평행하게 배치될 수 있다. 공통 전압 배선들(VcomL)은 데이터 배선(DLj-2 내지 DLj+2)이 구비되지 않은 화소 전극들(PE) 사이의 경계에 배치될 수 있다. 이러한, 공통 전압 배선들(VcomL)으로는 액정층의 액정을 구동하기 위한 공통 전압이 인가될 수 있다.
- [0039] 본 발명의 실시예에 따르면, 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 데이터 배선(DLj-2 내지 DLj+2)의 교차 구조에 의해 서브 화소들이 정의될 수 있다. 서브 화소들 각각에는 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 전기적으로 연결되는 복수의 화소 전극들(PE)이 구비될 수 있다. 박막 트랜지스터(T)들은 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 데이터 배선(DLj-2 내지 DLj+2)이 교차하는 영역들에 구비될 수 있다. 또한, 박막 트랜지스터(T)들은 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 데이터 배선(DLj-2 내지 DLj+2)이 교차하는 영역들에 구비될 수 있다.
- [0040] 복수의 화소 전극들(PE)은 액정 표시 장치에서 화상을 표시한다. 복수의 화소 전극들(PE)은 어느 하나의 데이터 배선을 중심으로 그 일측과 타측, 예로서 좌측과 우측 각각에 마련될 수 있다. 예를 들어, 제j 데이터 배선(DLj)의 좌측에는 제j 데이터 배선(DLj)과 제k-1 하부 게이트 배선(BGLk-1)에 의해 구동되는 박막 트랜지스터(T)를 포함하는 제4 화소 전극(PE4)이 마련될 수 있다. 또한, 제j 데이터 배선(DLj)의 좌측에는 제j 데이터 배선(DLj)과 제k 하부 게이트 배선(BGLk)에 의해 구동되는 박막 트랜지스터(T)를 포함하는 제12 화소 전극(PE12)이 마련될 수 있다. 또한, 제j 데이터 배선(DLj)의 우측에는 제j 데이터 배선(DLj)과 제k 하부 게이트 배선(BGLk)에 의해 구동되는 박막 트랜지스터(T)를 포함하는 제5 화소 전극(PE5)이 마련될 수 있다. 또한, 제j 데이터 배선(DLj)의 우측에는 제j 데이터 배선(DLj)과 제k+1 하부 게이트 배선(BGLk+1)에 의해 구동되는 박막 트랜지스터(T)를 포함하는 제14 화소 전극(PE14)이 마련될 수 있다.
- [0041] 한편, 본 발명의 실시예에 따른 액정 표시 장치는 액정 표시 패널에 입력되는 디지털 비디오 데이터를 분석하여 도 3과 같이 수평 방향(Y축 방향)으로 배치된 제1 내지 제4 화소 전극들(PE1 내지 PE4)을 하나의 화소(P1)로 설정할 수 있다. 이 경우, 제1 화소 전극(PE1)은 백색 서브 화소이고, 제2 화소 전극(PE2)는 적색 서브 화소이고, 제3 화소 전극(PE3)은 녹색 서브 화소이고, 제4 화소 전극(PE4)은 청색 서브 화소일 수 있다. 이하에서는 설명의 편의상 수평 방향으로 배치된 상기 하나의 화소(P1)를 제1 화소라고 정의한다.
- [0042] 도 3과 같이, 제1 화소(P1)는 수평 방향(Y축 방향)으로 나란하게 배치된 제1 내지 제4 화소 전극(PE1 내지 PE4)을 포함할 수 있다. 이 경우, 제1 화소 전극(PE1)은 제k-1 상부 게이트 배선(TGLk-1)에 접속되고, 제2 화소 전극과 제3 화소 전극(PE2, PE3)은 제k 상부 게이트 배선(TGLk)에 접속될 수 있다. 또한, 제4 화소 전극(PE4)은 제k-1 하부 게이트 배선(BGLk-1)에 접속될 수 있다.
- [0043] 제1 화소(P1)와 수평 방향(Y축 방향)으로 인접한 제2 화소(P2)는 수평 방향으로 나란하게 배치된 제5 내지 제8 화소 전극들(PE5 내지 PE8)을 포함할 수 다. 이 경우, 제5 화소 전극(PE5)과 제8 화소 전극(PE8)은 제k 하부 게이트 배선(BGLk)에 접속되고, 제6 화소 전극(PE6)은 제k-1 하부 게이트 배선(BGLk-1)에 접속될 수 있다. 또한, 제7 화소 전극(PE7)은 제k-1 상부 게이트 배선(TGLk-1)에 접속될 수 있다.
- [0044] 그러나 이에 한정되지 않으며, 본 발명의 실시예에 따른 액정 표시 장치는 액정 표시 패널에 입력되는 디지털 비디오 데이터를 분석하여 도 3과 같이 사각형 형태로 배치된 한 행의 제1 화소 전극(PE1)와 제2 화소 전극(PE2), 및 다른 행의 제9 화소 전극(PE9) 및 제10 화소 전극(PE10)을 하나의 화소(PX)로 설정하여 영상을 표시할 수도 있다. 이 경우, 제1 화소 전극(PE1)은 백색 서브 화소이고, 제2 화소 전극(PE2)은 적색 서브 화소이고, 제9 화소 전극(PE9)은 녹색 서브 화소이고, 제10 화소 전극(PE10)은 청색 서브 화소일 수 있다. 이 경우, 제9 화소 전극(PE9)은 제k+1 상부 게이트 배선(TGLk+1)에 접속될 수 있으며, 제10 화소 전극(PE10)은 제k

하부 게이트 배선(BGLk)에 접속될 수 있다.

- [0045] 이하에서는 설명의 편의를 위해, 표시패널에 입력되는 디지털 비디오 데이터를 분석하여 수평 방향으로 배치된 서브 화소들을 하나의 화소(P1)로 설정하거나 사각형 형태로 배치된 서브 화소들을 하나의 화소(PX)로 설정하는 방법을 M+ 알고리즘으로 칭하기로 한다.
- [0046] 종래의 상술한 M+ 알고리즘을 이용하는 종래의 액정 표시 장치의 경우, 단색을 표시할 때, 하나의 게이트 배선에 연결된 복수 개의 서브 화소들 간에 극성 상쇄가 원활하게 이루어지지 않아 화면에 수평 크로스토크(crosstalk)와 같은 화질 불량이 발생하는 문제점이 있다.
- [0047] 그러나, 본 발명의 실시예는 일 방향으로 서로 인접한 화소 전극들(PE) 사이에 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 상부 게이트 배선(TGLk-1 내지 TGLk+1)을 구비하고, 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 상부 게이트 배선(TGLk-1 내지 TGLk+1)을 수평 방향으로 M(M은 2 이상의 양의 정수)개의 화소 전극들마다 서로 교차 되도록 배치한다. 이에 따라, 본 발명의 실시예는 단색을 표시할 때, 하나의 게이트 배선에 연결된 복수개의 서브 화소들 간에 극성 상쇄를 원활하게 구동할 수 있다. 그 결과, 본 발명의 실시예는 화면에 수평 크로스토크(crosstalk)와 같은 화질 불량이 발생하는 것을 방지할 수 있는 효과가 있다.
- [0048] 도 4는 본 발명의 실시예에 따른 화소 어레이에 공급되는 데이터 전압들과 게이트 신호들을 보여주는 일 예시도면이다. 도 4에는 제N(N은 자연수) 프레임 기간과 제N+1 프레임 기간 동안 소스 드라이브 IC로부터 출력되는 데이터 전압들이 나타나 있고, 게이트 구동부로부터 출력되는 게이트 펄스들이 나타나 있다.
- [0049] 도 4에서는 설명의 편의를 위해 도 3의 데이터 배선(DLj-2 내지 DLj+2)에 공급되는 제1 내지 제5 데이터 전압들(DV1~DV5), 하부 게이트 배선(BGLk-1 내지 BGLk+1)에 공급되는 제1, 3, 6 게이트 펄스들(GP1, GP3, GP6), 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)에 공급되는 제2, 4, 5 게이트 펄스들(GP2, GP4, GP5)만을 예시하였다. 즉, DV1은 제j-2 데이터 배선(DLj-2)에 공급되는 제1 데이터 전압들, DV2는 제j-1 데이터 배선(DLj-1)에 공급되는 제2 데이터 전압들, DV3은 제j 데이터 배선(DLj)에 공급되는 제3 데이터 전압들, DV4는 제j+1 데이터 배선(DLj+1)에 공급되는 제4 데이터 전압들, DV5는 제j+2 데이터 배선(DLj+2)에 공급되는 제5 데이터 전압들을 의미한다.
- [0050] 또한, GP1은 제k-1 하부 게이트 배선(BGLk-1)에 공급되는 제1 게이트 펄스, GP2는 제k-1 상부 게이트 배선(TGLk-1)에 공급되는 제2 게이트 펄스, GP3은 제k 하부 게이트 배선(BGLk)에 공급되는 제3 게이트 펄스, GP4는 제k 상부 게이트 배선(TGLk)에 공급되는 제4 게이트 펄스, GP5는 제k+1 상부 게이트 배선(TGLk+1)에 공급되는 제5 게이트 펄스, GP6은 제k+1 하부 게이트 배선(BGLk+1)에 공급되는 제6 게이트 펄스를 의미한다.
- [0051] 도 4를 참조하면, 소스 드라이브 IC(도 2의 130)는 컬럼 인버전 방식으로 데이터 배선들에 데이터 전압들을 공급한다. 컬럼 인버전 방식은 이웃한 데이터 배선들에 서로 상반된 극성의 데이터 전압들을 공급하고, 데이터 배선들 각각에 공급되는 데이터 전압들의 극성을 1 프레임 기간 동안 동일하게 유지하는 방식을 의미한다. 예를 들어, 소스 드라이브 IC(130)는 제N 프레임 기간 동안 제1 극성의 제1 데이터 전압들(DV1)을 제j-2 데이터 배선(DLj-2)에 공급하고, 제2 극성의 제2 데이터 전압들(DV2)을 제j-1 데이터 배선(DLj-1)에 공급하며, 제1 극성의 제3 데이터 전압들(DV3)을 제j 데이터 배선(DLj)에 공급하고, 제2 극성의 제4 데이터 전압들(DV4)을 제j+1 데이터 배선(DLj+1)하고, 제1 극성의 제5 전압들을 제j+2 데이터 배선(DLj+2)에 공급한다.
- [0052] 또한, 소스 드라이브 IC(130)는 제N+1 프레임 기간 동안 제2 극성의 제1 데이터 전압들(DV1)을 제j-2 데이터 배선(DLj-2)에 공급하고, 제1 극성의 제2 데이터 전압들(DV2)을 제j-1 데이터 배선(DLj-1)에 공급하며, 제2 극성의 제3 데이터 전압들(DV3)을 제j 데이터 배선(DLj)에 공급하고, 제1 극성의 제4 데이터 전압들(DV4)을 제j+1 데이터 배선(DLj+1)하고, 제2 극성의 제5 데이터 전압들(DV5)을 제j+2 데이터 배선(DLj+2)에 공급한다.
- [0053] 도 4에서 제1 극성은 정극성, 제2 극성은 부극성인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 극성은 부극성, 제2 극성은 정극성으로 구현될 수 있다. 여기서, 정극성의 데이터 전압은 공통전압 기준으로 공통전압보다 높은 전압으로 정의될 수 있으며, 부극성의 데이터 전압은 공통전압보다 낮은 전압으로 정의될 수 있다.
- [0054] 게이트 구동부(도 2의 120)는 게이트 펄스들을 하부 게이트 배선들(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선들(TGLk-1 내지 TGLk+1)에 순차적으로 출력한다. 예를 들어, 게이트 구동부(120)는 도 4와 같이 제N 프레임 기간과 제N+1 프레임 기간 각각에서 제k-1 하부 게이트 배선(BGLk-1)에 제1 게이트 펄스(GP1)를 출력하고, 제k-1 상부 게이트 배선(TGLk-1)에 제2 게이트 펄스(GP2)를 출력하며, 제k 하부 게이트 배선(BGLk)에 제3 게이트 펄스(GP3)를 출력하고, 제k 상부 게이트 배선(TGLk)에 제4 게이트 펄스(GP4)를 출력하고, 제k+1 상부 게이트 배선

(TGLk+1)에 제5 게이트 펄스(GP5)를 출력하고, 제k+1 하부 게이트 배선(BGLk+1)에 제6 게이트 펄스(GP5)를 출력한다. 게이트 펄스들 각각은 소정의 기간 동안 게이트 하이 전압(VGH)으로 발생한다. 소정의 기간은 도 4와 같이 1 수평 기간(1H)으로 구현될 수 있다. 하지만, 소정의 기간은 이에 한정되지 않으며, 1 수평 기간(1H) 또는 수 수평 기간으로 구현될 수도 있다. 1 수평 기간(1H)은 액정 표시 패널(110)에서 1 수평 라인의 화소들에 디지털 비디오 데이터가 기입되는 1 배선 스캐닝 시간을 의미한다. 이하에서는, 도 3과 도 4를 결부하여 N 프레임 기간 동안 화소 어레이의 화소 전극들에 데이터 공급 방법을 상세히 살펴본다.

- [0055] 제1 기간(t1) 동안 제4, 제6 화소 전극들(PE4, PE6)은 제1 게이트 펄스(GP1)에 응답하여 데이터 전압들을 공급받는다. 제j 데이터 배선(DLj)에 접속된 제4 화소 전극(PE4)은 제1 기간(t1) 동안 공급되는 제1 극성의 제3 데이터 전압(DV3)으로 충전된다. 제j+1 데이터 배선(DLj+1)에 접속된 제6 화소 전극(PE6)은 제1 기간(t1) 동안 공급되는 제2 극성의 제4 데이터 전압(DV4)으로 충전된다.
- [0056] 제2 기간(t2) 동안 제1, 제7 화소 전극들(PE1, PE7)은 제2 게이트 펄스(GP2)에 응답하여 데이터 전압들을 공급받는다. 제j-1 데이터 배선(DLj-1)에 접속된 제1 화소 전극(PE1)은 제2 기간(t2) 동안 공급되는 제2 극성의 제2 데이터 전압(DV2)으로 충전된다. 제j+2 데이터 배선(DLj+2)에 접속된 제7 화소 전극(PE7)은 제2 기간(t2) 동안 공급되는 제1 극성의 제5 데이터 전압(DV5)으로 충전된다.
- [0057] 제3 기간(t3) 동안 제10, 제12, 제5, 제8 화소 전극들(PE10, PE12, PE5, PE8)은 제3 게이트 펄스(GP3)에 응답하여 데이터 전압들을 공급받는다. 제j-1 데이터 배선(DLj-1)에 접속된 제10 화소 전극(PE10)은 제3 기간(t3) 동안 공급되는 제2 극성의 제2 데이터 전압(DV2)으로 충전된다. 제j 데이터 배선(DLj)에 접속된 제12 화소 전극(PE12)은 제3 기간(t3) 동안 공급되는 제1 극성의 제3 데이터 전압(DV3)으로 충전된다. 제j 데이터 배선(DLj)에 접속된 제5 화소 전극(PE5)은 제3 기간(t3) 동안 공급되는 제1 극성의 제3 데이터 전압(DV3)으로 충전된다. 제j+1 데이터 배선(DLj+1)에 접속된 제8 화소 전극(PE8)은 제3 기간(t3) 동안 공급되는 제2 극성의 제4 데이터 전압(DV4)으로 충전된다.
- [0058] 제4 기간(t4) 동안 제2, 제3, 제13, 제15 화소 전극들(PE2, PE3, PE13, PE15)은 제4 게이트 펄스(GP4)에 응답하여 데이터 전압들을 공급받는다. 제j-2 데이터 배선(DLj-2)에 접속된 제2 화소 전극(PE2)은 제4 기간(t4) 동안 공급되는 제1 극성의 제1 데이터 전압(DV1)으로 충전된다. 제j-1 데이터 배선(DLj-1)에 접속된 제3 화소 전극(PE3)은 제4 기간(t4) 동안 공급되는 제2 극성의 제2 데이터 전압(DV2)으로 충전된다. 제j+1 데이터 배선(DLj+1)에 접속된 제13 화소 전극(PE13)은 제4 기간(t4) 동안 공급되는 제2 극성의 제4 데이터 전압(DV4)으로 충전된다. 제j+2 데이터 배선(DLj+2)에 접속된 제15 화소 전극(PE15)은 제4 기간(t4) 동안 공급되는 제1 극성의 제5 데이터 전압(DV5)으로 충전된다.
- [0059] 제5 기간(t5) 동안 제9, 제16 화소 전극들(PE9, PE16)은 제5 게이트 펄스(GP5)에 응답하여 데이터 전압들을 공급받는다. 제j-2 데이터 배선(DLj-2)에 접속된 제9 화소 전극(PE9)은 제5 기간(t5) 동안 공급되는 제1 극성의 제1 데이터 전압(DV1)으로 충전된다. 제j+1 데이터 배선(DLj+1)에 접속된 제16 화소 전극(PE16)은 제5 기간(t5) 동안 공급되는 제2 극성의 제4 데이터 전압(DV4)으로 충전된다.
- [0060] 제6 기간(t6) 동안 제11, 제14 화소 전극들(PE11, PE14)은 제6 게이트 펄스(GP6)에 응답하여 데이터 전압들을 공급받는다. 제j-1 데이터 배선(DLj-1)에 접속된 제11 화소 전극(PE11)은 제6 기간(t6) 동안 공급되는 제2 극성의 제2 데이터 전압(DV2)으로 충전된다. 제j 데이터 배선(DLj)에 접속된 제14 화소 전극(PE14)은 제6 기간(t6) 동안 공급되는 제1 극성의 제3 데이터 전압(DV3)으로 충전된다.
- [0061] 상술한 바와 같이, 본 발명의 실시예에 따른 소스 드라이브 IC(130)는 컬럼 인버전 방식으로 데이터 배선들에 데이터 전압들을 공급할 수 있다. 이에 따라, 본 발명의 실시예는 컬럼 인버전 방식으로 소스 드라이브 IC의 개수를 줄일 수 있고, 소비전력을 현저히 감소시킬수 있는 효과가 있다.
- [0062] 또한, 제1, 제2, 제3, 제4 화소 전극들(PE1, PE2, PE3, PE4)은 제4 화소 전극(PE4), 제1 화소 전극(PE), 제2 및 제3 화소 전극(PE2, PE3) 순서로 데이터 전압들을 충전한다. 이 경우, 제2 및 제3 화소 전극(PE2, PE3)은 동시에 데이터 전압들을 충전한다. 또한, 제5, 제6, 제7, 제8 화소 전극들(PE5, PE6, PE7, PE8)은 제6 화소 전극(PE6), 제7 화소 전극(PE7), 제5 및 제8 화소 전극(PE5, PE8) 순서로 데이터 전압들을 충전한다. 이 경우, 제5 및 제8 화소 전극(PE5, PE8)은 동시에 데이터 전압들을 충전한다.
- [0063] 도 5는 도 3의 하부 게이트 배선과 상부 게이트 배선이 교차되는 영역을 상세하게 보여주는 평면도이다.
- [0064] 도 5를 참조하면, 본 발명의 실시예는 하부 게이트 배선(BGLk-1 내지 BGLk+1), 상부 게이트 배선(TGLk-1 내지 TGLk+1), 데이터 배선(DLj-1 내지 DLj+1), 복수의 공통 전압 배선들(VcomL), 복수의 박막 트랜지스터(T)들, 복

수의 화소 전극들(PE), 및 복수의 공통 전극들(CE)을 포함한다.

- [0065] 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)은 수평 방향(Y축 방향)으로 연장되어 있다. 하부 게이트 배선(BGLk-1 내지 BGLk+1)은 각각의 서브 화소 별로 박막 트랜지스터(T)의 게이트로 기능하기 위한 하부 배선 게이트 전극(GE1)을 구비하고 있다. 하부 배선 게이트 전극(GE1)은 하부 게이트 배선(BGLk-1 내지 BGLk+1)에서 상대적으로 배선 폭이 넓은 영역에 해당한다. 하부 배선 게이트 전극(GE1)은 하부 게이트 배선(BGLk-1 내지 BGLk+1)에 의해 게이트 펄스가 인가되는 서브 화소들에 구비될 수 있다.
- [0066] 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 동일한 층에는 게이트 전극(GE2)이 구비된다. 게이트 전극(GE2)은 하부 배선 게이트 전극(GE1)이 구비되지 않은 서브 화소들에 구비된다. 즉, 게이트 전극(GE2)은 상부 게이트 배선(TGLk-1 내지 TGLk+1)에 의해 게이트 펄스가 인가되는 서브 화소들에 구비된다. 게이트 전극(GE2)은 상부 게이트 배선(TGLk-1 내지 TGLk+1)에 의해 게이트 펄스가 인가되는 서브 화소들에 구비된 박막 트랜지스터(T)의 게이트로 기능한다. 이 경우, 게이트 전극(GE2)은 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 소정의 거리 이격되어 구비될 수 있다. 예를 들어, 게이트 전극(GE2)은 아일랜드(island) 형태로 구비될 수 있다. 이러한, 게이트 전극(GE2)은 게이트 콘택홀(CNT1)을 통하여 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 접촉될 수 있다. 게이트 전극(GE2)은 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 동일한 공정을 이용하여, 동시에 구비될 수 있다. 또한, 게이트 전극(GE2)은 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 동일한 물질로 형성될 수 있다.
- [0067] 상술한 바와 같이, 본 발명의 실시에는 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 하부 게이트 배선(BGLk-1 내지 BGLk+1)이 서로 다른 층에 구비되고, 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 게이트 전극(GE2)이 게이트 콘택홀(CNT1)을 통하여 전기적으로 연결된다. 따라서, 본 발명은 동일한 층에 두 개의 게이트 배선을 구비하는 종래와 비교하여, 게이트 배선의 설계 영역을 줄일 수 있는 효과가 있다. 그 결과, 본 발명의 실시에는 게이트 배선의 설계 영역이 줄어드는 만큼 액정 표시 장치의 개구율을 넓힐 수 있는 효과가 있다.
- [0068] 데이터 배선(DLj-1 내지 DLj+1)은 수직 방향(X축 방향)으로 연장되어 있다. 데이터 배선(DLj-1 내지 DLj+1)은 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 교차하도록 구비된다. 데이터 배선(DLj-1 내지 DLj+1)의 우측 및 좌측에는 복수의 화소 전극들이 구비된다. 예를 들어, 제j-1 데이터 배선(DLj-1)의 우측에는 제3 및 제11 화소 전극들(PE3, PE11)이 구비된다. 또한, 제j 데이터 배선(DLj)의 좌측에는 제4 및 제12 화소 전극들(PE4, PE12)이 구비되며, 우측에는 제5 및 제13 화소 전극들(PE5, PE13)이 구비된다. 이 경우, 제3 및 제11 화소 전극들(PE3, PE11)과 제4 및 제12 화소 전극들(PE4, PE12) 사이에는 공통 전압 배선(VcomL)이 배치될 수 있다.
- [0069] 데이터 배선(DLj-1 내지 DLj+1) 각각에는 박막 트랜지스터(T)의 소스 전극(SE)이 연결되어 있다. 또한, 소스 전극(SE)과 마주하도록 배치된 박막 트랜지스터(T)의 드레인 전극(DE)이 구비되어 있다. 드레인 전극(DE)은 드레인 콘택홀(CNT2)을 통하여 화소 전극(PE3)과 전기적으로 연결된다.
- [0070] 데이터 배선(DLj-1 내지 DLj+1), 소스 전극(SE), 및 드레인 전극(DE)은 서로 동일한 물질로 이루어질 수 있으며, 동일한 층에 구비되어 있다. 또한, 데이터 배선(DLj-1 내지 DLj+1), 소스 전극(SE), 및 드레인 전극(DE)은 전술한 하부 게이트 배선(BGLk-1 내지 BGLk+1)과 게이트 전극(GE)이 구비된 층보다 위쪽 층에 형성되어 있다.
- [0071] 복수의 공통 전압 배선들(VcomL)은 하부 게이트 배선(BGLk-1 내지 BGLk+1) 및 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 교차하도록 구비된다. 복수의 공통 전압 배선들(VcomL)은 전술한 데이터 배선(DLj-2 내지 DLj+2) 사이에 마련될 수 있다.
- [0072] 데이터 배선(DLj-1 내지 DLj+1)과 복수의 공통 전압 배선들(VcomL)은 동일한 물질로 이루어질 수 있으며, 동일한 층에 구비될 수 있다. 데이터 배선(DLj-1 내지 DLj+1)과 복수의 공통 전압 배선(VcomL)은 동일한 공정을 이용하여, 동시에 구비될 수 있다. 이 경우, 배선들 간의 쇼트(short)를 방지하기 위하여, 복수의 공통 전압 배선들(VcomL)은 데이터 배선(DLj-1 내지 DLj+1), 소스 전극(SE), 및 드레인 전극(DE)과 접촉되지 않을 수 있다. 이러한, 복수의 공통 전압 배선(VcomL)은 공통 배선 콘택홀(CNT3)을 통하여 복수의 공통 전극들(CE)과 전기적으로 연결된다.
- [0073] 복수의 박막 트랜지스터(T)들은 서브 화소들에 구비된 화소 전극들(PE) 각각과 접촉된다. 복수의 박막 트랜지스터(T)들 각각은 하부 배선 게이트 전극(GE1), 소스 전극(SE) 및 드레인 전극(DE)으로 구성될 수 있다. 또는, 복수의 박막 트랜지스터(T)들 각각은 게이트 전극(GE2), 소스 전극(SE) 및 드레인 전극(DE)으로 구성될 수 있다.

- [0074] 복수의 화소 전극들(PE)은 드레인 콘택홀(CNT2)을 통해서 박막 트랜지스터(T)의 드레인 전극(DE)과 접속된다. 이 경우, 복수의 화소 전극들(PE)은 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 동일한 층에 구비될 수 있다. 또한, 복수의 화소 전극들(PE)은 복수의 공통 전극들(CE)과 동일한 층에 구비될 수 있다. 일 예에 따른 복수의 화소 전극들은 핑거(finger) 구조로 이루어질 수 있다. 예를 들어, 제3, 제5, 제11, 제14 화소 전극들(PE3, PE5, PE11, PE14)은 핑거 형상이 위쪽 방향으로 연장될 수 있다. 또한, 제4, 제6, 제12, 제13 화소 전극들(PE4, PE5, PE12, PE13)은 핑거 형상이 아래쪽 방향으로 연장될 수 있다.
- [0075] 복수의 공통 전극들(CE) 각각은 화소 전극들(PE) 각각과 교대로 배열되어 양자 사이에서 액정 구동을 위한 전계를 형성한다. 복수의 공통 전극들(CE)은 공통 배선 콘택홀(CNT3)을 통해서 복수의 공통 전압 배선들(VcomL)과 전기적으로 연결된다. 복수의 공통 전압 배선들(VcomL)을 통해 인가되는 공통 전압은 서브 화소 별로 구비된 공통 전극들(CE) 각각에 전달될 수 있다.
- [0076] 본 발명의 실시예는 하나의 수평 라인에 배열된 복수의 화소 전극들(PE)이 두 개의 게이트 배선(상부 게이트 배선 및 하부 게이트 배선) 및 복수의 화소 전극들(PE)의 개수의 1/2에 해당하는 개수의 데이터 배선을 이용한 DRD 방식으로 구동될 수 있다. 따라서, 본 발명의 실시예에 따른 액정 표시 장치는 복수의 화소 전극들의 개수의 1/2에 해당하는 개수의 데이터 배선이 요구되므로 데이터 구동부를 이루는 소스 드라이브 IC의 개수를 1/2로 줄일 수 있어 생산 단가를 낮출 수 있다.
- [0077] 도 6은 도 5의 I-I'의 단면도로서, 도 5의 제j 데이터 배선(DLj)이 구비된 영역의 단면도이다.
- [0078] 도 6을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치는 어레이 기관(111), 대향 기관(112), 및 액정층(119)을 포함한다. 어레이 기관(111) 상에는 제1 절연막(I1)이 형성되어 있고, 제1 절연막(I1) 상에는 반도체층(ACT)이 형성되어 있다. 반도체층(ACT)상에는 제j 데이터 배선(DLj)이 형성되어 있고, 제j 데이터 배선(DLj) 상에는 제2 절연막(I2), 컬러 필터(CF) 및 제3 절연막(I3)이 순차적으로 형성되어 있다. 제3 절연막(I3) 상에는 제j 데이터 배선(DLj)과 나란하게 공통 전극들(CE)이 구비되어 있다. 또한, 제3 절연막(I3) 상에는 제j 데이터 배선(DLj)을 중심으로 좌측에 제4 화소 전극(PE4)이 구비되어 있으며, 우측에 제5 화소 전극(PE5)이 구비되어 있다.
- [0079] 본 발명의 실시예는 공통 전극(CE)과 화소 전극(PE) 사이의 수평 전계에 의해서 액정층(119)의 배열 방향이 조절된다. 즉, 본 발명은 공통 전극(CE)과 화소 전극(PE4) 사이의 수평 전계에 의해 액정층(119)의 배열 방향이 조절되는 IPS(In-plane Switching) 모드로 구동될 수 있지만, 반드시 그에 한정되는 것은 아니고, FFS(Fringe Field Switching) 모드로 구동될 수도 있다. 또한, 공통 전극(CE)과 화소 전극(PE)이 반드시 동일한 층에 형성되어야 하는 것은 아니며, 경우에 따라서 서로 상이한 층에 형성될 수도 있다. 예로서, 공통 전극(CE) 상에 추가 절연층이 형성되고, 추가 절연층 상에 화소 전극(PE)이 형성되는 것도 가능하다.
- [0080] 본 발명이 COT구조인 경우, 대향 기관(112) 상에는 별도의 구성이 형성되지 않을 수 있지만, 반드시 그에 한정되는 것은 아니다. 또한, 전술한 바와 같이, 본 발명이 COT구조가 아닌 경우, 대향 기관(112) 상에는 블랙 매트릭스와 상기 컬러 필터(CF)가 형성될 수 있다.
- [0081] 액정층(119)은 어레이 기관(111)과 대향 기관(112) 사이에 형성되어 공통 전극(CE)과 화소 전극(PE) 사이의 전계에 의해서 그 배열방향이 조절된다.
- [0082] 도 7은 도 5의 II-II'의 단면도로서, 도 5의 공통 전압 배선(VcomL) 및 공통 전극(CE)이 구비된 영역의 단면도이다.
- [0083] 도 7을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치는 어레이 기관(111), 대향 기관(112), 및 액정층(119)을 포함한다. 어레이 기관(111) 상에는 제1 절연막(I1)이 형성되어 있고, 제1 절연막(I1) 상에는 공통 전압 배선(VcomL)이 형성되어 있다. 공통 전압 배선(VcomL) 상에는 제2 절연막(I2), 컬러 필터(CF) 및 제3 절연막(I3)이 순차적으로 형성되어 있다. 제3 절연막(I3) 상에는 공통 전극(CE)이 구비되어 있다. 이 경우, 제2 절연막(I2), 컬러 필터(CF) 및 제3 절연막(I3)에는 공통 전압 배선(VcomL)을 노출시키는 공통 배선 콘택홀(CNT3)이 구비되어 있다. 공통 전극(CE)은 공통 배선 콘택홀(CNT3)을 통하여 공통 전압 배선(VcomL)에 전기적으로 연결될 수 있다.
- [0084] 도 8은 도 5의 III-III'의 단면도이다. 이는, 도 5의 제k 하부 게이트 배선(BGLk)과 제k 상부 게이트 배선(TGLk)이 교차하는 영역의 단면도로서, 편의상 어레이 기관(111)의 구성만 도시하였다.
- [0085] 도 8을 참조하면, 본 발명의 어레이 기관(111) 상에는 제k 하부 게이트 배선(BGLk)이 구비된다. 제k 하부 게이트

트 배선(BGLk) 상에는 제1 절연막(I1)이 형성되어 있고, 제1 절연막(I1) 상에는 제j 데이터 배선(DLj)이 형성되어 있다. 제j 데이터 배선(DLj) 상에는 제2 절연막(I2), 컬러 필터(CF) 및 제3 절연막(I3)이 순차적으로 형성되어 있다. 제3 절연막(I3) 상에는 제k 상부 게이트 배선(TGLk)이 형성되어 있다. 이 경우, 제k 하부 게이트 배선(BGLk)과 제k 상부 게이트 배선(TGLk)은 적어도 하나의 절연막들에 의해 절연되어 있다. 즉, 제k 하부 게이트 배선(BGLk)과 제k 상부 게이트 배선(TGLk)은 제1 절연막(I1), 제2 절연막(I2), 컬러 필터(CF) 및 제3 절연막(I3)을 사이에 두고 서로 다른 층에 배치될 수 있다.

[0086] 상술한 바와 같이, 본 발명의 실시예는 제k 하부 게이트 배선(BGLk) 및 제k 상부 게이트 배선(TGLk)이 적어도 하나 이상의 절연막을 사이에 두고 서로 다른 층에 배치될 수 있다. 이에 따라, 제k 하부 게이트 배선(BGLk)과 제k 상부 게이트 배선(TGLk)은 접촉하지 않으면서, 서로 교차될 수 있다.

[0087] 도 9는 도 5의 IV-IV'의 단면도이다. 이는 도 5의 제k 상부 게이트 배선(TGLk)과 게이트 전극(GE2)이 접속되는 영역의 단면도로서, 편의상 어레이 기관(111)의 구성만 도시하였다.

[0088] 도 9를 참조하면, 본 발명의 어레이 기관(111) 상에는 게이트 전극(GE2)이 구비된다. 게이트 전극(GE2) 상에는 제1 절연막(I1), 제2 절연막(I2), 컬러 필터(CF) 및 제3 절연막(I3)이 순차적으로 형성되어 있다. 제3 절연막(I3) 상에는 제k 상부 게이트 배선(TGLk)이 형성되어 있다. 이 경우, 제1 절연막(I1), 제2 절연막(I2), 컬러 필터(CF) 및 제3 절연막(I3)에는 게이트 전극(GE2)을 노출시키는 게이트 콘택홀(CNT1)이 구비되어 있다. 제k 상부 게이트 배선(TGLk)은 게이트 콘택홀(CNT1)을 통하여 게이트 전극(GE2)에 전기적으로 연결될 수 있다. 이 경우, 게이트 전극(GE2)은 상부 게이트 배선(TGLk-1 내지 TGLk+1)에 의해 게이트 펄스가 인가되는 서브 화소들에 구비된 박막 트랜지스터(T)의 게이트로 기능한다.

[0089] 본 발명의 실시예는 상부 게이트 배선(TGLk-1 내지 TGLk+1)이 게이트 전극(GE2)과 전기적으로 연결되기 때문에, 상부 게이트 배선(TGLk-1 내지 TGLk+1)으로 인가되는 게이트 신호를 이용하여 상부 게이트 배선(TGLk-1 내지 TGLk+1)과 연결되어 있는 박막 트랜지스터(T)들을 구동할 수 있다.

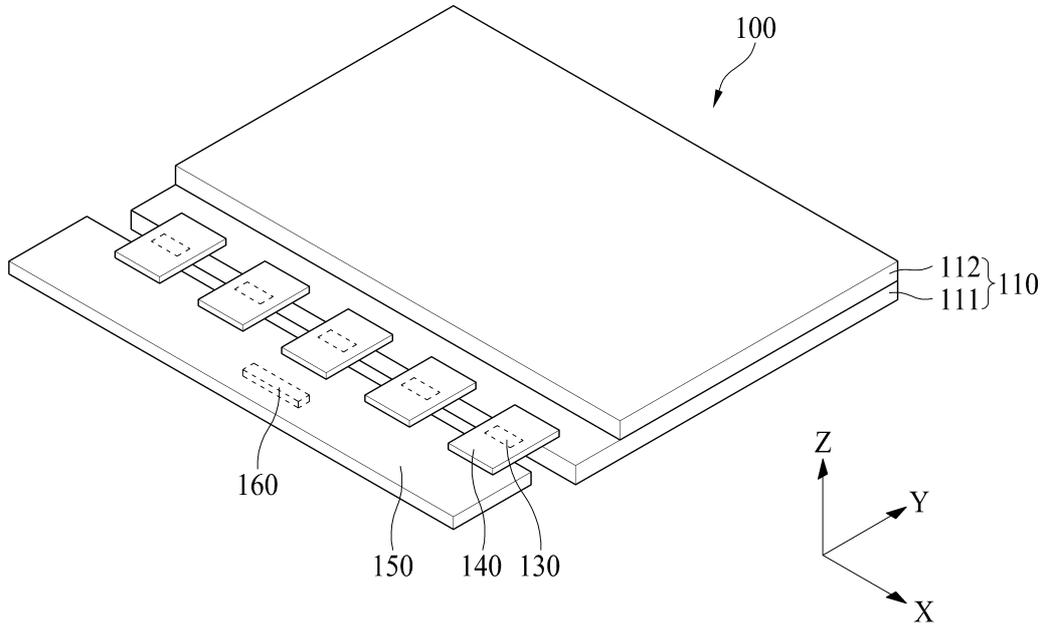
[0090] 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 발명의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

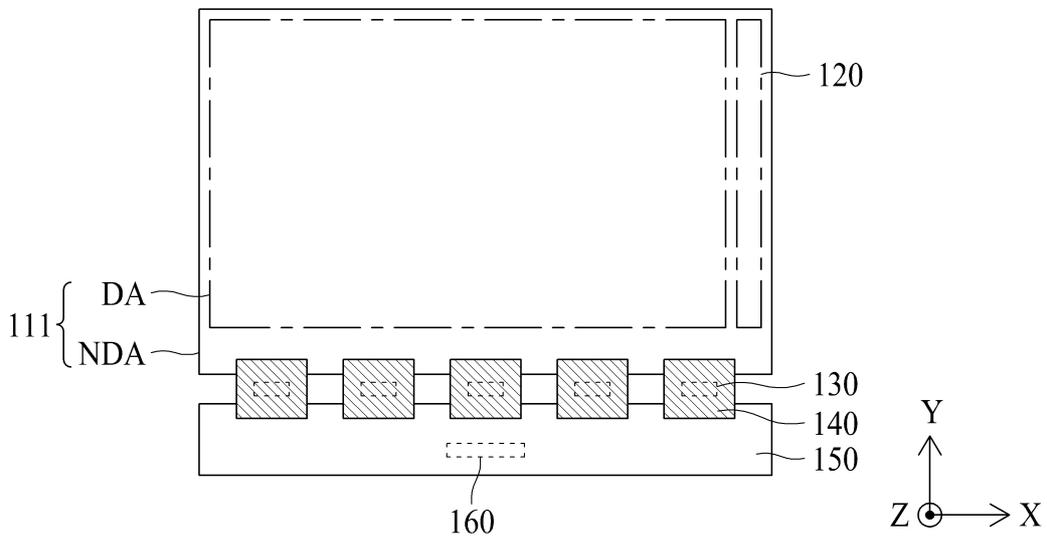
- [0091]
- | | |
|------------------------|-----------------------------|
| 100: 액정 표시 장치 | 110: 액정 표시 패널 |
| 111: 어레이 기관 | 112: 대향 기관 |
| 120: 게이트 구동부 | 130: 소스 드라이브 IC |
| 140: 연성 필름 | 150: 회로보드 |
| 160: 타이밍 제어부 | BGLk-1 내지 BGLk+1: 하부 게이트 배선 |
| DLj-2 내지 DLj+2: 데이터 배선 | TGLk-1 내지 TGLk+1: 상부 게이트 배선 |
| VcomL: 공통 전압 배선들 | T: 박막 트랜지스터 |
| PE: 화소 전극들 | CE: 공통 전극들 |
| GE1: 하부 배선 게이트 전극 | GE2: 게이트 전극 |
| SE: 소스 전극 | DE: 드레인 전극 |

도면

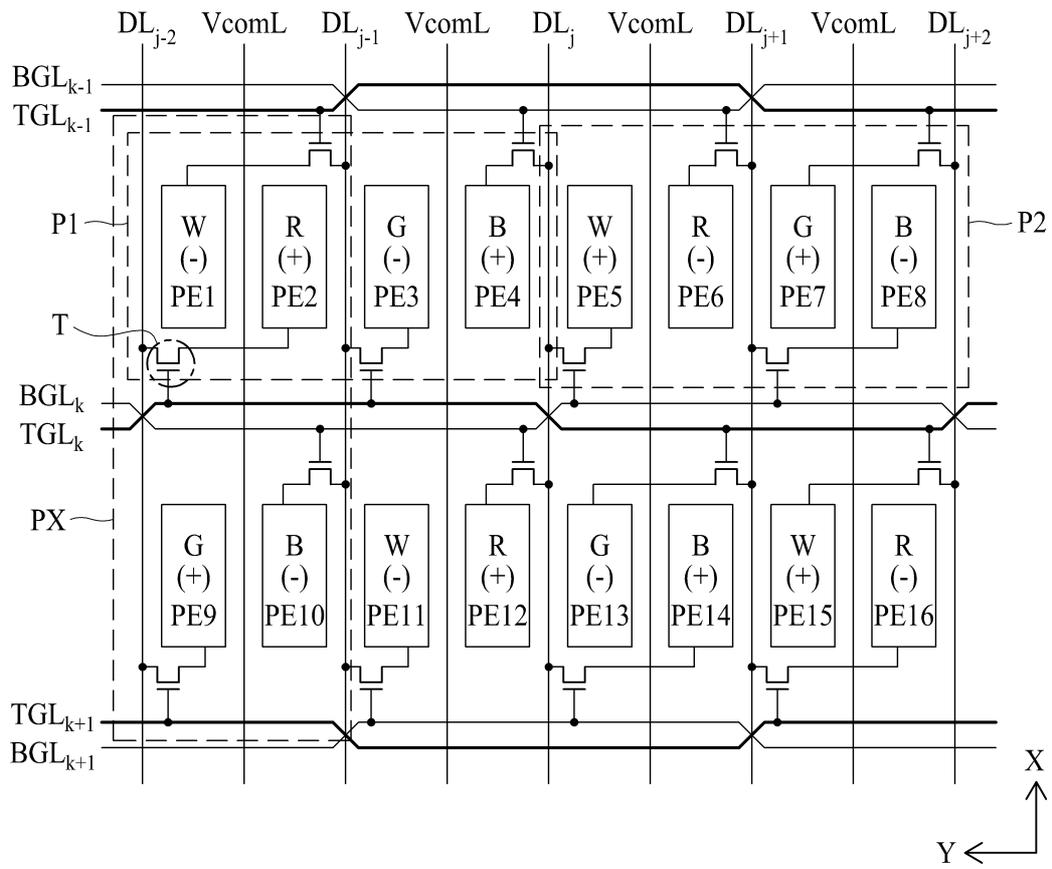
도면1



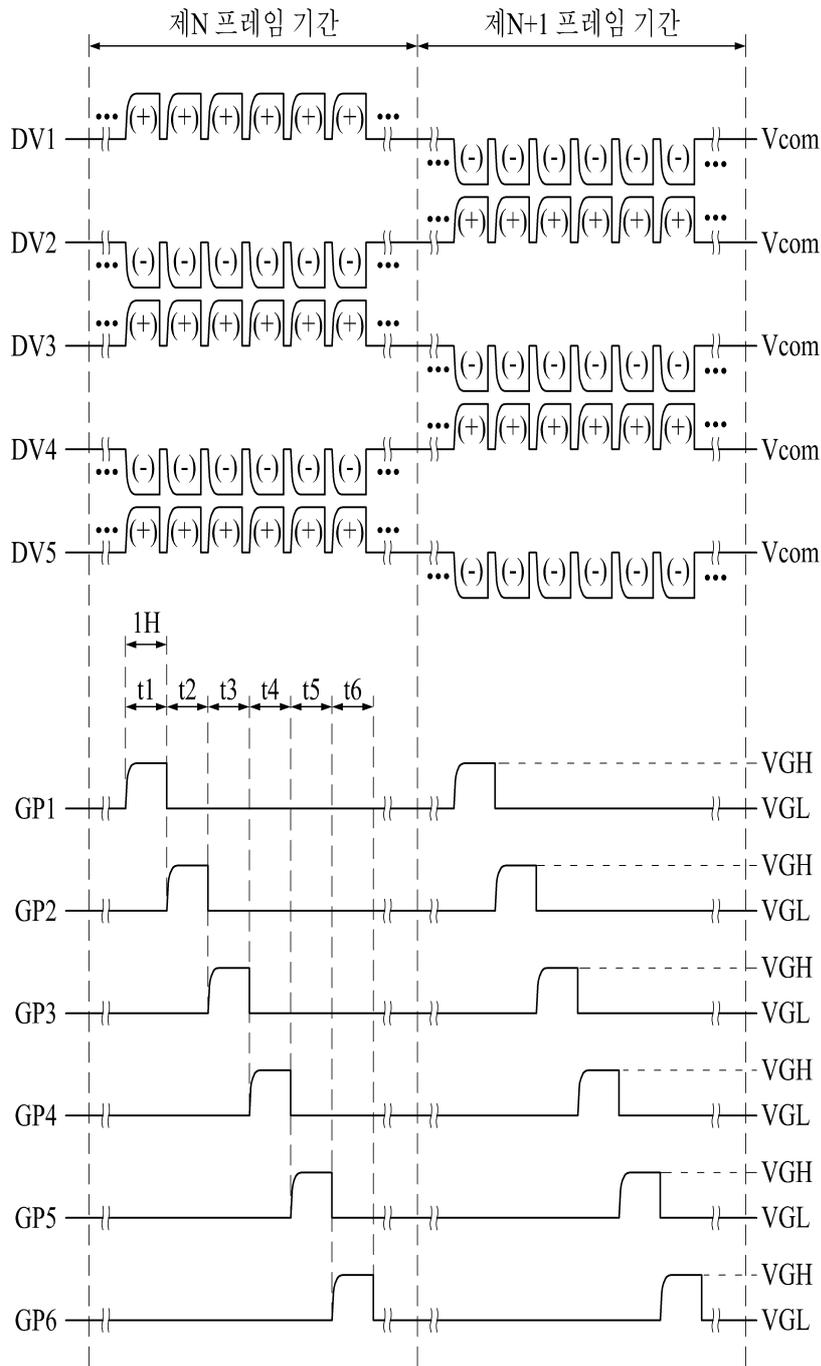
도면2



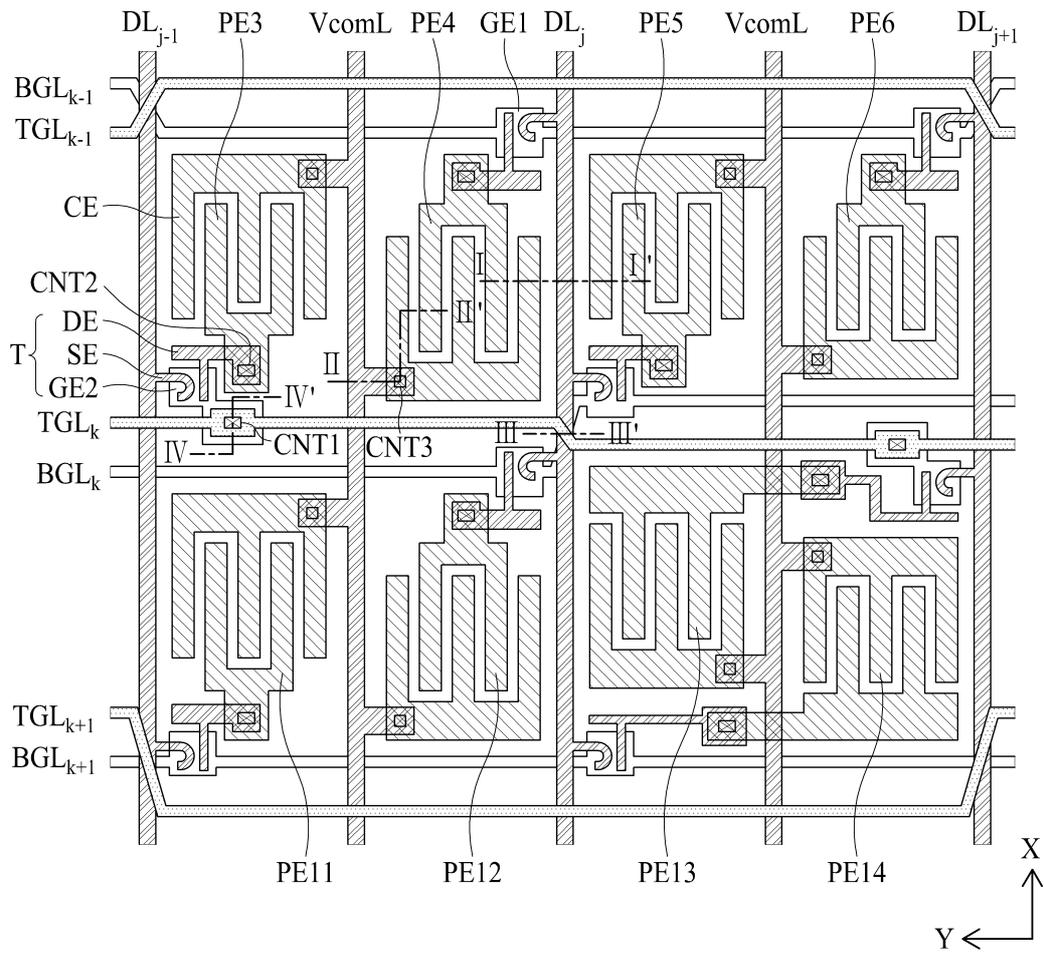
도면3



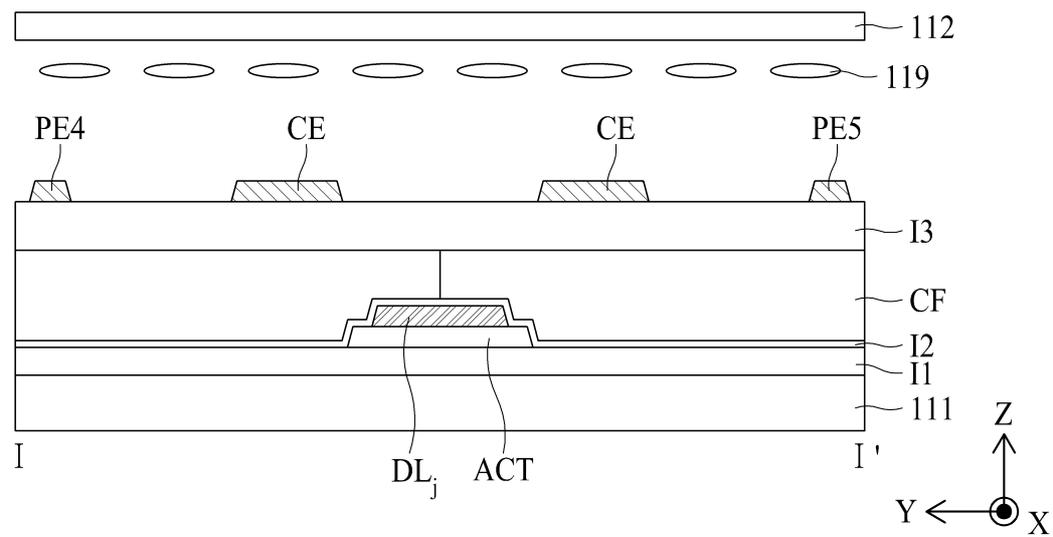
도면4



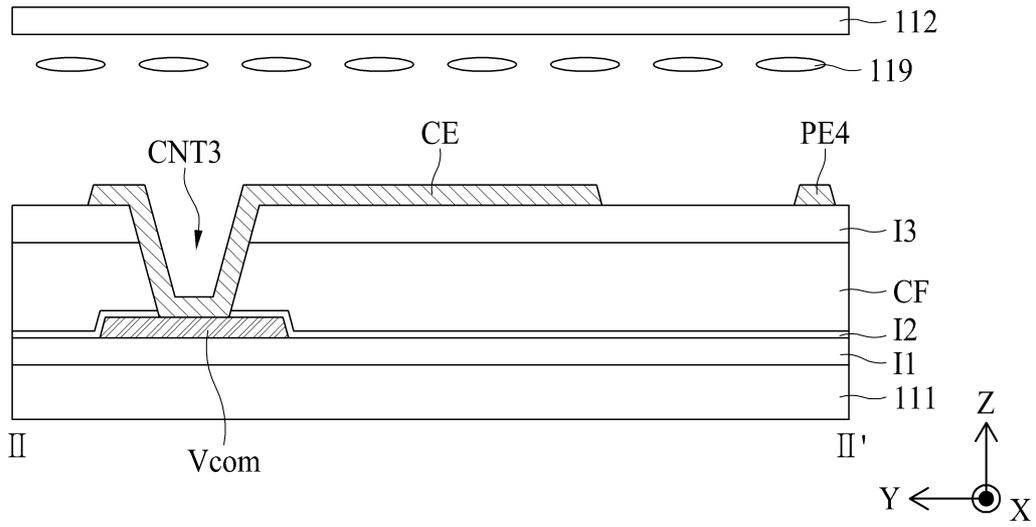
도면5



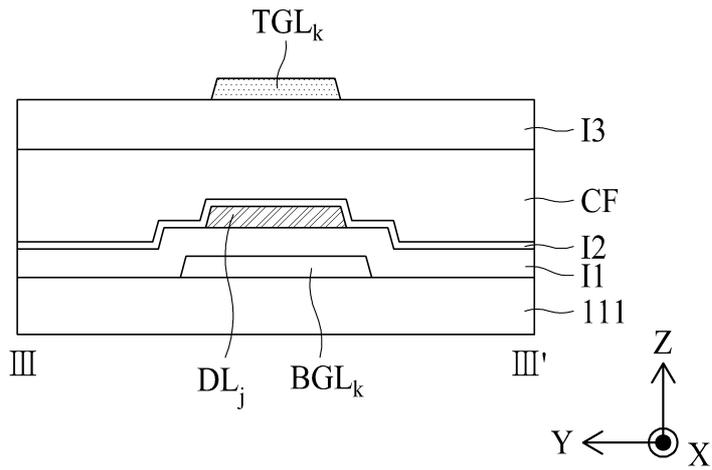
도면6



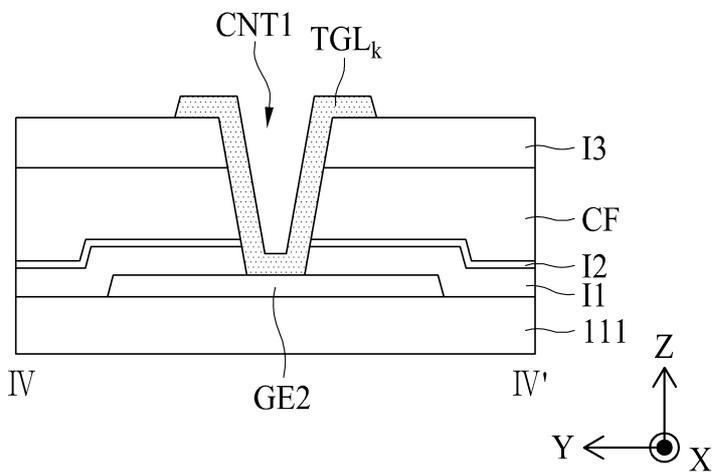
도면7



도면8



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR1020180003371A	公开(公告)日	2018-01-09
申请号	KR1020160083119	申请日	2016-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SEUNGHWAN SHIN 신승환 YOUNGMIN JEONG 정영민 GYUTAE KANG 강규태 DAEYOUNG SEO 서대영 SOYOUNG LEE 이소영		
发明人	신승환 정영민 강규태 서대영 이소영		
IPC分类号	G09G3/36 G02F1/1343		
CPC分类号	G09G3/3648 G02F1/134363 G09G2320/0209 G09G2300/0465 G09G2300/0452 G09G2300/0426		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，其能够改善在实现单色时产生的图像质量缺陷。本发明的实施例包括在一个方向上设置在相邻子像素之间的下栅极布线和上栅极布线，并且下栅极布线和上栅极布线在水平方向上通过M (M是2或更大的正整数) 彼此连接。像素彼此相交。

