



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0090188  
(43) 공개일자 2016년07월29일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01)

(52) CPC특허분류  
G09G 3/3648 (2013.01)

(21) 출원번호 10-2015-0010186

(22) 출원일자 2015년01월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

전진

대전광역시 유성구 배울1로 13, 212동 1501호 (관평동, 대우푸르지오)

김재혁

경기도 고양시 일산동구 노루목로 100, 211동 1504호 (장항동, 호수마을2단지아파트)

김현욱

경기도 여주시 가남읍 그랜드그린길 52

(74) 대리인

박장원

전체 청구항 수 : 총 8 항

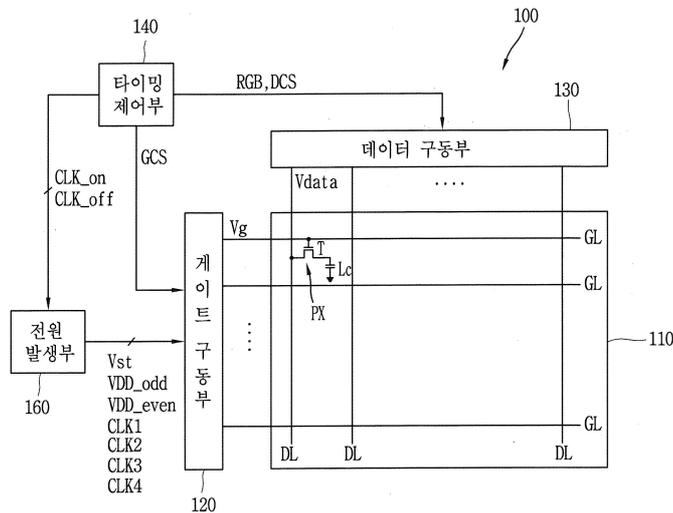
(54) 발명의 명칭 액정표시장치 및 이의 구동회로

(57) 요약

본 발명은 액정표시장치를 개시한다. 보다 상세하게는, 본 발명은 게이트 구동부를 제어하는 각종 제어신호를 적은 개수의 클럭신호를 이용하여 생성하는 액정표시장치 및 이의 구동회로에 관한 것이다.

본 발명의 실시예에 따르면, 기존 게이트 개시신호(GST)와 오드이븐신호(VEO)를 생략하고, 2상 파형을 갖는 제1 및 제2 클럭신호(CLK\_on, CLK\_off)를 이용하여 게이트 클럭신호 뿐만 아니라, 개시전압(ST)과 이븐오드신호(EO)를 생성하고 이에 기초하여 개시신호(Vst) 및 오드 구동전압(VDD\_odd) 및 이븐 구동전압(VDD\_even)을 생성함으로써, 구동회로의 입출력 개수를 줄여 단자수를 저감하고, 연결배선을 단순화할 수 있는 효과가 있다.

대표도 - 도2



## 명세서

### 청구범위

#### 청구항 1

게이트 구동부를 제어하며, 각각 2 개의 파형을 갖는 온 클록신호 및 오프 클록신호를 출력하는 타이밍 제어부;  
및

상기 온 및 오프 클록신호에 대응하여 상기 게이트 구동부의 제어신호, 구동전압 및 게이트 클록신호를 생성하는 전원발생부

를 포함하는 액정표시장치의 구동회로.

#### 청구항 2

제 1 항에 있어서,

상기 제1 파형은, 상기 적어도 상기 오프 클록신호의 폭이 상기 온 클록신호의 폭보다 크며, 상기 온 클록신호 및 오프 클록신호의 라이징 에지는 동일한 신호파형이고,

상기 제2 파형은, 상기 온 클록신호 및 오프 클록신호의 폭이 동일하며, 하이레벨이 서로 교번하여 출력되는 신호파형인 액정표시장치의 구동회로.

#### 청구항 3

제 2 항에 있어서,

상기 전원발생부는,

상기 온 클록신호 및 오프 클록신호를 입력받아, 개시전압 및 이븐오드신호를 생성하는 제1 논리연산부;

상기 이븐오드신호에 대응하여 서로 반전된 파형의 이븐신호 및 오드신호를 생성하고, 상기 온 클록신호 및 오프 클록신호에 대응하여 복수의 초기클록전압을 생성하는 제2 논리연산부; 및

상기 개시전압, 이븐신호, 오드신호, 복수의 초기클록신호를 각각 승압하여 개시신호, 이븐 구동전압, 오드 구동전압, 및 복수의 게이트 클록신호를 출력하는 레벨 쉬프터

를 포함하는 액정표시장치의 구동회로.

#### 청구항 4

제 3 항에 있어서,

상기 제1 논리연산부는,

1 프레임내의 블랭크 구간동안 상기 제1 파형의 온 클록신호 및 오프 클록신호에 의해 상기 개시전압 및 오드이븐신호를 생성하되,

상기 개시전압의 라이징에지 및 폴링에지는, 온 클록신호의 라이징에지 및 폴링에지에 대응되도록 설정되고,

상기 오드이븐신호의 라이징에지 및 폴링에지는, 상기 온 클록신호의 폴링에지 및 오프 클록신호의 폴링에지에 대응되도록 설정되는 액정표시장치의 구동회로.

#### 청구항 5

제 3 항에 있어서,

상기 제1 논리연산부는,

제1 인버터에 의해 반전된 온 클록신호와, 상기 오프 클록신호를 입력받아 상기 이븐오드신호를 출력하는 제1 앤드게이트;

상기 온 클록신호 및 오프 클록신호를 입력받아 상기 개시전압을 출력하는 제2 앤드게이트;

상기 온 클록신호 및 제2 인버터에 의해 반전된 개시전압을 인가받아 상기 온 클록신호를 출력하는 제3 앤드게이트; 및

상기 오프클록신호 및 제3 인버터에 의해 반전된 개시전압을 인가받아 상기 오프 클록신호를 출력하는 제4 앤드게이트

를 포함하는 액정표시장치의 구동회로.

**청구항 6**

제 3 항에 있어서,

상기 제2 논리연산부는,

상기 이븐오드신호의 라이징에지에 대응하여 상기 이븐신호의 폴링에지를 설정하고,

상기 이븐오드신호의 폴링에지에 대응하여 상기 오드신호의 라이징에지를 설정하는 액정표시장치의 구동회로.

**청구항 7**

제 3 항에 있어서,

상기 제2 논리연산부는,

1 프레임내의 디스플레이 구간동안 상기 제2 파형의 온 클록신호 및 오프 클록신호에 의해 상기 복수의 게이트 클록신호를 생성하되,

상기 복수의 게이트 클록신호의 라이징에지 및 폴링에지는, 각각 온 클록신호의 라이징에지 및 오프 클록신호의 폴링에지에 대응하여 설정되는 액정표시장치의 구동회로.

**청구항 8**

복수의 게이트 배선 및 데이터 배선이 교차형성되고, 교차지점에 복수의 화소를 구비하는 액정패널;

상기 게이트 배선을 통해 상기 화소를 도통시키는 게이트 구동부;

상기 데이터 배선을 통해 상기 화소에 데이터 전압을 공급하는 데이터 구동부;

상기 게이트 및 데이터 구동부를 제어하며, 각각 2 개의 파형을 갖는 온 클록신호 및 오프 클록신호를 출력하는 타이밍 제어부; 및

상기 온 및 오프 클록신호에 대응하여 상기 게이트 구동부의 제어신호, 구동전압 및 게이트 클록신호를 생성하는 전원발생부를 포함하고,

상기 전원발생부는,

상기 온 클록신호 및 오프 클록신호를 입력받아, 개시전압 및 이븐오드신호를 생성하는 제1 논리연산부;

상기 이븐오드신호에 대응하여 서로 반전된 파형의 이븐신호 및 오드신호를 생성하고, 상기 온 클록신호 및 오프 클록신호에 대응하여 복수의 초기클록전압을 생성하는 제2 논리연산부; 및

상기 개시전압, 이븐신호, 오드신호, 복수의 초기클록신호를 각각 승압하여 개시신호, 이븐 구동전압, 오드 구동전압, 및 복수의 게이트 클록신호를 출력하는 레벨 쉬프터

를 포함하는 액정표시장치.

**발명의 설명**

**기술 분야**

본 발명은 액정표시장치에 관한 것으로, 특히 게이트 구동부를 제어하는 각종 제어신호를 적은 개수의 클록신호

[0001]

를 이용하여 생성하는 액정표시장치 및 이의 구동회로에 관한 것이다.

### 배경 기술

- [0002] 평판표시장치에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 있으며, 이중 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 최근에는 액정표시장치(LCD)가 차세대 표시장치로서 주목받고 있다.
- [0003] 특히, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor, TFT)가 이용되는 액티브 매트릭스 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다.
- [0004] 액티브 매트릭스 방식의 액정표시장치는 복수의 게이트 배선 및 데이터 배선이 매트릭스 형태로 교차하여 형성되고, 그 교차지점에 복수의 스위칭 소자를 포함하는 화소가 구비되는 액정패널과, 이를 제어하기 위한 구동회로들로 이루어진다. 이러한 액정표시장치는 외부시스템으로부터 인가되는 디지털 비디오 신호를 기준전압을 이용하여 아날로그 데이터 전압으로 변환하고, 데이터배선에 공급함과 동시에 게이트 구동전압을 게이트 배선에 순차적으로 공급하여 스위칭 소자를 도통함으로써 데이터 신호를 액정 셀에 충전시키는 구조이다.
- [0005] 여기서, 상기 구동회로들은 액정패널에 게이트 배선을 통해 게이트 전압을 출력하는 게이트 구동부와, 데이터 배선을 통해 데이터 전압을 출력하는 데이터 구동부로 구성될 수 있으며, 두 구동부는 타이밍 제어부에 의한 제어에 의해 전원공급부로부터 구동을 위한 소정의 전압을 인가받아 구동된다.
- [0006] 도 1은 종래 액정표시장치의 구성부 중 일부를 개략적으로 나타낸 도면이다.
- [0007] 도 1을 참조하면, 종래 액정표시장치는 타이밍 신호에 대응하여 다수의 각종 제어신호를 생성하는 타이밍 제어부(40)와, 타이밍 제어부(40)로부터 제1 클럭신호(CLK\_on), 제2 클럭신호(CLK\_off), 게이트 개시신호(GST) 및 이븐오드신호(VEO)를 인가받아 게이트 구동부(30)의 구동을 위한 개시신호(Vst), 제1 및 제2 구동전압(VDD\_E, VDD\_O), 게이트클럭신호(GCLK1 ~ GCLK8)을 생성하는 전원공급부(60)를 포함한다. 여기서, 게이트클럭신호(GCLK1 ~ GCLK8)는 게이트 구동부의 사양에 따라, 4개에서 8개가 생성될 수 있다.
- [0008] 즉, 종래의 액정표시장치에서는 4개의 제어신호(CLK\_on, CLK\_off, Gst, VEO)를 이용하여 게이트 구동부(20)의 제어를 위한 각종 클럭신호 등의 게이트 제어신호를 생성하게 되며, 상기 제어신호들은 전원 발생부(60)내 실장된 레벨 쉬프터(level shifter, 미도시)에 의해 게이트 구동부(20)에서 요구되는 전압레벨로 승압 또는 감압되어 출력된다.
- [0009] 따라서, 타이밍 제어부(40) 및 전원발생부(60)에는 상기 4개의 제어신호(CLK\_on, CLK\_off, Gst, VEO)를 출력 및 입력하기 위한 적어도 4개의 입력단 및 출력단이 구비되어야만 한다. 게다가, 타이밍 제어부(40) 및 전원발생부(60)는 전술한 게이트 구동신호 이외에도 데이터 제어신호 및 기타 액정표시장치를 제어하기 위한 다수의 제어신호 및 전원신호를 입력 및 출력해야 함에 따라 다수의 단자가 필요하며, 이에 IC의 비용이 상승하고 각 단자를 연결하는 배선구조가 복잡해지는 문제가 있다.

### 발명의 내용

#### 해결하려는 과제

- [0010] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 액정표시장치의 게이트 구동부의 제어신호 생성로직을 개선함으로써, 타이밍 제어부 및 전원발생부의 입출력 단자의 개수를 줄이고, 연결배선 구조를 단순화하는 데 있다.

#### 과제의 해결 수단

- [0011] 전술한 목적을 달성하기 위해, 본 발명의 실시예에 따른 액정표시장치용 구동회로는, 게이트 구동부의 개시신호 및 구동전압 등을 생성하기 위해 별도의 제어신호를 이용하는 것이 아닌, 온 클럭신호 및 오프 클럭신호의 중첩 영역, 라이징 에지 및 폴링에지 시점을 논리연산하여 개시전압, 오드 및 이븐 구동전압 및 클럭신호를 생성하는 것을 특징으로 한다.

#### 발명의 효과

- [0012] 본 발명의 실시예에 따른 액정표시장치 및 이의 구동회로는, 기존 게이트 개시신호(GST)와 오드이븐신호(VEO)를

생략하고, 2상 파형을 갖는 제1 및 제2 클럭신호(CLK\_on, CLK\_off)를 이용하여 게이트 클럭신호 뿐만 아니라, 개시전압(ST)와 이븐오드신호(EO)를 생성하고 이에 기초하여 개시신호(Vst) 및 오드 구동전압(VDD\_odd) 및 이븐 구동전압(VDD\_even)을 생성함으로써, 구동회로의 입출력 개수를 줄여 단자수를 저감하고, 연결배선을 단순화할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0013] 도 1은 종래 액정표시장치의 구성부 중 일부를 개략적으로 나타낸 도면이다.
- 도 2는 본 발명의 실시예에 따른 액정표시장치의 전체 구조를 나타낸 도면이다.
- 도 3은 본 발명의 실시예에 따른 액정표시장치의 전원발생부의 구조를 나타낸 도면이다.
- 도 4는 본 발명의 실시예에 따른 액정표시장치의 제1 논리연산부의 일 예를 등가의 논리회로도로서 나타낸 도면이다.
- 도 5는 본 발명의 실시예에 따른 액정표시장치용 구동회로의 입출력 신호파형을 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0015] 본 명세서 상에서 언급한 '구비한다', '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0016] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0017] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관관계로 함께 실시할 수도 있다.
- [0018] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치 및, 이의 구동회로를 설명한다.
- [0019] 도 2는 본 발명의 실시예에 따른 액정표시장치의 전체 구조를 나타낸 도면이다.
- [0020] 도 2를 참조하면, 본 발명의 액정표시장치(100)는, 화상을 표시하는 액정패널(110), 액정패널(110)을 구동하는 게이트 및 데이터 구동부(120, 130), 두 구동부(120, 130)를 제어하는 타이밍 제어부(140) 및 액정표시장치의 구동에 필요한 클럭신호 및 구동전압을 생성하는 전원발생부(160)를 포함한다.
- [0021] 액정패널(110)은 글라스 또는 플라스틱을 이용한 투명기판 상에 제1 방향으로 형성되는 복수의 게이트배선(GL)과 제2 방향으로 형성되는 복수의 데이터배선(DL)이 매트릭스(matrix) 형태로 교차 형성되어 있고, 그 교차지점에 복수의 화소(PX)가 정의된다. 각 화소(PX)에는 적어도 하나의 박막트랜지스터(T)와 액정 캐패시터(LC), 그리고 도시되어 있지는 않지만 스토리지 캐패시터(미도시)가 구성되어 있다.
- [0022] 동일 수평선상의 박막트랜지스터(T)들의 게이트전극은 게이트 배선(GL)에 공통적으로 연결되어 있고, 동일 수직선상의 박막트랜지스터(T)의 소스전극은 데이터배선(DL)에 연결되어 있다. 또한, 드레인전극은 액정 캐패시터(LC)를 이루며 공통전극과 대향하는 화소전극과 연결되어 있다. 이러한 구조에 따라, 박막트랜지스터(T)가 도통되면, 데이터배선(DL)으로 인가되는 데이터 전압(Vdata)은 액정캐패시터(LC)에 전달되어 광 투과율이 변함에 따라 화상을 표시하게 된다.
- [0023] 이러한 구조에서, 각 박막트랜지스터(T)들은 스위칭 소자와 같이 동작하게 되며, 게이트 전압(Vg)이 하이레벨일 때 도통되고, 로우레벨일 때 오프되게 된다.

- [0024] 상기 게이트 전압(Vg)은 게이트 구동부(120)로부터 게이트 배선(GL)을 통해 하나의 수평선 단위로 인가된다.
- [0025] 게이트 구동부(120)는 타이밍 제어부(140)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 전원 발생부(160)에 의해 생성된 하나이상의 클럭신호(CLK1 ~ CLK4), 구동전압(VDD<sub>odd</sub>, VDD<sub>even</sub>), 기타 제어신호인 개시신호(Vst)에 의해 동작한다. 여기서, 클럭신호(CLK1 ~ CLK4)는 게이트 펄스 모듈레이션(Gate Pulse Modulation, GPM)을 구동을 위해 변조되거나, 또는 각 스테이지를 구동하기 위한 클럭신호로 이용될 수 있다. 그리고, 구동전압(VDD<sub>odd</sub>, VDD<sub>even</sub>)은 쉬프트 레지스터의 이웃한 두 스테이지에 각각 교번구동을 위해 각각 인가되는 전압이며, 개시신호(Vst)는 상기 쉬프트 레지스터의 첫 번째 스테이지에 인가되어 게이트 구동부(120)의 구동시점을 정의하는 신호이다.
- [0026] 또한, 게이트 제어신호(GCS)로는, 게이트 구동부(120)를 이루는 각 스테이지에 인가되어 하나씩 인에이블 시키는 클럭신호 파형의 게이트쉬프트클럭(GSC)과, 게이트 전압(Vg)의 출력을 제어하는 게이트출력인에이블 신호(GOE)등이 있다.
- [0027] 데이터 구동부(130)는 타이밍 제어부(140)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 정렬된 디지털 영상데이터(RGB)를 기준전압에 따라 아날로그 형태의 데이터 전압(Vdata)으로 변환하고, 데이터배선(DL)을 통해 액정패널(110)로 출력한다. 이러한 데이터 구동부(130)는 레지스터, 래치, DAC 및 출력버퍼(미도시)로 구성될 수 있으며, 상기 영상데이터(RGB)를 하나의 수평선 단위로 래치하고 기준전압을 이용하여 아날로그 파형으로 변환한 후 액정패널(110)의 각 화소(PX)에 데이터 전압(Vdata)으로서 인가하게 된다.
- [0028] 상기 데이터 제어신호(DCS)로는 데이터 구동부(130)의 영상데이터(RGB)의 샘플링 시작 타이밍을 결정하는 소스 스타트 펄스(SSP), 데이터 구동부(130)에서 데이터 샘플링 동작을 제어하는 클럭신호인 소스 쉬프트 클럭(SSC) 및, 데이터 구동부(130)의 출력 제어하는 소스 출력 인에이블 신호(SOE)등이 있다.
- [0029] 타이밍 제어부(140)는 외부시스템(미도시)으로부터 전송되는 디지털 영상 데이터(RGB)와, 수평 및 수직동기신호 및 데이터 인에이블 신호 등으로 이루어지는 타이밍 신호를 인가받아, 이를 통해 게이트 구동부(120) 및 데이터 구동부(130)의 제어신호(GCS, DCS)를 생성한다.
- [0030] 또한, 타이밍 제어부(140)는 입력된 영상신호를 데이터 구동부(130)에 의해 처리가능한 형태로 정렬하여 영상 데이터(RGB)로서 출력한다.
- [0031] 전원 발생부(160)은 액정표시장치(100)의 구동시 필요한 각종전압을 생성 및 제공하는 역할을 한다. 전원 발생부(160)에 의해 제공되는 전압으로는 전원전압(VDD) 및 접지전압(GND)뿐만 아니라, 화소(PX)의 공통전극에 인가되는 공통전압(Vcom), 감마전압(GMA), 게이트 하이 및 로우전압(VGH, VGL) 등이 있다. 전원발생부(160)는 외부의 전원으로부터 인가되는 하나이상의 전압을 내장된 레벨 쉬프터(level shifter)를 이용하여 소정의 전압레벨로 승압 또는 감압하여 필요한 전압 또는 클럭신호를 생성하게 된다.
- [0032] 특히, 본 발명의 실시예에 따른 전원 발생부(160)는 게이트 구동부(120)의 구동을 위한 제어신호 중, 개시신호(Vst) 및 구동전압(VDD<sub>odd</sub>, VDD<sub>even</sub>) 및 다수의 클럭신호(CLK1 ~ CLK4)를 생성하여 게이트 구동부(120)에 제공하게 되며, 이러한 신호를 생성하기 위한 기준이 되는 클럭신호로서 두 개의 온 클럭신호(CLK<sub>on</sub>) 및 오프 클럭신호(CLK<sub>off</sub>)만을 이용하는 것을 특징으로 한다.
- [0033] 즉, 종래의 전원 발생부(도 1의 60)에서는 타이밍 제어부(도 1의 40)로부터 온 클럭신호(CLK<sub>on</sub>) 및 오프 클럭신호(CLK<sub>off</sub>) 이외에도 게이트 개시신호(GST) 및 이븐오드 신호(VEO)를 더 입력받아 총 4개의 신호를 이용하여 상기 게이트 제어신호, 구동전압 및 클럭신호를 생성하였으나, 본 발명의 실시예에서는 상기 게이트 개시신호(GST) 및 이븐오드 신호(VEO)를 생략하고 온 클럭신호(CLK<sub>on</sub>) 및 오프 클럭신호(CLK<sub>off</sub>)으로 제어신호를 생성하게 된다.
- [0034] 여기서, 게이트 개시신호(GST)는 개시신호(Vst)를 정의하는 신호이고, 이븐오드 신호(VEO)는 오드 구동전압(VDD<sub>odd</sub>) 및 이븐 구동전압(VDD<sub>even</sub>)을 정의하는 신호이다. 본 발명에서는 상기 두 신호가 생략됨에 따라, 온 클럭신호(CLK<sub>on</sub>) 및 오프 클럭신호(CLK<sub>off</sub>)를 액정표시장치의 구동 구간별로 두 개의 서로 다른 파형을 갖도록 설정하고, 먼저 개시전압(ST) 및 이븐오드신호(E0)를 생성하며, 이후 클럭신호들을 생성하게 된다.
- [0035] 진술한 구조에 따라, 본 발명의 실시예에 따른 액정표시장치(100)는 종래 4 개의 신호를 이용하여 생성하던 게이트 제어신호 및 클럭신호들을 두 개의 클럭신호만을 이용하여 생성함에 따라, 타이밍 제어부 및 전원발생부간 연결배선을 두 개로 저감하여 IC 구조를 단순화 할 수 있을 뿐만 아니라, 연결배선 개수를 줄이는 동시에 그 배선들이 배치되는 영역을 축소시켜 배선이 형성되는 기판의 여분의 영역을 보다 넓게 확보할 수 있는 효과가 있다

다.

- [0036] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치에 포함되는 전원구동부의 구조를 보다 상세히 설명한다.
- [0037] 도 3은 본 발명의 실시예에 따른 액정표시장치의 전원발생부의 구조를 나타낸 도면이다.
- [0038] 도 3을 참조하면, 본 발명의 전원발생부(160)는 게이트 구동부(120) 및 타이밍 제어부(140) 사이에 연결되며, 타이밍 제어부(140)로부터 제공되는 온 클럭신호(CLK\_on) 및 오프 클럭신호(CLK\_off)를 입력받으며, 이에 기초하여 개시신호(Vst), 오드 구동전압(VDD\_odd), 이븐 구동전압(VDD\_even) 및 제1 내지 제4 클럭신호(CLK1 ~ CLK4)를 게이트 구동부(120)에 출력한다.
- [0039] 상세하게는, 전원발생부(160)는 입력되는 클럭신호를 개시전압(ST), 오드이븐신호(E0)를 생성하는 제1 논리 연산부(162)와, 오드이븐신호(E0)를 이용하여 오드신호(odd) 및 이븐신호(even), 그리고 초기클럭전압(c1 ~ c4)를 생성하는 제2 논리 연산부(165)와, 각 신호들을 소정전압레벨로 승압시켜 개시신호(Vst), 오드 구동전압(VDD\_odd), 이븐 구동전압(VDD\_even) 및 제1 내지 제4 클럭신호(CLK1 ~ CLK4)를 출력하는 레벨 쉬프터(168)를 포함한다.
- [0040] 여기서, 온 클럭신호(CLK\_on) 및 오프 클럭신호(CLK\_off)는 각각 출력구간별로 2개의 파형을 갖는 2상 클럭신호로서, 1 프레임(frame)내 블랭크(blank period) 구간에서는 일부구간이 중첩되고, 디스플레이(display) 구간에서는 서로 교번하여 하이레벨이 반복되는 파형을 갖는다.
- [0041] 제1 논리 연산부(162)는 전술한 파형의 온 클럭신호(CLK\_on) 및 오프 클럭신호(CLK\_off)에 대응하여 블랭크 구간동안 개시전압(ST)과 이븐오드신호(E0)를 생성한다. 특히, 제1 논리 연산부(162)는 온 클럭신호(CLK\_on) 및 오프 클럭신호(CLK\_off)의 중첩되는 구간에 대응하여 개시전압(ST)을 생성하고, 이를 레벨 쉬프터(168)로 출력한다. 또한, 나머지 구간에 대응하여 초기 이븐오드 신호(E0)를 생성하고 제2 논리 연산부(165)로 출력한다. 그리고, 온 클럭신호(CLK\_on) 및 오프 클럭신호(CLK\_off)는 그대로 제2 논리 연산부(165)로 출력된다.
- [0042] 이러한 제1 논리 연산부(162)는 전술한 방식으로 신호를 생성하기 위한 하나이상의 앤드게이트(AND gate) 및 인버터(Inverter)로 구성될 수 있다.
- [0043] 제2 논리연산부(165)는 제1 논리 연산부(162)로부터 수신한 이븐오드신호(E0)는 이용하여 1 프레임내 디스플레이 구간에서 서로 반전되는 오드신호(odd) 및 이븐신호(even)와, 제1 내지 제4 초기클럭전압(c1 ~ c4)를 생성한다. 상기 제2 논리연산부(165)는 이븐오드신호(E0)의 라이징에지(rising edge) 및 폴딩에지(falling edge)에 각각 대응하여 오드신호(odd) 및 이븐신호(even)를 생성하고, 온 클럭신호(CLK\_on)의 라이징에지 및 오프 클럭신호(CLK\_off)의 폴딩 에지에 대응하여 제1 내지 제4 초기클럭전압(c1 ~ c4)를 생성하여 레벨 쉬프터(168)로 출력한다.
- [0044] 레벨 쉬프터(168)은 입력되는 개시전압(ST), 오드신호(odd), 이븐신호(even), 제1 내지 제4 초기클럭전압(c1 ~ c4)를 소정레벨로 승압하여 각각 개시신호(Vst), 오드 구동전압(VDD\_odd), 이븐 구동전압(VDD\_even), 제1 내지 제4 클럭신호(CLK1 ~ CLK4)로서 게이트 구동부(120)로 출력한다.
- [0045] 또한, 도시되어 있지는 않지만, 6상 구동 게이트 구동부에 본 발명의 구동회로를 적용할 경우, 전술한 방식으로 제1 내지 제4 초기클럭전압(c1 ~ c4)이외에도 제5 및 제6 초기클럭전압을 더 생성하여 클럭신호를 추가하는 형태로 구현될 수 있다.
- [0046] 이러한 구조에 따라, 본 발명의 전원발생부(160)의 타이밍 제어부(140)의 두 클럭신호를 이용하여 게이트 구동을 위한 클럭신호 뿐만 아니라, 개시신호 및 이븐, 오드 구동전압을 생성할 수 있다.
- [0047] 이하, 도면을 참조하여 본 발명의 실시예에 따른 제1 논리연산부의 구조를 상세히 설명한다.
- [0048] 도 4는 본 발명의 실시예에 따른 액정표시장치의 제1 논리연산부의 일 예를 등가의 논리회로도로서 나타낸 도면이다.
- [0049] 도 4를 참조하면, 본 발명의 제1 논리연산부(162)는, 온 클럭신호(CLK\_on) 및 오프 클럭신호(CLK\_off)를 입력받아 이븐오드신호(E0) 및 개시전압(ST)을 생성하여 출력하고, 입력된 온 클럭신호(CLK\_on) 및 오프 클럭신호(CLK\_off)를 그대로 출력하는 복수의 앤드게이트(AG1 ~ AG4) 및 인버터(I1~I3)로 구성된다.
- [0050] 제1 앤드게이트(AG1)의 제1 입력단에는 제1 인버터(I1)가 연결되어 있으며, 제1 및 제2 입력단에는 각각 반전된

온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)가 입력된다.

- [0051] 제2 앤드게이트(AG2)의 제1 및 제2 입력단에는 각각 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)가 입력된다.
- [0052] 제3 앤드게이트(AG3)의 제2 입력단에는 제2 인버터(I2)가 연결되어 있으며, 제1 및 제2 입력단에는 각각 온 클록신호(CLK\_on) 및 반전된 제2 앤드게이트(AG2)의 출력신호가 입력된다.
- [0053] 제4 앤드게이트(AG4)의 제1 입력단에는 제3 인버터(I3)가 연결되어 있으며, 제1 및 제2 입력단에는 각각 반전된 제2 앤드게이트(AG2)의 출력신호 및 오프 클록신호(CLK\_off)가 입력된다.
- [0054] 이러한 연결구조에 따라, 제1 내지 제4 앤드게이트(AG1 ~ AG4)는 각각 이븐오드신호(EO), 개시전압(ST), 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)를 출력하게 되며, 이하 신호파형도를 함께 참조하여 본 발명의 액정 표시장치의 전원발생부의 구동방법을 설명한다.
- [0055] 도 4 및 도 5를 참조하면, 본 발명의 액정표시장치의 전원발생부는, 타이밍 제어부로부터 1 프레임내에서 블랭크 구간(blank period)에서 제1 파형의 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)를 입력받게 된다.
- [0056] 상기 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)의 제1 파형은 라이징 에지가 동일하며, 오프 클록신호(CLK\_off)의 폴링에지가 온 클록신호(CLK\_on)의 폴링에지보다 이후에 발생하는 파형을 갖는다.
- [0057] 이에 따라, 블랭크 구간(blank period)에서 제1 앤드게이트(AG1)는 반전된 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)를 입력받게 되며, 두 클록신호가 중첩되는 구간에서는 출력이 로우레벨이 되고, 온 클록신호(CLK\_on)의 폴링에지에서부터 출력이 하이레벨이 된다. 따라서, 제1 앤드게이트(AG1)는 오프 클록신호(CLK\_off)만이 하이레벨인 구간에 대응하여 이븐오드신호(EO)를 생성하게 된다.
- [0058] 즉, 이븐오드신호(EO)는 라이징에지가 온 클록신호(CLK\_on)의 폴링에지에 대응되고, 폴링에지가 오프 클록신호(CLK\_off)의 폴링에지에 대응되도록 형성된다.
- [0059] 그리고, 제2 앤드게이트(AG2)는 두 클록신호(CLK\_on, CLK\_off)가 모두 하이레벨인 구간에서 출력이 하이레벨이 됨에 따라, 온 클록신호(CLK\_on)에 대응되는 개시전압(ST)이 형성된다. 따라서, 개시전압(ST)은 라이징 에지 및 폴링에지가 온 클록신호(CLK\_on)의 라이징에지 및 폴링에지에 대응되게 된다. 이러한 개시전압(ST)은 레벨 쉬프터(도 3의 168)에 의해 증폭되어 개시신호(Vst)로서 출력된다.
- [0060] 제3 앤드게이트(AG3) 및 제4 앤드게이트(AG4)는 제2 및 제3 인버터(I2, I3)에 의해 반전된 개시전압(ST)을 인가받으며, 각각 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)가 인가됨에 따라, 블랭크 구간(blank period)에서는 출력되지 않으며, 디스플레이 구간(display period)에는 입력된 파형 그대로 출력된다.
- [0061] 한편, 도시되어 있지는 않지만, 제1 앤드게이트(AG1)를 통해 출력되는 이븐오드신호(EO) 및 제3 및 제4 앤드게이트(AG3, AG4)를 통해 출력되는 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)는 제2 논리연산부(도 3의 165)에 입력된다.
- [0062] 여기서, 제2 논리연산부는 블랭크 구간(blank period)에서 이븐오드신호(EO)를 이용하여 오드신호(odd) 및 이븐신호(even)를 생성하게 되는데, 도 5에 도시된 바와 같이, 이븐오드신호(EO)의 폴링에지에 대응하여 하이레벨이 되는 오드신호(odd)와 이븐오드신호(EO)의 라이징에지에 대응하여 로우레벨이 되는 이븐신호(even)를 생성할 수 있으며, 이는 레벨 쉬프터에 의해 오드구동전압(VDD\_odd) 및 이븐구동전압(VDD\_even)으로 증폭되어 게이트 구동부에 출력된다.
- [0063] 또한, 디스플레이 구간(display period)에서는 제2 논리연산부가 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)에 대응하여 제1 내지 제4 초기클록전압(c1 ~ c4)를 생성하게 된다. 도 5를 참조하면, 제1 초기클록전압(c1)은 라이징 에지가 온 클록신호(CLK\_on)의 라이징 에지에 대응하여 설정되고, 폴링 에지가 오프 클록신호(CLK\_off)의 폴링 에지에 대응하여 설정된다. 또한, 제1 초기클록전압(c1) 이후, 나머지 제2 내지 제4 초기클록전압(c2 ~ c4)도 온 클록신호(CLK\_on)의 라이징 에지 및 오프 클록신호(CLK\_off)의 폴링 에지에 대응하여 순차적으로 설정된다.
- [0064] 상기 제1 내지 제4 초기클록전압(c1 ~ c4)은 레벨 쉬프터(도 3의 168)에 의해 제1 내지 제4 클록신호(CLK1 ~ CLK4)로 승압되어 출력된다.
- [0065] 이러한 과정을 통해, 본 발명의 액정표시장치용 구동회로는 온 클록신호(CLK\_on) 및 오프 클록신호(CLK\_off)만

으로 개시신호(Vst), 오드 구동전압(VDD\_odd), 이븐 구동전압(VDD\_even), 제1 내지 제4 클럭신호(CLK1 ~ CLK 4)를 생성하게 된다.

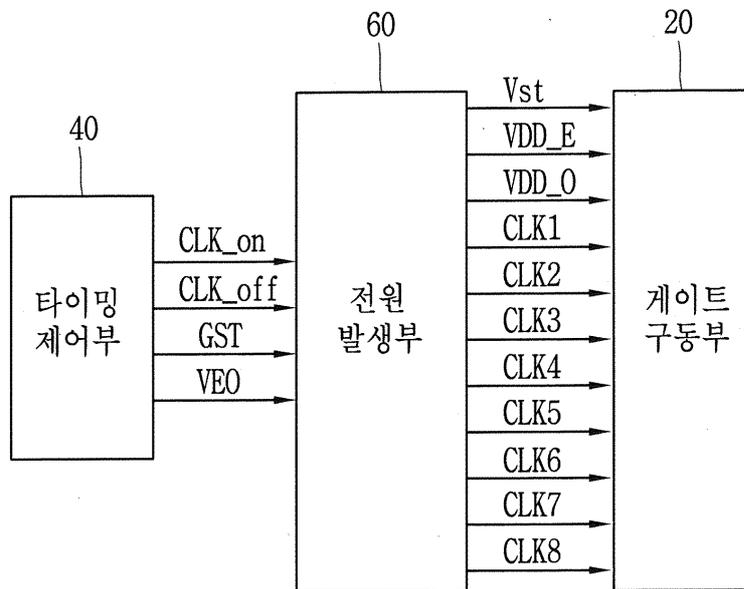
[0066] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

**부호의 설명**

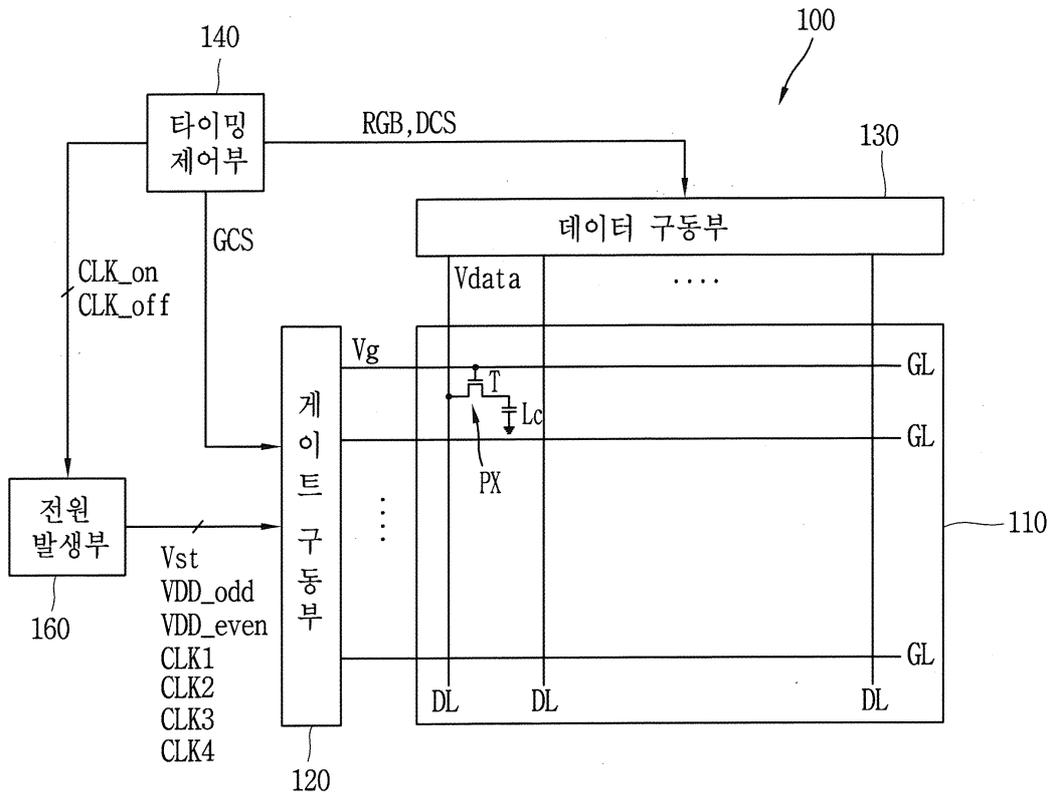
- [0067]
- 100 : 액정표시장치    110 : 액정패널
  - 120 : 게이트 구동부    130 : 데이터 구동부
  - 140 : 타이밍 제어부    160 : 전원 발생부
  - PX : 화소            T : 트랜지스터
  - LC : 액정캐패시터    GL : 게이트배선
  - DL : 데이터배선      Vg : 게이트전압
  - Vdata : 데이터전압    GCS : 게이트 제어신호
  - DCS : 데이터제어신호    Vst : 개시신호
  - VDD\_odd : 오드구동전압    VDD\_even : 이븐구동전압
  - CLK1 ~ CLK4 : 제1 내지 제4 클럭신호
  - CLK\_on : 온 클럭신호    CLK\_off : 오프 클럭신호

**도면**

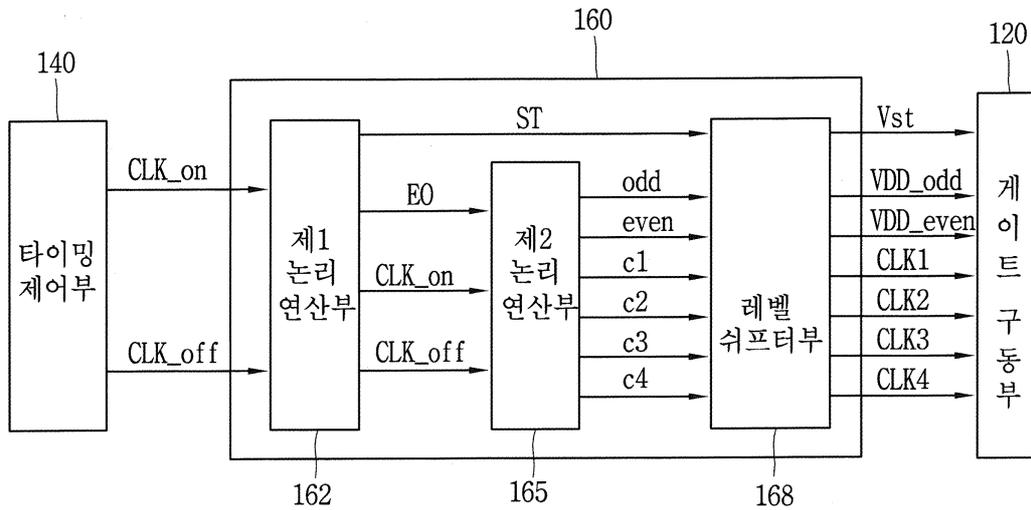
**도면1**



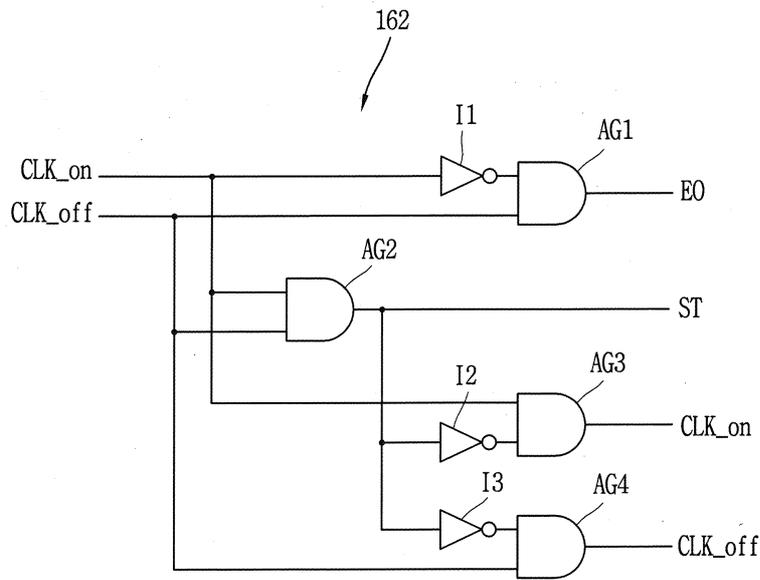
도면2



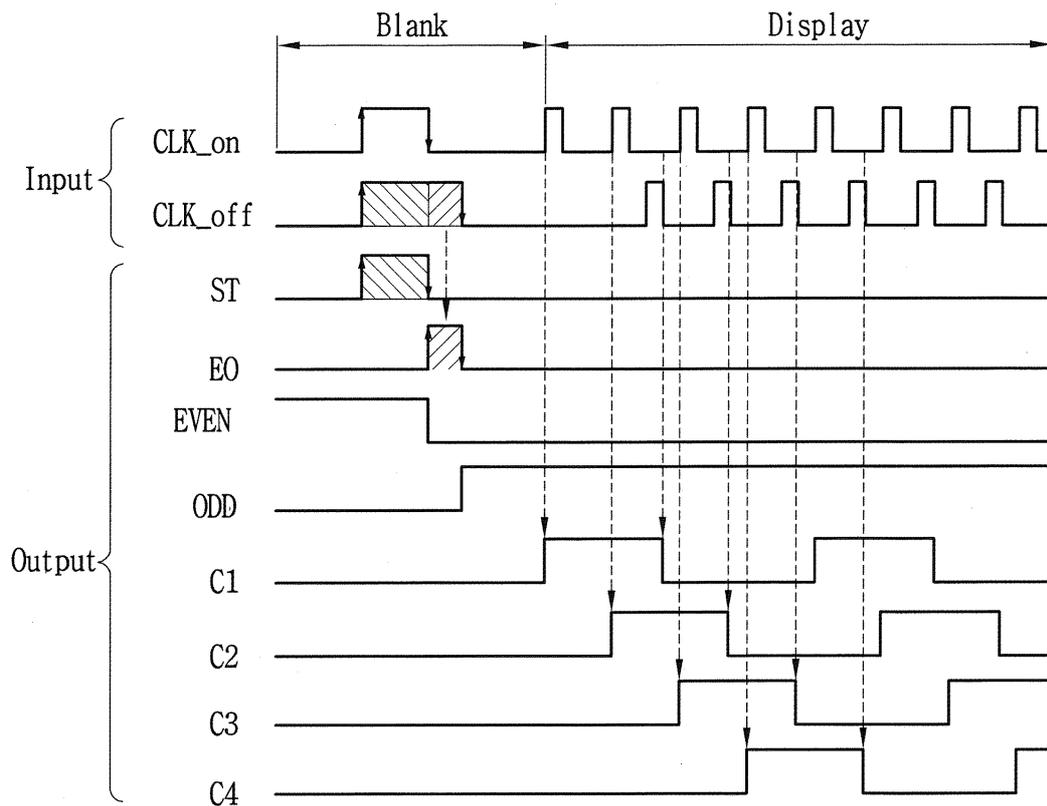
도면3



도면4



도면5



专利名称(译)	标题：液晶显示装置及其驱动电路		
公开(公告)号	<a href="#">KR1020160090188A</a>	公开(公告)日	2016-07-29
申请号	KR1020150010186	申请日	2015-01-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEON JIN 전진 KIM JAEHYUK 김재혁 KIM HYUNWOOK 김현욱		
发明人	전진 김재혁 김현욱		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648		
代理人(译)	박장원		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明公开了一种液晶显示装置。更具体地，本发明涉及一种液晶显示装置及其驱动电路，其产生用于使用少量时钟信号控制栅极驱动器的各种控制信号。根据本发明的实施例，省略了传统的栅极起始信号GST和odeven信号VEO，并且具有两相波形的第一和第二时钟信号CLK\_on和CLK\_off用于产生栅极时钟信号。通过基于起始电压ST和奇数信号EO产生起始信号Vst和奇数驱动电压VDD\_odd以及偶数驱动电压VDD\_even来减少驱动电路的输入和输出的数量。具有可以减少端子数量并且可以简化连接布线的效果。

