



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0029232
(43) 공개일자 2016년03월15일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2014-0117911
(22) 출원일자 2014년09월04일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신승환
전남 순천시 조례못등길 5, 204동 506호 (조례동, 동신2차아파트)
이주영
경기 파주시 후곡로 77, 103동 402호 (금촌동, 쇠재마을풍림아이원아파트)
(74) 대리인
특허법인로알

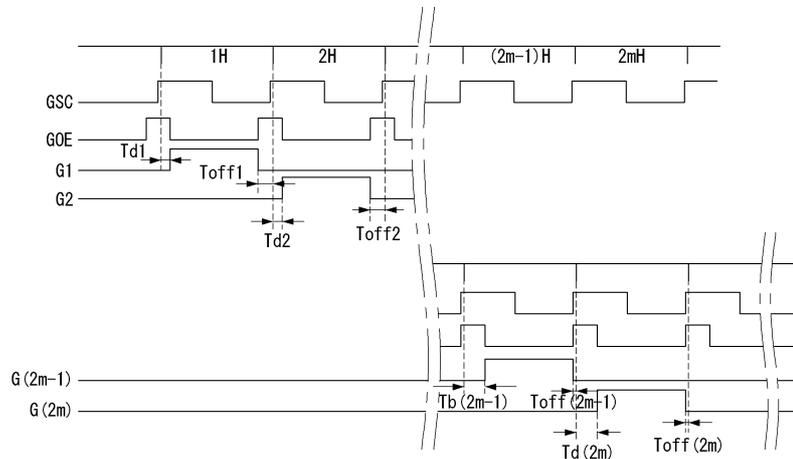
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명에 의한 액정표시장치는 기수 게이트라인 및 우수 게이트라인을 포함하는 게이트라인 및 데이터라인이 형성되는 액정패널, 기수 게이트라인에 게이트펄스를 제공하는 제1 게이트 구동부, 우수 게이트라인에 게이트펄스를 제공하는 제2 게이트 구동부, 데이터라인으로 데이터전압을 제공하는 데이터 구동부 및 게이트펄스의 출력 타이밍을 제어하는 게이트 타이밍 제어신호를 상기 제1 및 제2 게이트 구동부로 제공하는 타이밍 콘트롤러를 포함한다. 타이밍 콘트롤러는 데이터전압을 늦게 제공받는 수평라인에 연결되는 게이트라인일수록 폴링 시점이 지연되는 게이트펄스를 제공받도록 게이트 타이밍 제어신호를 출력한다.

대표도 - 도6



(72) 발명자

박용화

경기 파주시 쇠재로 133, 505동 1602호 (금촌동,
쇠재마을아파트)

권기태

경기 파주시 월롱면 엘씨디로 201, E동 214호 (정
다운마을)

명세서

청구범위

청구항 1

기수 게이트라인 및 우수 게이트라인을 포함하는 게이트라인 및 데이터라인이 형성되는 액정패널;
 상기 기수 게이트라인에 게이트펄스를 제공하는 제1 게이트 구동부;
 상기 우수 게이트라인에 게이트펄스를 제공하는 제2 게이트 구동부;
 상기 데이터라인으로 데이터전압을 제공하는 데이터 구동부; 및
 상기 게이트펄스의 출력 타이밍을 제어하는 게이트 타이밍 제어신호를 상기 제1 및 제2 게이트 구동부로 제공하는 타이밍 콘트롤러를 포함하되,
 상기 타이밍 콘트롤러는 상기 데이터전압을 늦게 제공받는 수평라인에 연결되는 상기 게이트라인일수록 폴링 시점이 지연되는 상기 게이트펄스를 제공하도록 상기 게이트 타이밍 제어신호를 출력하는 표시장치.

청구항 2

제 1 항에 있어서,
 상기 액정패널의 화소들에 충전되는 상기 데이터전압 충전 특성 곡선이 시간에 지날수록 충전량이 적어지는 형태일 때,
 상기 타이밍 콘트롤러는 인접하는 상기 기수 게이트라인 및 상기 우수 게이트라인에 제공되는 상기 게이트펄스의 폴링 시점을 상기 데이터전압 충전 특성 곡선에서 시간축을 따라서 후단으로 이동시키도록 상기 게이트펄스를 지연시키는 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 타이밍 콘트롤러는
 $2m$ (m 은 자연수)개의 게이트라인을 $2m$ 수평주기 동안에 스캔하도록 상기 게이트 타이밍 제어신호를 제어하되,
 제 i (i 는 1 이상이며 $2m$ 이하인 자연수) 게이트라인에 제공되는 제 i 게이트펄스 및 제 $(i-1)$ 게이트라인에 제공되는 제 $(i-1)$ 게이트펄스의 펄스 폭은 동일하며,
 제 i 수평주기의 시작부터 상기 제 i 게이트펄스의 출력시점 간의 구간이 제 $(i-1)$ 수평주기의 시작부터 상기 제 $(i-1)$ 게이트펄스의 출력시점 간의 구간보다 길게 설정되도록 상기 게이트 타이밍 제어신호를 제어하는 액정표시장치.

청구항 4

제 1 항에 있어서,
 상기 타이밍 콘트롤러는
 $2m$ (m 은 자연수)개의 게이트라인을 $2m$ 수평주기 동안에 스캔하도록 상기 게이트 타이밍 제어신호를 제어하되,
 제 i (i 는 1 이상이며 $2m$ 이하인 자연수) 수평주기의 시작부터 제 i 게이트라인에 제공되는 제 i 게이트펄스의 출력시점 간의 구간과 제 $(i-1)$ 수평주기의 시작부터 제 $(i-1)$ 게이트라인에 제공되는 제 $(i-1)$ 게이트펄스의 출력시점

간의 구간은 동일하며,

상기 제 i 게이트펄스의 폭은 상기 제 $(i-1)$ 게이트펄스의 폭보다 크도록 상기 게이트 타이밍 제어신호를 제어하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 타이밍 콘트롤러는

$2m$ (m 은 자연수)개의 게이트라인을 m 수평주기 동안에 스캔하도록 m 개의 상기 기수 게이트라인 및 m 개의 상기 우수 게이트라인을 각각 m 수평주기 동안에 스캔하며,

제 $(2i-1)$ (i 는 1 이상이며 m 이하인 자연수) 기수 게이트라인에 제공되는 제 $(2i-1)$ 게이트펄스 및 제 $(2i-3)$ 기수 게이트라인에 제공되는 제 $(2i-3)$ 게이트펄스의 펄스 폭은 동일하며,

제 $(2i-1)$ 수평주기의 시작부터 상기 제 $(2i-1)$ 게이트펄스의 출력시점 간의 구간이 제 $(2i-3)$ 수평주기의 시작부터 상기 제 $(2i-3)$ 게이트펄스의 출력시점 간의 구간보다 길게 설정되고,

제 $2i$ 우수 게이트라인에 제공되는 제 $2i$ 게이트펄스 및 제 $(2i-2)$ 우수 게이트라인에 제공되는 제 $(2i-2)$ 게이트펄스의 펄스 폭은 동일하며,

제 $2i$ 수평주기의 시작부터 상기 제 $2i$ 게이트펄스의 출력시점 간의 구간이 제 $(2i-2)$ 수평주기의 시작부터 상기 제 $(2i-2)$ 게이트펄스의 출력시점 간의 구간보다 길게 설정되도록 상기 게이트 타이밍 제어신호를 제어하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 타이밍 콘트롤러는

$2m$ (m 은 자연수)개의 게이트라인을 m 수평주기 동안에 스캔하도록 m 개의 상기 기수 게이트라인 및 m 개의 상기 우수 게이트라인을 각각 m 수평주기 동안에 스캔하며,

제 $(2i-1)$ (i 는 1 이상이며 m 이하인 자연수) 수평주기의 시작부터 제 $(2i-1)$ 기수 게이트라인에 제공되는 제 $(2i-1)$ 게이트펄스의 출력시점 간의 구간과 제 $(2i-3)$ 수평주기의 시작부터 제 $(2i-3)$ 기수 게이트라인에 제공되는 제 $(2i-3)$ 게이트펄스의 출력시점 간의 구간은 동일하며,

상기 제 $(2i-1)$ 게이트펄스의 폭이 상기 제 $(2i-3)$ 게이트펄스의 펄스 폭보다 길게 유지되고,

제 $2i$ 수평주기의 시작부터 제 $2i$ 우수 게이트라인에 제공되는 제 $2i$ 게이트펄스의 출력시점 간의 구간과 제 $(2i-2)$ 수평주기의 시작부터 제 $(2i-2)$ 우수 게이트라인에 제공되는 제 $(2i-2)$ 게이트펄스의 펄스의 출력시점 간의 구간은 동일하며,

상기 제 $2i$ 게이트펄스의 폭이 상기 제 $(2i-2)$ 게이트펄스의 펄스 폭보다 길게 유지되도록 상기 게이트 타이밍 제어신호를 제어하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 타이밍 콘트롤러는

$2m$ (m 은 자연수)개의 게이트라인을 $2m$ 수평주기 동안에 스캔하도록 상기 게이트 타이밍 제어신호를 제어하되,

제 i (i 는 1 이상이며, $2m$ 이하인 자연수) 게이트라인에 제공되는 제 i 게이트펄스의 폴링 시점과 제 i 수평주기의

종료시점 간의 구간을 제 i 게이트오프 구간이라고 할 때, 제 i 게이트오프 구간과 제 $(i-1)$ 게이트오프 구간 간의 간격 차이는 제 $(i+1)$ 게이트오프 구간과 제 i 게이트오프 구간 간의 간격 차이와 동일하도록 상기 게이트 타이밍 제어신호를 제어하는 표시장치.

청구항 8

제 1 항에 있어서,

상기 타이밍 콘트롤러는

$2m$ (m 은 자연수)개의 게이트라인을 m 수평주기 동안에 스캔하도록 m 개의 상기 기수 게이트라인 및 m 개의 상기 우수 게이트라인을 각각 m 수평주기 동안에 스캔하도록 상기 게이트 타이밍 제어신호를 제어하되,

제 i (i 는 1 이상이며, m 이하인 자연수) 게이트라인에 제공되는 제 i 게이트펄스의 폴링 시점과 제 i 수평주기의 종료시점 간의 구간을 제 i 게이트오프 구간이라고 할 때,

제 $(2i-1)$ 게이트오프 구간과 제 $(2i-3)$ 게이트오프 구간 간의 간격 차이는 제 $(2i-3)$ 게이트오프 구간과 제 $(2i-5)$ 게이트오프 구간 간의 간격 차이와 동일하고,

제 $2i$ 게이트오프 구간과 제 $(2i-2)$ 게이트오프 구간 간의 간격 차이는 제 $(2i-2)$ 게이트오프 구간과 제 $(2i-4)$ 게이트오프 구간 간의 간격 차이와 동일하도록 상기 게이트 타이밍 제어신호를 제어하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 평판표시장치에는 액정표시장치(Liquid Crystal Display : LCD), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 유기 발광다이오드소자(Organic Light Emitting Diode Device, OLED) 등이 있다. 평판표시장치는 데이터라인들과 게이트라인들이 직교되도록 배치되고, 데이터라인과 게이트라인이 직교하는 영역이 하나의 화소로 정의된다. 화소들은 패널에서 매트릭스 형태로 복수 개가 형성된다. 각 화소들을 구동하기 위해서, 데이터라인들에는 표시하고자 하는 비디오 데이터전압이 공급되고 게이트라인들에는 게이트 펄스가 순차적으로 공급된다. 그리고 게이트펄스가 공급되는 표시라인의 픽셀들에 비디오 데이터전압이 공급되며, 모든 표시라인들이 게이트펄스에 의해 순차적으로 스캐닝되면서 비디오 데이터를 표시한다.

[0003] 근래에는 액정패널의 해상도가 증가하고 게이트라인의 개수가 늘어남에 따라서 하나의 게이트라인을 스캔하는 시간이 줄어들고 있다. 이에 대응하여, 게이트라인의 스캔 시간을 확보하기 위해서 두 개의 게이트 구동부를 이용하여 각각의 게이트 구동부가 전체 게이트라인들의 1/2 개의 게이트라인을 구동하는 더블-스캔 구동방식이 이용되기도 한다.

[0004] 더블-스캔 구동방식에서, 액정패널의 가장자리에 위치한 화소들은 각각의 게이트 구동부로부터 제공받는 게이트 펄스들의 딜레이가 서로 다르기 때문에 인접하는 수평라인 간의 화소들은 서로 다른 데이터 충전 타이밍을 갖는다. 즉, 동일한 열에서 인접하는 수평화소들은 서로 동일한 데이터를 표시하려고 하여도, 데이터 충전 타이밍이 다르기 때문에 서로 간의 휘도 차이가 발생한다. 데이터전압을 늦게 제공받는 후단의 수평라인들은 데이터 전압의 딜레이 현상이 심해져서, 인접하는 수평라인 간의 휘도 편차가 심해져서 육안으로도 쉽게 구분되는 수평 락 현상이 발생한다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명의 목적은 액정패널의 위치별 데이터 충전편차를 완화할 수 있도록 한 표시장치와 그의 데이터 충전편차 보상방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여, 본 발명에 의한 액정표시장치는 기수 게이트라인 및 우수 게이트라인을 포함하는 게이트라인 및 데이터라인이 형성되는 액정패널, 기수 게이트라인에 게이트펄스를 제공하는 제1 게이트 구동부, 우수 게이트라인에 게이트펄스를 제공하는 제2 게이트 구동부, 데이터라인으로 데이터전압을 제공하는 데이터 구동부 및 게이트펄스의 출력 타이밍을 제어하는 게이트 타이밍 제어신호를 상기 제1 및 제2 게이트 구동부로 제공하는 타이밍 콘트롤러를 포함한다. 타이밍 콘트롤러는 데이터전압을 늦게 제공받는 수평라인에 연결되는 게이트라인일수록 폴링 시점이 지연되는 게이트펄스를 제공받도록 게이트 타이밍 제어신호를 출력한다.

발명의 효과

[0007] 본 발명은 데이터전압 딜레이에 의해서 서로 인접하는 기수 수평라인 및 우수 수평라인에 형성되는 화소들 간의 휘도차이를 줄일 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명에 의한 액정표시장치의 구성을 나타내는 도면.
- 도 2는 본 발명에 의한 데이터 구동부의 구성을 나타내는 도면.
- 도 3은 본 발명에 의한 게이트 구동부의 구성을 나타내는 도면.
- 도 4 및 도 5는 수평 뒹 현상을 설명하는 도면.
- 도 6은 제1 실시 예에 의한 게이트 제어신호 및 게이트펄스를 나타내는 도면.
- 도 7은 수평 뒹 현상을 개선하는 원리를 설명하는 도면.
- 도 8은 제2 실시 예에 의한 게이트 제어신호 및 게이트펄스를 나타내는 도면.
- 도 9는 제3 실시 예에 의한 게이트 제어신호 및 게이트펄스를 나타내는 도면.
- 도 10은 제4 실시 예에 의한 게이트 제어신호 및 게이트펄스를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0009] 이하 첨부된 도면을 참조하여 액정표시장치를 중심으로 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단 되는 경우, 그 상세한 설명을 생략한다.

[0010] 도 1은 본 발명에 의한 액정표시장치의 구성을 나타내는 도면이다.

[0011] 도 1을 참조하면, 본 발명에 의한 액정표시장치(Liquid Crystal Display, LCD)는 액정패널(100), 타이밍 콘트롤러(200), 데이터 구동부(300), 제1 및 제2 게이트 구동부(410,420)를 포함한다.

[0012] 액정패널(100)은 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이기판 및 컬러필터가 형성되는 컬러필터기판을 포함하고, 박막트랜지스터 어레이기판과 컬러필터기판 사이에는 액정층이 형성된다.

[0013] 액정패널(100)의 박막트랜지스터 어레이기판은 종횡으로 배열된 게이트라인(GL) 및 데이터라인(DL1~DLn)에 의해 정의되는 화소(P)들이 매트릭스 형태로 배열된다. 게이트라인(GL1~GL2m)은 기수 게이트라인(GL1~GL[2m-1]) 및 우수 게이트라인(GL2~GL2m)을 포함한다. 기수 게이트라인(GL1~GL[2m-1])은 홀수 번째 수평라인에 배열되는 화

소들에 연결되고, 우수 게이트라인(GL2~GL[2m])은 짝수 번째 수평라인에 배열되는 화소들에 연결된다.

- [0014] 화소(P)는 게이트 라인(GL) 및 데이터 라인(DL)이 교차하는 영역으로 정의될 수 있고, 박막트랜지스터(TFT), 스토리지 커패시터(Cst) 및 액정 커패시터(C1c)를 포함한다.
- [0015] 박막트랜지스터(TFT)는 게이트라인(GL) 및 데이터라인(DL)에 연결되고, 스토리지 커패시터(Cst) 및 액정 커패시터(C1c)는 박막트랜지스터(TFT)에 연결된다. 액정 커패시터(C1c)는 박막 트랜지스터(TFT)에 연결되는 화소전극(미도시), 액정층 및 공통전극으로 구성되어, 화소전극에 인가되는 데이터 신호에 대응되는 계조를 표시하는 역할을 하고, 스토리지 커패시터(Cst)는 데이터 신호를 일 프레임 동안 저장하여 화소전극의 전압을 일정하게 유지한다.
- [0016] 데이터 구동부(300)는 타이밍 콘트롤러(210)로부터 디지털 비디오 데이터들(RGB)을 입력받는다. 데이터 구동부(300)는 타이밍 콘트롤러(210)로부터 제공받는 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터(RGB)를 정극성/부극성 아날로그 데이터전압으로 변환한 후에 그 데이터전압을 게이트펄스(또는 스캔펄스)에 동기되도록 표시패널(100)의 데이터라인들에 공급한다.
- [0017] 도 2는 데이터 구동부(300)의 구성을 나타내는 블록도이다.
- [0018] 도 2를 참조하면, 데이터 구동부(300)는 레지스터부(310), 제1 래치(320), 제2 래치(330), 디지털-아날로그-변환부(Digital to Analog Converter; 이하, DAC)(340) 및 출력부(350)를 포함한다.
- [0019] 레지스터부(310)는 타이밍 콘트롤러(200)로부터 제공받는 데이터 제어신호들(SSC, SSP)을 이용하여 입력 영상의 RGB 디지털 비디오 데이터 비트를 샘플링하고, 이를 제1 래치(320)에 제공한다.
- [0020] 제1 래치(320)는 레지스터부(310)로부터 순차적으로 제공받은 클럭에 따라서 디지털 비디오 데이터 비트를 샘플링하여 래치하고, 래치한 데이터들을 동시에 출력한다. 제2 래치(330)는 제1 래치(320)로부터 제공받은 데이터들을 래치하고, 소스출력인에이블신호(SOE)에 응답하여 래치한 데이터들을 동시에 출력한다.
- [0021] DAC(340)는 제2 래치부(330)로부터 입력된 비디오 데이터들을 감마보상전압(GMA)으로 변환하여 아날로그 비디오 데이터전압을 발생한다.
- [0022] 출력부(350)는 소스 출력 인에이블신호(SOE)의 로우논리기간 동안에, DAC(247)에서 출력하는 아날로그 형태의 데이터전압(DATA)을 데이터라인(DL)들에 제공한다.
- [0023] 제1 게이트 구동부(410)는 타이밍 콘트롤러(200)로부터 제공받는 게이트 타이밍 제어신호에 응답하여 제(2k-1)(k는 m 이하의 자연수) 게이트라인에 제공되는 게이트 펄스를 생성한다. 이를 위해서 제1 게이트 구동부(410)는 도 3에서와 같이, 쉬프트 레지스터(411), 레벨 쉬프터(415) 및 쉬프트 레지스터(411)와 레벨 쉬프터(415) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(412)를 구비한다.
- [0024] 쉬프트 레지스터(411)는 종속적으로 접속된 다수의 플립플롭을 이용하여 게이트 스타트 펄스(Gate start pulse, GSP)를 게이트 쉬프트 클럭(Gate Shift Clock, GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(412) 각각은 쉬프트 레지스터(411)의 플립플롭의 비반전 출력신호와 게이트출력인에이블신호(Gate Output Enable, GOE)의 반전신호를 논리곱하여 출력을 발생한다. 게이트 출력 인에이블신호(GOE)는 인버터(413)에 의해 반전되어 AND 게이트(412)의 일측 입력단자에 입력된다. 레벨 쉬프터(415)는 AND 게이트(412)의 출력전압 스윙폭을 액정 표시패널의 TFT의 동작이 가능한 스윙폭으로 쉬프트시킨다. 레벨 쉬프터(415)의 출력신호(G1 내지 G[2m-1])는 m(k는 정수) 개의 게이트라인들에 순차적으로 공급된다.
- [0025] 이와 유사하게, 제2 게이트 구동부(420)는 타이밍 콘트롤러(200)로부터 제공받는 게이트 타이밍 제어신호에 응답하여 제2k(k는 m 이하의 자연수) 게이트라인에 제공되는 게이트 펄스를 생성한다
- [0026] 타이밍 콘트롤러(200)는 시스템보드(미도시)로부터 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 입력받아 출력 데이터 인에이블신호와 출력 클럭신호를 생성한다. 타이밍 콘트롤러(200)는 수평라인들 각각의 데이터전압 충전기간을 조절하기 위해서, 제1 및 제2 게이트 구동부(410, 420)의 동작 타이밍을 제어한다. 이처럼 타이밍 콘트롤러(200)가 제1 및 제2 게이트 구동부(410, 420)의 동작 타이밍을 제어하는 이유는 데이터 전압 충전기간의 차이로 인해서 수평 덩이 발생하는 것을 개선하기 위한 것이다. 데이터전압 충전기간의 차이로 인한 수평 덩 현상을 설명하면 다음과 같다.
- [0027] 액정패널(100)의 화소(P)들은 게이트펄스에 의해서 박막트랜지스터(TFT)가 턴-온되면, 데이터라인(DL)을 통해서 제공받는 데이터전압에 의해서 충전된다. 각 수평라인들과 데이터 구동부(300)와의 간격은 서로 다르기

때문에, 각 수평라인들이 제공받는 데이터전압이 지연되는 정도도 서로 다르다. 예컨대, 도 4에서와 같이, 제1 수평라인에 가까운 위치에서는 데이터전압이 ' Δt_0 ' 만큼 지연된다면, 제2 수평라인에 가까운 위치에서는 데이터전압은 ' Δt_0 ' 보다 긴 ' Δt_1 ' 만큼 지연된다. 또한, 데이터전압의 딜레이 현상이 더 심해질수록 데이터전압이 충전되는 속도도 늦춰져서 데이터전압의 충전 그래프는 딜레이 현상이 없을 때보다 기울기가 더 완만해진다. 데이터전압의 딜레이 현상은 수평라인 간의 데이터전압 충전 편차를 야기한다. 데이터전압의 딜레이 현상은 데이터라인의 길이에 비례하기 때문에 인접하는 수평라인 간에 발생하는 데이터전압의 충전 편차는 비슷하다. 따라서 데이터전압의 딜레이 현상으로 인해서 각 수평라인 간에는 차이가 비슷한 휘도 편차가 발생하기 때문에 사용자의 시인성에는 큰 영향을 끼치지 않는다.

[0028] 하지만, 게이트라인(GL)을 기수 게이트라인(GL1~GL[2m-1]) 및 우수 게이트라인(GL2~GL[2m])으로 구분하여 더블-스캔하는 경우에는 인접하는 게이트라인(GL)에 제공되는 게이트펄스의 딜레이 정도도 달라지기 때문에 데이터전압의 딜레이 현상으로 인한 수평라인 간의 휘도 차이가 심해진다. 예컨대, 도 4에 도시된 제1 화소(P1) 및 제2 화소(P2)의 데이터충전 편차를 살펴보면 다음과 같다. 제1 및 제2 화소(P1,P2)는 제1 게이트 구동부(410)가 배치된 액정패널(100)의 가장자리 영역에 위치한 화소들이다. 제1 화소(P1)는 (2k-1) 번째 행의 수평라인(HL[2k-1])에 연결되고, 제2 화소(P2)는 2k 번째 행의 수평라인(HL2k)에 연결된다. 따라서, 제1 화소(P1)는 제1 게이트 구동부(410)를 통해서 제공받는 게이트펄스에 의해서 스캔되고, 제2 화소(P2)는 제2 게이트 구동부(420)를 통해서 제공받는 게이트펄스에 의해서 스캔된다. 제1 및 제2 화소(P1,P2)는 제1 게이트 구동부(410)와 가깝게 위치하기 때문에, 도 5에서와 같이, 제1 화소(P1)에 제공되는 제(2k-1) 게이트펄스(G[2k-1]) 보다 제2 화소(P2)에 제공되는 제2k 게이트펄스(G[2k])의 딜레이가 더 심하게 된다. 따라서, 제2 화소(P2)에 제공되는 제2k 게이트펄스(G[2k])의 폴링(falling) 시점도 제1 화소(P1)에 제공되는 제(2k-1) 게이트펄스(G1~G2m)의 폴링 시점보다 ' Δt_f ' 만큼 늦어진다. 또한, 제1 및 제2 화소(P1,P2)는 다른 수평라인들보다 데이터 구동부(300)로부터 먼 위치에 있기 때문에, 데이터전압의 딜레이 현상도 심하게 된다. 따라서, 제1 및 제2 화소(P1,P2)에 제공되는 제(2k-1) 게이트펄스(G[2-1]) 및 제2k 게이트펄스(G[2k])는 데이터전압이 완전히 충전되기 이전에 폴링된다.

[0029] 실제 화소들에 충전되는 도면에 도시된 데이터충전 특성 그래프(Vdata)와 같은 형태를 나타낸다. 따라서, 제1 화소(P1)에 입력되는 제(2k-1) 게이트펄스(G[2k-1]) 및 제2k 게이트펄스(G[2k])에 의한 데이터전압의 충전량의 차이는 ' ΔV_1 '에 해당한다. 즉, 제1 및 제2 화소(P1,P2)는 ' ΔV_1 '의 전압 차이만큼 휘도 편차를 갖는다.

[0030] 이러한 차이는 시간에 따라서 단위시간당 데이터전압의 충전량이 달라지기 때문이다.

[0031] 데이터전압의 충전량의 편차를 개선하기 위해서 본 발명에 의한 타이밍 컨트롤러(200)는 각 게이트라인(GL1~GL[2m])에 제공되는 게이트펄스의 폴링 시점을 다르게 한다. 특히 타이밍 컨트롤러(200)는 데이터 구동부(300)로부터 멀리 위치한 게이트라인(GL1~GL[2m])에 제공되는 게이트펄스의 폴링 시점을 지연시킨다.

[0032] 도 6은 제1 실시 예에 의한 게이트 타이밍 제어신호들 및 이를 이용한 게이트펄스의 출력 타이밍을 나타내는 도면이다. 도 6을 참조하면, 타이밍 컨트롤러(200)는 2m(m은 자연수)개의 게이트라인을 2m수평주기 동안에 스캔하도록 게이트 타이밍 제어신호를 제어한다. 즉, 제1 실시 예에는 제1 및 제2 게이트 구동부(410,420)가 교번적으로 게이트펄스(G1~G2m)를 출력한다. 예컨대, 제1 수평주기(1H) 내에서 제1 게이트 구동부(410)는 제1 게이트펄스(G1)를 출력하고, 제2 수평주기(2H) 내에서 제2 게이트 구동부(420)는 제2 게이트펄스(G2)를 출력한다. 제1 실시 예에 의한 액정표시장치는 제1 및 제2 게이트 구동부(410,420)를 이용하여 액정패널(100)의 양측에서 게이트펄스를 출력하기 때문에, 베젤을 액정패널(100)의 양측 가장자리로 고르게 분산시킬 수 있다.

[0033] 그리고 제1 실시 예에 의한 타이밍 컨트롤러(200)는 제1 내지 제2m 게이트펄스(G1~G2m)들의 폭을 동일하게 유지하고, 제1 내지 제2m 게이트펄스(G1~G2m)들의 라이징 타임 및 폴링 시점을 순차적으로 지연시킨다. 다시 말해서, 제i 수평주기(iH)의 시작 시점부터 제i 게이트펄스(Gi)가 출력 시점 간의 간격을 제i 지연기간(Tdi)이라고 할 때, 타이밍 컨트롤러(200)는 $Td_i < Td_{i+1}$ 의 조건을 만족하도록 제i 게이트펄스(Gi)가 출력되는 타이밍을 제어할 수 있다. 예컨대, 타이밍 컨트롤러(200)는 제2 수평주기(2H)의 시작 시점부터 제2 게이트펄스(G2) 출력 시점까지의 제2 지연기간(Td2)이 제1 수평주기(1H)의 시작 시점부터 제1 게이트펄스(G1)의 출력 시점까지의 제1 지연기간(Td1) 보다 길게 제1 및 제2 게이트펄스(G1,G2)의 출력 타이밍을 제어할 수 있다. 마찬가지로, 타이밍 컨트롤러(200)는 제2m 수평주기(2mH)의 시작시점부터 제2m 게이트펄스(G2m)가 출력되기까지의 제2m 지연기간(Td[2m])이 제2m 수평주기(2mH)의 시작시점부터 제(2m-1) 게이트펄스(G[2m-1])가 출력되기까지의 제(2m-1) 지연기간(T[2m-1])보다 길도록 게이트펄스(G1~G2m)의 출력 타이밍을 제어할 수 있다.

[0034] 타이밍 컨트롤러(200)는 제i 게이트출력인에이블 신호를 이용하여 제i 게이트펄스(Gi)의 출력 타이밍을 제어할 수 있다. 예컨대, 타이밍 컨트롤러(200)는 제i 수평주기(iH)의 시작 시점부터 제i 게이트출력인에이블 신호가

폴링되는 시점을 제어하여 게이트펄스(Gi)의 출력 타이밍을 제어할 수 있다.

- [0035] 각 게이트펄스(G1~G2m)의 펄스 폭은 동일하게 유지되기 때문에, 게이트펄스(G1~G2m)의 출력시점을 지연시킴에 따라서 게이트펄스(G1~G2m)의 폴링 시점도 지연된다. 따라서, 제i 게이트펄스(Gi)의 폴링 시점부터 제i 수평주기(iH)의 종료시점까지의 제i 게이트오프구간(Toff[i])은 제(i-1) 게이트오프구간(Toff[i-1])보다 짧아진다.
- [0036] 그리고 타이밍 콘트롤러(200)는 데이터전압을 가장 늦게 제공받는 제2m 수평라인(HL2m)의 게이트오프구간인 제2m 게이트오프구간(Toff[2m])이 '0'보다 크도록 게이트펄스(G1~G2m)의 출력 타이밍을 제어한다. 즉, 타이밍 콘트롤러(200)는 제i 게이트펄스(Gi)가 제i 수평주기(iH) 내에서 인가되도록 게이트펄스(G1~G2m)의 타이밍을 제어한다.
- [0037] 도 7은 제1 실시 예에 의한 액정표시장치에서 수평 덤 현상이 개선되는 것을 나타내는 도면이다.
- [0038] 도 7에 도시된 데이터전압 충전특성 그래프(Vdata)는 시간(Time)에 따라서 데이터전압(Data)이 충전되는 양을 나타낸다. 데이터전압 충전특성 그래프(Vdata)는 시간이 경과할수록 단위시간 변화량에 대한 데이터전압 충전량은 감소하는 것을 보여준다. 이러한 특성은 데이터전압이 충전 초기에는 급격히 충전되다가 시간이 지날수록 충전되는 속도가 줄어들면서 일정 시간 이후에는 포화상태가 되는 특성을 나타내기 때문이다.
- [0039] 그리고 데이터전압 충전특성 그래프(Vdata)는 데이터전압의 딜레이에 의해서 시간 축을 따라서 쉬프트된다. 따라서, 게이트펄스(G1~G2m)는 데이터전압이 포화되기 이전 시점에 폴링된다. 도 4에 도시된 제1 및 제2 화소(P1,P2)에 각각 제공되는 제(2i-1) 게이트펄스(G1~G2m)와 제2i 게이트펄스(G1~G2m)는 각각 폴링 시점이 'tf1' 및 'tf2'라고 하면, 제1 및 제2 화소(P1,P2) 간에는 제1 전압차이(ΔV1)에 해당하는 휘도 차이가 발생한다.
- [0040] 제1 실시 예에 의한 액정표시장치는 제(2i-1) 게이트펄스(G[2i-1]) 및 제2i 게이트펄스(G[2i])의 폴링 시점을 'tf3' 및 'tf4'로 딜레이시킨다. 따라서, 제1 및 제2 화소(P1,P2) 간에는 제2 전압차이(ΔV2)에 해당하는 휘도 차이가 발생한다.
- [0041] 'tf1' 및 'tf2' 간의 시간차이와 'tf3' 및 'tf4' 간의 시간차이가 거의 동일하다고 할지라도, 데이터전압 충전특성에 의해서 제2 전압차이(ΔV2)는 제1 전압차이(ΔV1) 보다 작다. 이러한 이유는 언급한 바와 같이 화소에 충전되는 데이터전압의 충전량이 시간이 지나면서 줄어들기 때문이다. 즉, 제1 실시 예에 의한 액정표시장치는 게이트펄스(G1~G2m)를 지연시켜서, 데이터전압 딜레이에 의해서 서로 인접하는 기수 수평라인 및 우수 수평라인에 형성되는 화소들 간의 휘도차이를 줄일 수 있다.
- [0042] 제1 실시 예에 의한 액정표시장치는 게이트펄스(G1~G2m)의 폴링시점을 지연시켜서 데이터전압 딜레이에 의한 휘도 편차를 최소화할 수 있다. 데이터전압의 딜레이 현상은 데이터라인의 길이에 비례하기 때문에, 인접하는 게이트라인 간의 게이트펄스 폴링 시점의 변화는 모두 동일하게 설정된다. 다시 말해서, 인접하는 게이트오프구간 간의 간격은 모두 동일하게 설정될 수 있다. 즉, 제(i-1) 게이트오프구간(Toff[i-1])과 제i 게이트오프구간(Toff[i]) 간의 간격 차이는 제(i+1) 게이트오프구간(Toff[i+1])과 제i 게이트오프구간(Toff[i]) 간의 차이와 동일하게 설정된다.
- [0043] 도 8은 제2 실시 예에 의한 게이트 타이밍 제어신호 및 게이트펄스의 타이밍을 나타내는 도면이다. 제2 실시 예의 타이밍 콘트롤러(200)는 2m(m은 자연수)개의 게이트라인을 2m수평주기 동안에 스캔하도록 게이트 타이밍 제어신호를 제어한다. 즉, 제2 실시 예에는 제1 및 제2 게이트 구동부(410,420)가 교번적으로 게이트펄스(G1~G2m)를 출력한다. 예컨대, 제1 수평주기(1H) 내에서 제1 게이트 구동부(410)는 제1 게이트펄스(G1)를 출력하고, 제2 수평주기(2H) 내에서 제2 게이트 구동부(420)는 제2 게이트펄스(G2)를 출력한다.
- [0044] 제2 실시 예에 의한 타이밍 콘트롤러(200)는 제1 내지 제2m 게이트펄스(G1~G2m)들의 라이징 타임을 일정하게 유지하고, 폴링 시점을 순차적으로 지연시킨다. 다시 말해서, 제i 수평주기(iH)의 시작 시점부터 제i 게이트펄스(Gi)가 출력 시점 간의 간격을 제i 지연기간(Tdi)이라고 할 때, 타이밍 콘트롤러(200)는 Tdi=Td(i+1)의 조건을 만족하도록 제i 게이트펄스(Gi)가 출력되는 타이밍을 제어할 수 있다. 그리고, 타이밍 콘트롤러(200)는 제i 게이트펄스(Gi)가 제(i-1) 게이트펄스(G[i-1]) 보다 긴 폭을 갖도록 게이트펄스의 타이밍을 제어한다.
- [0045] 타이밍 콘트롤러(200)는 제i 게이트출력인에이블 신호를 이용하여 제i 게이트펄스(Gi)의 출력 타이밍을 제어할 수 있다. 예컨대, 타이밍 콘트롤러(200)는 게이트출력인에이블 신호(GOE)가 폴링되는 시점을 동일하게 유지하고, 각 수평라인들에 제공되는 게이트출력인에이블 신호(GOE)의 로우레벨 유지 구간을 순차적으로 늘린다.
- [0046] 이처럼, 제2 실시 예에 의한 게이트펄스(G1~G2m)는 출력 타이밍이 동일하게 유지되는 상태에서 폭이 늘어나기 때문에 게이트펄스(G1~G2m)의 폴링 시점도 지연된다. 따라서, 제i 게이트펄스(Gi)의 폴링 시점부터 제i 수평주

기(iH)의 종료시점까지의 제 i 게이트오프구간(T_{fi})은 제($i-1$) 게이트오프구간(T_{off})보다 짧아진다.

- [0047] 그리고 타이밍 콘트롤러(200)는 타이밍 콘트롤러(200)는 데이터전압을 가장 늦게 제공받는 제 $2m$ 수평라인($HL[2m]$)의 게이트오프구간인 제 $2m$ 게이트오프구간($T_{off}[2m]$)이 '0'보다 크도록 게이트펄스($G1-G2m$)의 출력 타이밍을 제어한다. 즉, 타이밍 콘트롤러(200)는 제 i 게이트펄스(G_i)가 제 i 수평주기(iH) 내에서 인가되도록 게이트펄스의 타이밍을 제어한다.
- [0048] 이와 같이, 제1 및 제2 실시 예는 제1 및 제2 게이트 구동부(410,420)가 각각 기수 게이트라인과 우수 게이트라인을 스캔하는 실시 예에 대한 것이다. 게이트라인을 분할하여 더블-스캔을 할 경우에는 데이터전압을 순차적으로 제공하기 위해서, 제1 및 제2 실시 예와 같이 기수 게이트라인과 우수 게이트라인을 순차적으로 스캔하는 방법을 이용한다. 만약 영상의 해상도와 액정표시패널의 해상도에 차이가 발생하는 경우와 같이 동일한 데이터를 인접하는 수평라인에 제공할 때에는 기수 게이트라인과 우수 게이트라인은 동시에 스캔 될 수도 있다. 다음의 제3 및 제4 실시 예는 기수 게이트라인과 우수 게이트라인을 동시에 스캔하는 방법에 본 발명의 실시 예를 적용한 것이다.
- [0049] 도 9는 제3 실시 예에 의한 게이트 타이밍 제어신호들 및 이를 이용한 게이트펄스($G1-G2m$)의 출력 타이밍을 나타내는 도면이다. 제3 실시 예에 의한 타이밍 콘트롤러(200)는 $2m$ (m 은 자연수)개의 게이트라인을 m 수평주기 동안에 스캔하도록 m 개의 기수 게이트라인 및 m 개의 우수 게이트라인을 각각 m 수평주기 동안에 스캔하도록 게이트 타이밍 제어신호를 제어한다. 즉, 제3 실시 예에는 제1 및 제2 게이트 구동부(410,420)를 동시에 구동한다. 예컨대, 제1 수평주기($1H$) 내에서 제1 게이트 구동부(410)는 제1 게이트펄스($G1$)를 출력하고, 제2 게이트 구동부(420)는 제2 게이트펄스($G2$)를 출력한다. 그리고, 제 m 수평주기(mH) 내에서 제1 게이트 구동부(410)는 제($2m-1$) 게이트펄스($G[2m-1]$)를 출력하고, 제2 게이트 구동부(420)는 제 $2m$ 게이트펄스($G2m$)를 출력한다.
- [0050] 제3 실시 예에 의한 액정표시장치는 제1 및 제2 게이트 구동부(410,420)를 동시에 구동하여 하나의 게이트라인을 스캔하는 시간을 늘릴 수 있어서, 데이터 충전 시간을 크게 확보할 수 있다.
- [0051] 그리고 제3 실시 예에 의한 타이밍 콘트롤러(200)는 기수 게이트라인에 제공되는 제1 내지 제($2m-1$) 게이트펄스($G1-G[2m-1]$)들의 폭을 동일하게 유지하고, 제1 내지 제($2m-1$) 게이트펄스($G1-G[2m-1]$)들의 라이징 타임 및 폴링 시점을 순차적으로 지연시킨다. 즉, 타이밍 콘트롤러(200)는 $(2i-1)$ (i 는 1 이상이며 m 이하인 자연수) 수평주기의 시작부터 제($2i-1$) 게이트펄스의 출력시점 간의 구간이 제($2i-3$) 수평주기의 시작부터 제($2i-3$) 게이트펄스의 출력시점 간의 구간보다 길게 설정되도록 게이트 타이밍 제어신호를 제어한다.
- [0052] 또한, 타이밍 콘트롤러(200)는 우수 게이트라인에 제공되는 제2 내지 제 $2m$ 게이트펄스($G2-G2m$)들의 폭을 동일하게 유지하고, 제2 내지 제 $2m$ 게이트펄스($G2-G2m$)들의 라이징 타임 및 폴링 시점을 순차적으로 지연시킨다. 즉, 타이밍 콘트롤러(200)는 제 $2i$ 수평주기의 시작부터 제 $2i$ 게이트펄스의 출력시점 간의 구간이 제($2i-2$) 수평주기의 시작부터 제($2i-2$) 게이트펄스의 출력시점 간의 구간보다 길게 설정되도록 게이트 타이밍 제어신호를 제어한다.
- [0053] 도 10은 제4 실시 예에 의한 게이트 타이밍 제어신호들 및 이를 이용한 게이트펄스($G1-G2m$)의 출력 타이밍을 나타내는 도면이다. 제4 실시 예에 의한 타이밍 콘트롤러(200)는 $2m$ (m 은 자연수)개의 게이트라인을 m 수평주기 동안에 스캔하도록 m 개의 기수 게이트라인 및 m 개의 우수 게이트라인을 각각 m 수평주기 동안에 스캔하도록 게이트 타이밍 제어신호를 제어한다. 즉, 제4 실시 예에는 제1 및 제2 게이트 구동부(410,420)를 동시에 구동한다.
- [0054] 그리고 제4 실시 예에 의한 타이밍 콘트롤러(200)는 기수 게이트라인에 제공되는 제1 내지 제($2m-1$) 게이트펄스($G[2m-1]$)들의 라이징 시점을 동일하게 하고, 제1 내지 제($2m-1$) 게이트펄스($G1-G[2m-1]$)들의 폭을 늘린다. 즉, 타이밍 콘트롤러(200)는 제($2i-1$)(i 는 1 이상이며 m 이하인 자연수) 수평주기의 시작부터 제($2i-1$) 기수 게이트라인에 제공되는 제($2i-1$) 게이트펄스의 출력시점 간의 구간과 제($2i-3$) 수평주기의 시작부터 제($2i-3$) 기수 게이트라인에 제공되는 제($2i-3$) 게이트펄스의 출력시점 간의 구간은 동일하게 한다. 그리고 타이밍 콘트롤러(200)는 제($2i-1$) 게이트펄스의 폭이 상기 제($2i-3$) 게이트펄스의 펄스 폭보다 길도록 게이트 타이밍 제어신호를 제어한다.
- [0055] 마찬가지로, 타이밍 콘트롤러(200)는 우수 게이트라인에 제공되는 제2 내지 제 $2m$ 게이트펄스($G2-G2m$)들의 라이징 시점을 동일하게 하고, 제2 내지 제 $2m$ 게이트펄스($G2-G2m$)들의 폭을 늘린다. 즉, 타이밍 콘트롤러(200)는 제 $2i$ 수평주기의 시작부터 제 $2i$ 우수 게이트라인에 제공되는 제 $2i$ 게이트펄스의 출력시점 간의 구간과 제($2i-2$) 수평주기의 시작부터 제($2i-2$) 우수 게이트라인에 제공되는 제($2i-2$) 게이트펄스의 펄스의 출력시점 간의 구간은 동일하게 설정한다. 그리고 타이밍 콘트롤러(200)는 제 $2i$ 게이트펄스의 폭이 제($2i-2$) 게이트펄스의 펄스

폭보다 길도록 게이트 타이밍 제어신호를 제어한다.

[0056] 그리고, 상술한 제1 내지 제4 실시 예에 의한 액정표시장치는 게이트 출력 인에이블 신호(GOE)를 이용하여 게이트 펄스의 출력 타이밍을 제어한다. 하지만, 본 발명의 기술적 사상은 이에 국한되지 않으며, 게이트-인-패널(Gate In Panel;GIP)구조의 액정표시장치에 이용될 수 있음은 자명하다. 즉, 게이트 출력 인에이블 신호 대신에 게이트클럭신호 등의 출력을 지연시켜서 게이트펄스의 출력 타이밍을 제어할 수도 있다.

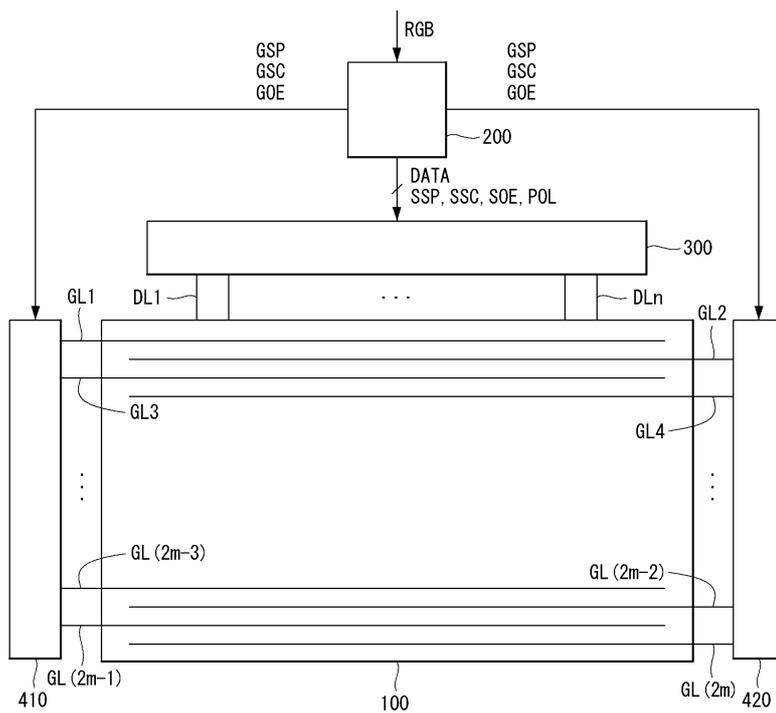
[0057] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

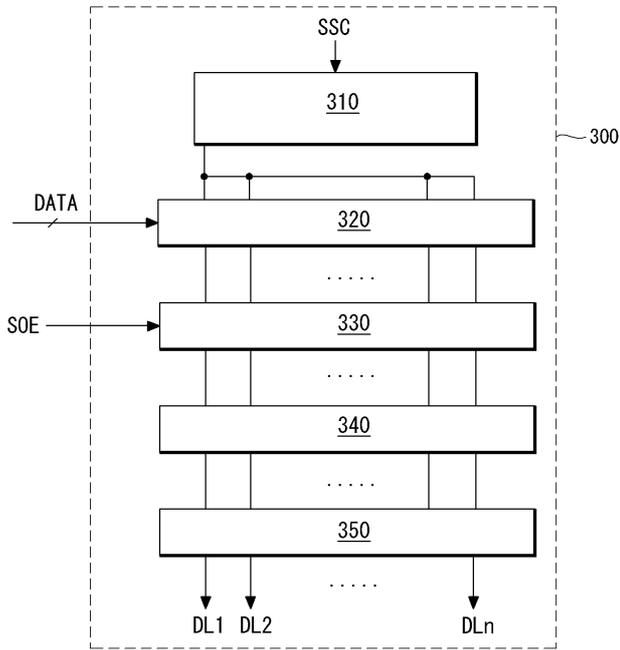
[0058] 100 : 액정패널 200 : 타이밍 콘트롤러
 300 : 데이터 구동부 410 : 제1 게이트 구동부
 420 : 제2 게이트 구동부

도면

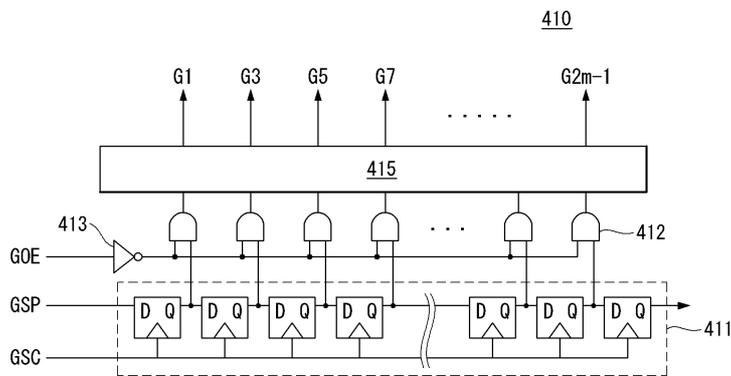
도면1



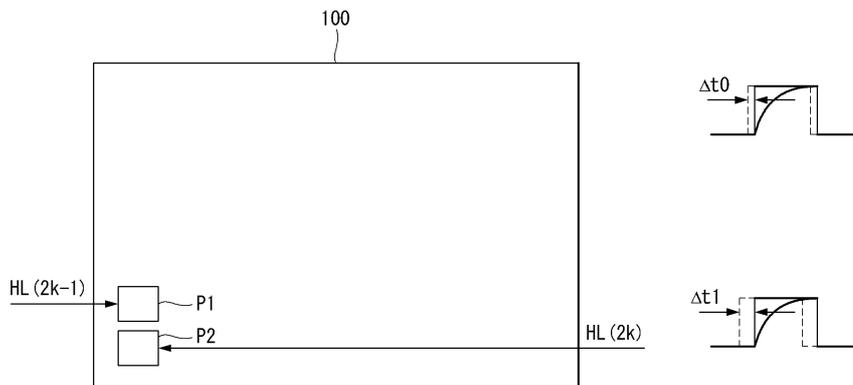
도면2



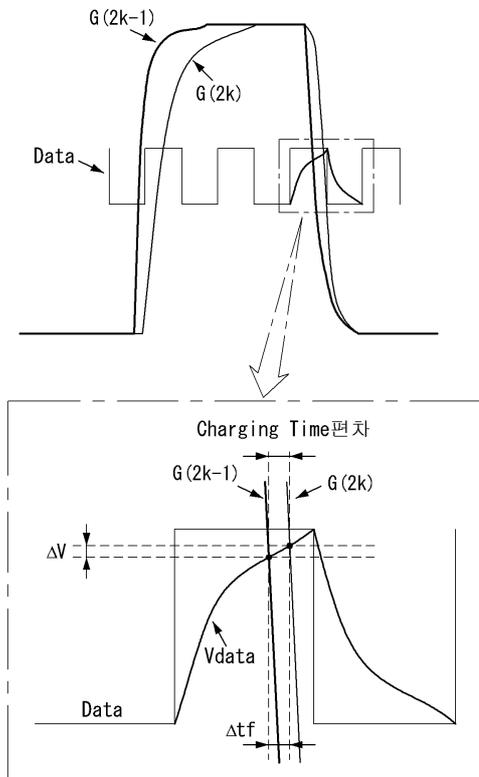
도면3



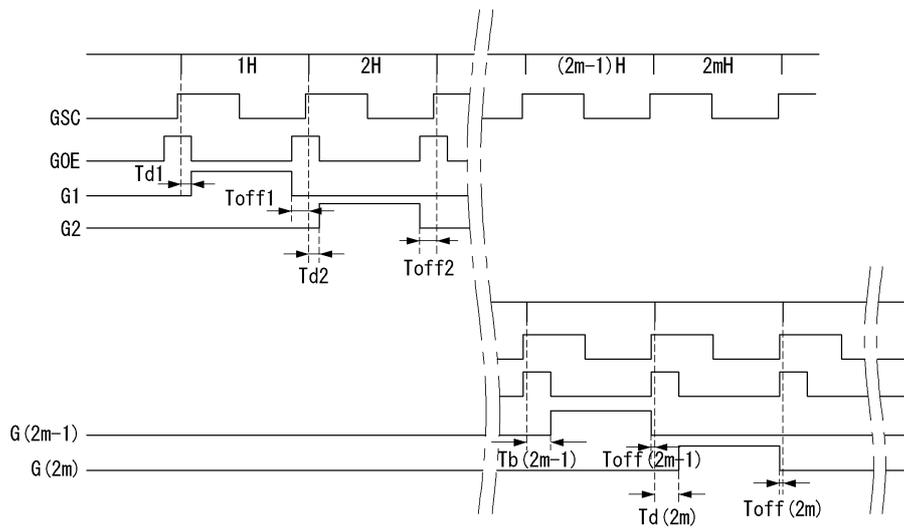
도면4



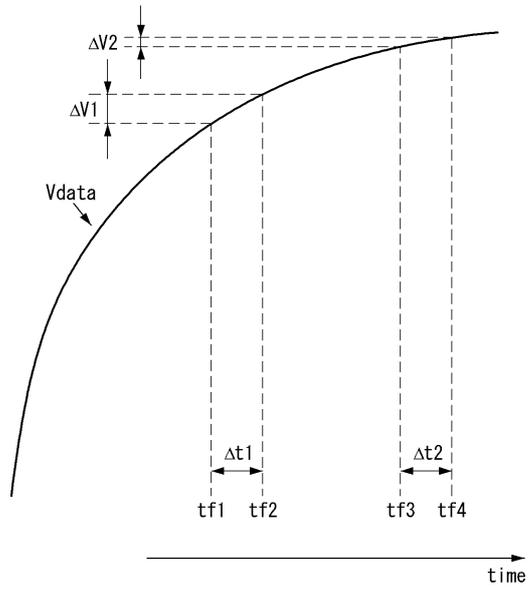
도면5



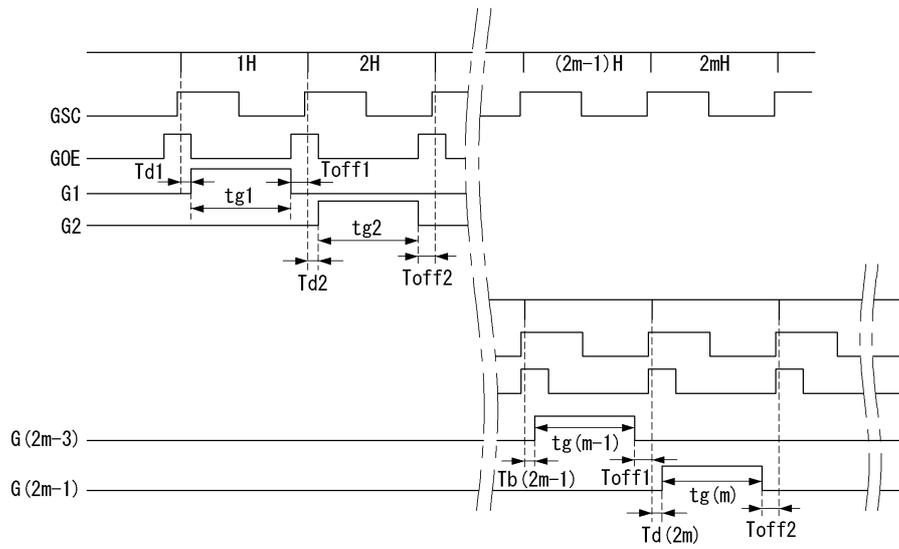
도면6



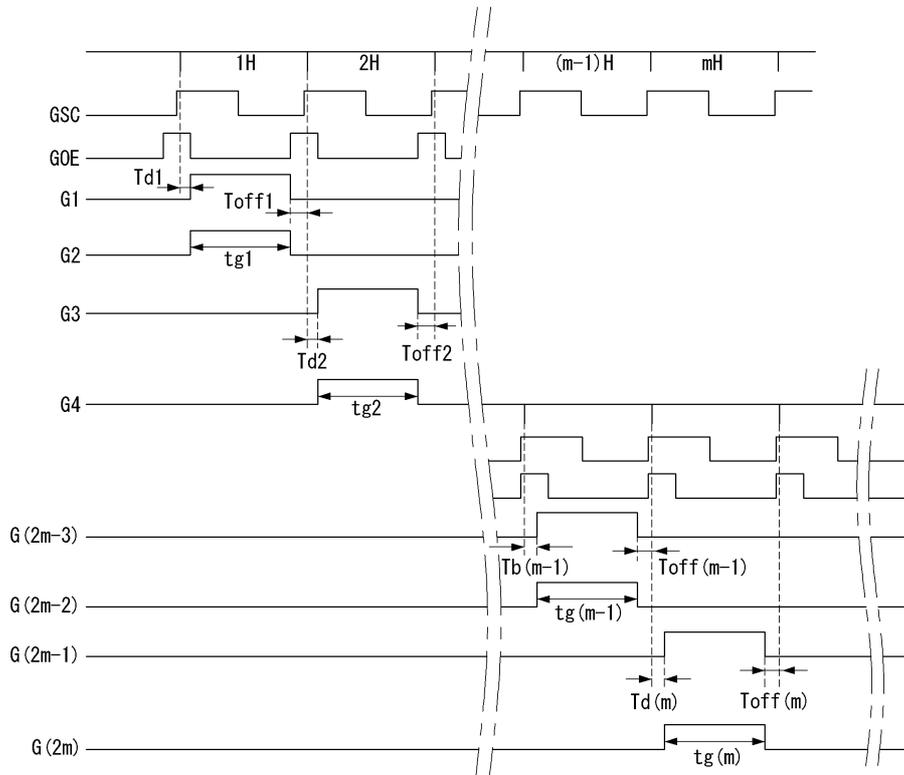
도면7



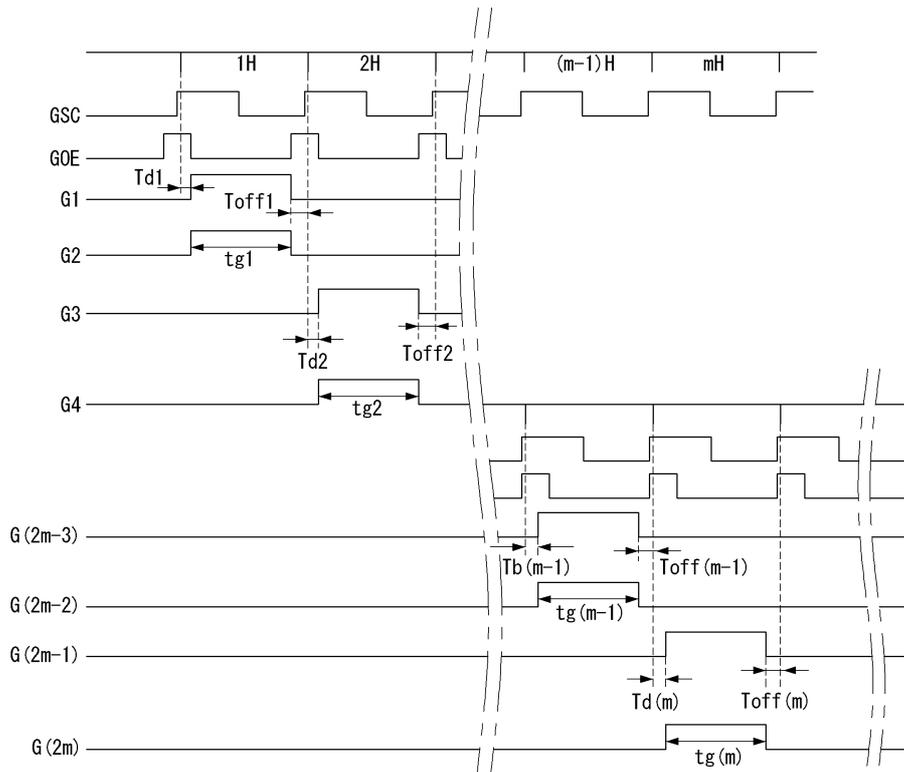
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160029232A	公开(公告)日	2016-03-15
申请号	KR1020140117911	申请日	2014-09-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN SEUNG HWAN 신승환 LEE JU YOUNG 이주영 PARK YONG HWA 박용화 KWON KI TAE 권기태		
发明人	신승환 이주영 박용화 권기태		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G02F1/136286 G02F1/13306 G02F1/13454 G09G2340/16		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置的特征在于包括奇数栅极线和最外侧栅极线以及数据线的栅极线 用于向奇数栅极线提供栅极脉冲的第一栅极驱动器，用于向数据线提供数据电压的第二栅极驱动器，并且输出门脉冲并且定时控制器用于提供栅极定时控制信号，用于控制与第一和第二栅极驱动器的失配的。在时序控制器中，连接到水平线的栅极线，数据电压延迟到的水平线， L_t ; RTI ID = 0.0 & gt; 门。输出。

