



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0107484
(43) 공개일자 2015년09월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
(21) 출원번호 10-2014-0030487
(22) 출원일자 2014년03월14일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유충호
경기 파주시 청암로 27, 601동 704호 (목동동, 산내마을6단지한라비발디)
송현진
전북 전주시 완산구 평화로 100, 216동 102호 (평화동2가, 주공그린2단지아파트)
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 13 항

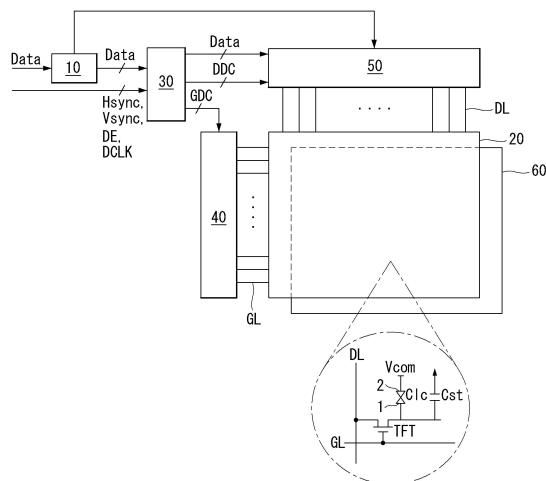
(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 액정표시장치에 관한 것이다.

본 발명에 의한 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정패널, 소스 출력 인에이블신호의 로우논리 구간동안 상기 데이터라인들로 데이터전압을 출력하고 상기 소스 출력 인에이블신호의 하이논리 구간 동안 상기 인접하는 상기 데이터라인들을 단락시켜 차지 쉐어를 수행하는 데이터구동부 상기 데이터구동회로에 입력 영상의 데이터를 전송하고, 상기 데이터전압의 출력 타이밍과 상기 차지 쉐어의 타이밍을 정의하는 상기 소스 출력 인에이블신호를 생성하는 타이밍 콘트롤러 및 상기 입력 영상에서 미리 설정된 특정 형태의 문제패턴을 검출하고, 상기 문제패턴이 검출될 때 수직으로 이웃한 상기 데이터들 간의 계조 변화를 바탕으로 상기 소스 출력 인에이블신호의 하이논리 구간을 가변하는 잔상개선부를 포함한다.

대 표 도 - 도2



명세서

청구범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정패널;

소스 출력 인에이블신호의 로우논리 구간동안 상기 데이터라인들로 데이터전압을 출력하고, 상기 소스 출력 인에이블신호의 하이논리 구간 동안 상기 인접하는 상기 데이터라인들을 단락시켜 차지 쉐어를 수행하는 데이터구동부;

상기 데이터 구동회로에 입력 영상의 데이터를 전송하고, 상기 데이터전압의 출력 타이밍과 상기 차지 쉐어의 타이밍을 정의하는 상기 소스 출력 인에이블신호를 생성하는 타이밍 콘트롤러; 및

상기 입력 영상에서 미리 설정된 특정 형태의 문제패턴을 검출하고, 상기 문제패턴이 검출될 때 수직으로 이웃한 상기 데이터들 간의 계조 변화를 바탕으로 상기 소스 출력 인에이블신호의 하이논리 구간을 가변하는 잔상개선부를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 잔상개선부는

상기 입력 영상의 데이터를 수평라인별로 저장하는 라인 메모리;

상기 라인 메모리의 각 메모리영역에 저장되는 데이터변화를 바탕으로 상기 입력 영상이 문제패턴 영상인지 여부를 판단하는 패턴분석부; 및

상기 문제패턴 영상이 입력될 때, 상기 소스 출력 인에이블신호의 하이논리 구간 폭을 조절하는 신호제어부;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 패턴분석부는

제 m 수평라인 및 제 $(m+1)$ 수평라인의 각 화소들이 액정패널이 표시할 수 있는 범위 내에서 선택된 기준계조에 속하는지를 판단하고,

상기 제 m 수평라인 및 제 $(m+1)$ 수평라인에서 동일한 형태로 상기 기준계조가 변하는 화소들이 상기 수평라인의 전체 화소 개수에 대비하여 일정 비율 이상일 경우에 상기 제 m 수평라인 및 제 $(m+1)$ 수평라인을 문제패턴으로 판단하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 기준계조는

'0'의 계조 또는 상기 '0'의 계조를 포함하는 범위값을 저계조;

최대계조 또는 상기 최대계조를 포함하는 고계조; 및

상기 저계조 및 상기 최대계조의 평균값계조 및 상기 평균값계조를 포함하는 범위계조로 구분되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 신호제어부는

상기 제 $(m-1)$ 수평라인의 데이터전압이 상기 중간계조에 속하고 상기 제 m 수평라인의 데이터전압이 상기 저계조에 속할 때에, 상기 소스 출력 인에이블신호의 하이논리 구간을 증가시키는 것을 특징으로 하는 액정표시장치.

청구항 6

제 4 항에 있어서,

상기 신호제어부는

상기 제 $(m-1)$ 수평라인의 데이터전압이 상기 고계조에 속하고 상기 제 m 수평라인의 데이터전압이 상기 중간계조에 속할 때에, 상기 제 m 수평라인의 초기전압이 중간계조 전압레벨에 도달하는 기간을 상기 소스 출력 인에이블신호의 하이논리 구간으로 설정하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 4 항에 있어서,

상기 신호제어부는

상기 제 $(m-1)$ 수평라인의 데이터전압의 기준계조보다 상기 제 m 수평라인의 데이터전압의 기준계조가 높은 계조일 경우에, 상기 소스 출력 인에이블신호의 하이논리 구간을 감소시키는 것을 특징으로 하는 액정표시장치.

청구항 8

입력 영상의 데이터를 수평라인별로 라인 메모리에 저장하는 제1 단계;

상기 라인 메모리의 각 메모리영역의 데이터변화량을 바탕으로 상기 입력 영상이 문제패턴 영상인지 여부를 판단하는 제2 단계; 및

상기 문제패턴 영상이 입력될 때, 소스 출력 인에이블신호의 하이논리 구간의 폭을 조절하는 제3 단계를 포함하는 액정표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 제2 단계는 상기 메모리영역에 저장되는 상기 데이터들이 기준계조에 속하는지를 판단하고, 인접하는 상기 수평라인 간의 기준계조의 변화를 바탕으로 상기 입력 영상이 상기 문제패턴인지 여부를 판단하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 기준계조는

'0'의 계조 또는 상기 '0'의 계조를 포함하는 범위값을 저계조;

최대계조 또는 상기 최대계조를 포함하는 고계조; 및

상기 저계조 및 상기 최대계조의 평균값계조 및 상기 평균값계조를 포함하는 범위계조로 구분되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11

제 10 항에 있어서,

상기 제3 단계는

제(m-1) 수평라인의 데이터전압이 상기 중간계조에 속하고 제m 수평라인의 데이터전압이 상기 저계조에 속할 때, 상기 소스 출력 인에이블신호의 하이논리 구간을 증가시키는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12

제 10 항에 있어서,

상기 제3 단계는

제(m-1) 수평라인의 데이터전압이 상기 고계조에 속하고 제m 수평라인의 데이터전압이 상기 중간계조에 속할 때, 상기 제m 수평라인의 초기전압이 중간계조 전압레벨에 도달하는 기간을 상기 소스 출력 인에이블신호의 하이논리 구간으로 설정하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 13

제 10 항에 있어서,

상기 제3 단계는

제(m-1) 수평라인의 데이터전압의 기준계조보다 제m 수평라인의 데이터전압의 기준계조가 높은 계조일 경우에, 상기 소스 출력 인에이블신호의 하이논리 구간을 감소시키는 것을 특징으로 하는 액정표시장치의 구동방법.

발명의 설명

기술 분야

본 발명은 액정표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0001] 표시장치는 시각정보의 전달매체로서 각종 정보기기나 사무기기 등에 적용되고 있다. 과거에는 음극선관을 이용한 브라운관을 주로 이용하였지만, 근래에는 무게와 부피가 대폭 감소된 평판표시장치를 널리 이용하고 있는 추세이다. 평판표시장치에는 액정표시장치(Liquid Crystal Display : LCD), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 유기 발광다이오드소자(Organic Light Emitting Diode Device, OLED) 등이 있다.

[0002] 액정표시장치는 액정패널에 형성되는 액정의 편향 정도에 따라서 휙도를 표시하는 표시장치이다. 액정표시장치에서 액정이 편향되는 정도는 화소에 인가되는 데이터전압과 공통전압 간의 차이에 의해서 결정된다.

[0003] 데이터전압은 데이터 구동부에 의해서 액정패널의 수평라인들에 순차적으로 공급된다. 예컨대 도 1에서와 같이, i열의 데이터라인(DLi)은 제m 수평라인(Hm)과 제(m+1) 수평라인[H(m+1)]에 순차적으로 데이터전압을 공급

한다. 이때, 수평라인 간에 순차적으로 제공되는 데이터전압에 차이에 의해서 공통전압(Vcom)은 리플(riffle)이 유도된다. 예컨대 도면에서와 같이, 제m 수평라인(Hm)에 '127' 계조의 전압이 제공되고 제(m+1) 수평라인 [H(m+1)]에 '0' 계조의 전압이 제공된다면, 데이터라인(DLi)을 통해서 출력되는 전압이 변하는 구간에서 공통전압에 리플이 유도된다. 이러한 리플은 수평방향으로 선 형태의 잔상을 유발하여 액정표시장치의 표시품질을 저하시키는 원인이 된다.

발명의 내용

해결하려는 과제

[0005]

본 발명은 수평라인 간의 데이터전압 차이에 의해서 리플이 유도되는 것을 개선하기 위한 액정표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006]

본 발명에 의한 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정패널, 소스 출력 인에이블신호의 로우논리 구간동안 상기 데이터라인들로 데이터전압을 출력하고 상기 소스 출력 인에이블신호의 하이논리 구간 동안 상기 인접하는 상기 데이터라인들을 단락시켜 차지 쉐어를 수행하는 데이터구동부 상기 데이터 구동회로에 입력 영상의 데이터를 전송하고, 상기 데이터전압의 출력 타이밍과 상기 차지 쉐어의 타이밍을 정의하는 상기 소스 출력 인에이블신호를 생성하는 타이밍 콘트롤러 및 상기 입력 영상에서 미리 설정된 특정 형태의 문제패턴을 검출하고, 상기 문제패턴이 검출될 때 수직으로 이웃한 상기 데이터들 간의 계조 변화를 바탕으로 상기 소스 출력 인에이블신호의 하이논리 구간을 가변하는 잔상개선부를 포함한다.

[0007]

본 발명에 의한 액정표시장치의 구동방법은 입력 영상의 데이터를 수평라인별로 라인 메모리에 저장하는 제1 단계, 라인 메모리의 각 메모리영역의 데이터변화량을 바탕으로 입력 영상이 문제패턴 영상인지 여부를 판단하는 제2 단계 및 문제패턴 영상이 입력될 때 소스 출력 인에이블신호의 하이논리 구간의 폭을 조절하는 제3 단계를 포함한다.

발명의 효과

[0008]

본 발명은 차지 쉐어 구간을 조절하여, 데이터전압이 변하는 구간에서 초기전압과 데이터전압의 변화량을 최소화할 수 있다. 이에 따라서, 데이터전압이 변하는 구간에서 공통전압에 리플이 유도되는 것을 개선할 수 있고, 리플로 인해서 선 형태의 잔상이 발생하는 것을 방지할 수 있다.

도면의 간단한 설명

[0009]

도 1은 리플이 유도되는 현상을 설명하는 모식도.

도 2는 본 발명에 의한 액정표시장치를 나타내는 도면.

도 3은 본 발명에 의한 잔상개선부의 구성을 나타내는 블록도.

도 4는 본 발명에 의한 데이터 구동회로를 나타내는 도면.

도 5는 본 발명에 의한 차지쉐어부를 나타내는 도면.

도 6은 본 발명에 의한 액정표시장치의 구동방법을 나타내는 순서도.

도 7 및 도 8은 입력 영상의 패턴분석 방법을 설명하는 모식도.

도 9 내지 도 12는 기준계조 변화에 따라서, 차지 쉐어 시간과 리플의 관계를 설명하는 도면들.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0011] 도 2는 본 발명에 의한 액정표시장치를 나타내는 도면이다.
- [0012] 도 2를 참조하면, 본 발명에 의한 액정표시장치는 잔상개선부(10), 액정패널(20), 타이밍 콘트롤러(30), 데이터 구동회로(50), 및 게이트 구동회로(40)를 구비한다.
- [0013] 잔상개선부(10)는 데이터전압의 변화량에 의해서 공통전압라인과의 커플링 현상으로 인해서 리플(riffle)이 발생하는 현상을 개선한다. 이를 위해서 잔상개선부(10)는 입력 영상에서 미리 설정된 특정 형태의 문제패턴을 검출하고, 문제패턴이 검출될 때 수직으로 인접한 데이터들 간의 계조 변화를 바탕으로 소스 출력 인에이블신호의 하이논리 구간 폭을 가변한다. 잔상개선부(10)는 이전 수평라인에 충전된 전압과 현재 수평라인에 충전되는 전압 간의 차이를 최소화되도록, 상기 소스 출력 인에이블신호의 폭을 조절한다.
- [0014] 잔상개선부(10)는 입력 영상에서 수직으로 인접한 화소들 간의 계조차가 임계치 이상인 문제패턴 영상을 입력받을 때에는, 소스 출력 인에이블신호(SOE)의 하이논리 구간의 폭을 조절함으로써 차지 쉐어 구간을 조절한다.
- [0015] 이를 위해서 잔상개선부(10)는 도 3에 도시된 바와 같이 라인 메모리(11), 패턴분석부(13) 및 신호제어부(15)를 포함한다.
- [0016] 라인 메모리(11)는 입력 영상의 데이터를 수평라인별로 저장한다.
- [0017] 패턴분석부(13)는 라인 메모리(11)에 저장되는 데이터를 바탕으로 입력 영상이 상기 문제패턴 영상인지 여부를 판단한다.
- [0018] 패턴분석부(13)는 라인 메모리(11)에 순차적으로 저장되는 각 화소별 데이터들이 기준계조에 속하는지를 판단하고, 인접하는 수평라인 간의 기준계조의 변화량을 바탕으로 입력 영상이 문제패턴인지 여부를 판단한다. 이때, 기준계조는 액정패널(20)이 표시하는 계조 범위에서 선택되는 대표값이고, 일례로 저계조, 중간계조 및 고계조를 포함할 수 있다. 저계조는 블랙(black)을 표시하는 '0'의 계조 또는 '0'을 포함하는 범위값으로 설정될 수 있다. 고계조는 화이트(white)를 표시하는 최대 휘도 예컨대, '255'계조 또는 '255'계조를 포함하는 범위값으로 설정될 수 있다. 그리고 중간계조는 저계조 및 고계조의 평균값 또는 평균값을 포함하는 범위값으로 설정될 수 있다.
- [0019] 패턴분석부(13)는 인접하는 수평라인에 제공되는 데이터들이 특정 기준계조에서 다른 기준계조로 변할 경우에, 다른 기준계조의 데이터를 제공받는 화소를 패턴화소로 간주한다. 그리고 패턴분석부(13)는 기준계조의 변화가 동일한 패턴화소들의 개수가 전체 수평라인에 포함되는 화소들의 개수에 대비하여 일정 비율 이상일 경우에, 입력 영상을 문제패턴 영상으로 판단한다.
- [0020] 신호제어부(15)는 패턴분석부(13)가 입력 영상에서 문제패턴 영상을 감지하였을 때에, 소스 출력 인에이블신호(SOE)의 하이논리 폭을 가변한다. 즉, 신호제어부(15)는 소스 출력 인에이블신호(SOE)의 하이논리 폭을 조절하여, 차지 쉐어 구간을 조절할 수 있다.
- [0021] 이러한 잔상개선부(10)는 타이밍 콘트롤러(30) 또는 다른 구성에 포함되어 구현될 수도 있다.
- [0022] 액정패널(20)은 두 장의 유리기판 사이에 액정층이 형성된다. 이 액정패널(20)은 m 개의 데이터라인들(34)과 n 개의 게이트라인들(35)의 교차 구조에 의해 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀들(Cl)을 포함한다.
- [0023] 액정패널(20)의 하부 유리기판에는 데이터라인들(DL), 게이트라인들(GL), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정패널(20)의 상부 유리기판 상에는 블랙메트릭스, 컬러필터 및 공통전극(2)이 형성된다. 한편, 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다. 액정패널(20)의 상부 유리기판과 하부 유리기판 상에는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0024] 타이밍 콘트롤러(30)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블신호(DE) 및 클럭신호(CLK) 등의 타

이밍신호를 입력받아 데이터 구동회로(50), 및 게이트 구동회로(40)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 이러한 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 포함한다. 또한, 타이밍 콘트롤러(30)는 데이터 구동회로(50)에 디지털 비디오 데이터를 공급한다.

[0025] 타이밍 콘트롤러(30)에 의해 생성되는 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock, GSC) 및 게이트 출력 인에이블신호(Gate Output Enable, GOE)를 포함한다.

[0026] 타이밍 콘트롤러(30)에 의해 생성되는 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 라인에서 시작 화소를 지시한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(50) 내에서 데이터의 래치동작을 지시한다. 극성제어신호(POL)는 데이터 구동회로(50)로부터 출력되는 아날로그 비디오 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(50)의 데이터 전압 출력을 제어한다.

[0027] 데이터 구동회로(50)는 도 4에 보는 바와 같이, 쉬프트 레지스터(51), 데이터 레지스터(52), 래치부(53), 변환부(54), 출력부(55) 및 차지쉐어부(57)를 포함한다.

[0028] 쉬프트레지스터(51)는 타이밍 콘트롤러(30)로부터 공급된 소스 샘플링 클럭(SSC)을 쉬프트시킨다. 쉬프트레지스터(51)는 이웃하는 다음 단의 소스 드라이브 IC의 쉬프트레지스터에 캐리신호(CAR)를 전달한다. 데이터레지스터(52)는 타이밍 콘트롤러(30)로부터 공급된 디지털 형태의 데이터신호(DATA)를 일시 저장하고 이를 래치부(53)에 공급한다. 래치부(53)는 쉬프트레지스터(51)로부터 순차적으로 공급되는 클럭에 따라 직렬로 입력되는 디지털 형태의 데이터신호(DATA)를 샘플링하고, 래치한 데이터들을 동시에 출력한다. 변환부(54)는 극성제어신호(POL)와 수평출력 반전신호(HINV)에 응답하여 래치부(53)로부터 공급된 디지털 형태의 데이터신호(DDATA)를 정극성 감마전압 또는 부극성 감마전압으로 변환하여 아날로그 형태의 데이터전압으로 변환한다. 출력부(55)는 데이터라인들(DL1~DLn)로 출력되는 데이터전압의 신호감쇠를 최소화하는 버퍼를 포함한다. 차지쉐어부(57)는 소스 출력 인에이블신호(SOE)에 따라 차지쉐어구간 동안 차지 쉐어전압이나 공통전압(Vcom)을 데이터라인들(DL1~DLn)에 공급한다

[0029] 백라이트 유닛(60)은 액정패널(10)에 광을 조사하기 위한 것으로 에지형(edge type) 또는 직하형(direct type)으로 구분될 수 있다.

[0030] 도 5는 차지쉐어부(57)를 나타내는 도면이다.

[0031] 도 5를 참조하면, 차지쉐어부(57)는 출력부(55)와 대응되어 연결된다. 차지쉐어부(57)는 출력부(55)의 출력라인들(OL1~OLn)과 데이터라인들(DL1~DLn)의 사이에 위치하는 제1스위치부(SW1~SW1n)와 데이터라인들(DL1~DLn) 사이에 위치하는 제2스위치부(SW2~SW2n)를 포함한다. 차지쉐어부(57)는 소스 출력 인에이블신호(SOE)에 응답하는 제1 스위치부(SW1~SW1n)와 제2 스위치부(SW2~SW2n)에 의해 차지쉐어구간(CSP) 동안 차지쉐어전압이나 공통전압(Vcom)을 데이터라인들(DL1~DLn)에 공급한다. 즉, 차지쉐어부(57)는 소스 출력 인에이블신호(SOE)가 하이논리 구간일 경우에 제2 스위치부(SW2~SW2n)를 터-온시켜서 인접하는 채널 간의 전압을 평균화한다. 소스 출력 인에이블신호(SOE)는 잔상개선부(10)의 선택에 따라서 하이논리 구간의 폭이 달라지기 때문에, 차지쉐어부(57)는 인접하는 채널 간의 전압을 평균화하는 과정에서 평균화되는 전압레벨은 달라진다.

[0032] 도 6은 본 발명에 의한 액정표시장치의 구동방법을 나타내는 순서도이다. 도 6을 참조하여, 본 발명의 액정표시장치의 구동방법을 살펴보면 다음과 같다.

[0033] < 입력 영상의 패턴 분석 : S601 >

[0034] 라인 메모리(11)는 입력 영상의 데이터를 수평라인 단위로 저장한다.

[0035] 패턴분석부(13)는 라인 메모리(11)에 저장되는 수평라인들의 데이터를 바탕으로 문제패턴을 판단한다. 패턴분석부(13)는 인접하는 수직 화소들이 서로 다른 기준계조에 속할 때에 패턴 화소로 간주하고, 패턴 화소들이 전체 수평 화소들 중에서 일정 비율 이상일 경우에 문제패턴이라고 판단한다.

[0036] 문제패턴 여부를 판단하기 위해서, 패턴분석부(13)는 라인 메모리(11)에 저장되는 각 화소의 데이터가 기준계조에 속하는지를 확인한다. 라인 메모리(11)는 수평라인에 배열되는 화소들의 개수에 대응하는 제1 내지 제n 메모리영역(A1~An)을 포함하고, 각 메모리영역(A1~An)은 수평라인에 배열된 화소들 각각에 제공되는 데이터를 저장한다. 예컨대, 도 7에 도시된 입력 영상의 일례를 나타내는 도면이고, 도 8의 (a)는 제m 수평라인(Hm)에 배열된 각 화소들에 제공되는 데이터가 저장된 라인 메모리(11)의 모식도이고, 도 8의 (b)는 제(m+1) 수평라인

[H(m+1)]에 배열된 각 화소들에 제공되는 데이터가 저장된 라인 메모리(11)의 모식도이다.

[0037] 패턴분석부(13)는 제1 내지 제n 메모리영역(A1~An)에 각각 저장되는 데이터들이 기준계조에 속하는지를 확인한다. 도 8의 (a)에서와 같이, 제i 메모리영역(Ai)에 저장된 데이터가 '127'계조라고 하면, 패턴분석부(13)는 제m 수평라인(Hm)의 제i 열 화소의 데이터가 '중간계조'에 속한다고 판단한다.

[0038] 이어서, 제(m+1) 수평라인[H(m+1)] 화소들의 데이터가 저장된 도 8의 (b)와 같은 모식도에서, 제i 메모리영역(Ai)에 저장된 데이터가 '255'계조라고 하면, 패턴분석부(13)는 제(m+1) 수평라인[H(m+1)]의 제i 열 화소의 데이터가 '고계조'에 속한다고 판단한다.

[0039] < 문제패턴 확인 : S603 >

[0040] 그리고 패턴분석부(13)는 라인 메모리(11)의 각 메모리영역(A1~An)에 저장된 데이터들의 기준계조가 동일하게 변하는 화소들을 패턴화소로 간주한다. 즉, 패턴분석부(13)는 제(m+1) 수평라인[H(m+1)]의 제i 열 화소를 패턴화소로 간주한다.

[0041] 패턴분석부(13)는 패턴화소들의 개수를 산출하고, 패턴화소들이 전체 수평라인에 배열된 화소들 중에서 일정 비율 이상인지 여부를 판단한다. 그리고 패턴분석부(13)는 수평라인에 배열된 전체 화소들의 개수에 대비하여 패턴화소들의 개수가 일정 이상일 경우에 특수패턴으로 판단한다. 예컨대 도 5에서 제(m+1) 수평라인에서 패턴화소의 개수가 'k' 개일 경우에, 패턴분석부(13)는 다음의 [수학식 1]을 만족할 경우에 제(m+1) 수평라인을 패턴화소로 간주한다.

[0042] [수학식 1]

$$(k/n) \times 100 \geq 임계치(%)$$

[0044] < 소스 출력 인에이블신호의 하이논리 폭 제어 : S605 >

[0045] 신호제어부(15)는 특수패턴인 수평라인에 제공하는 데이터의 출력 시간을 조절한다.

[0046] 이를 위해서 신호제어부(15)는 소스 출력 인에이블신호(SOE)의 하이논리 구간을 조절함으로써, 차지 쉐어 시간을 조절한다. 차지 쉐어 시간은 기준계조들의 변화에 따라서 달라질 수 있다.

[0047] 차지 쉐어 시간의 설정 기준을 도 9 내지 도 12를 참고하여, 자세히 살펴보면 다음과 같다. 도 9 내지 도 12에서, 저계조 전압레벨은 '0'계조를 표시하기 위한 전압레벨이고, 중간계조 전압레벨은 '127'계조를 표시하기 위한 전압레벨이고, 고계조는 '255'계조를 표시하기 위한 전압레벨로 정의하기로 한다. 또한, 도 9 내지 도 11은 제m 수평라인(Hm)에서 제(m+1) 수평라인[H(m+1)]으로 데이터전압이 변하는 구간을 나타낸 것으로, 이때 차지 쉐어는 제(m+1) 수평라인[H(m+1)]에 제공되는 초기출력전압을 조절한다. 즉, 도 9 내지 도 11의 설명에서 초기출력전압은 제(m+1) 수평라인[H(m+1)]의 초기출력전압을 의미하고, 데이터전압은 제(m+1) 수평라인[H(m+1)]에 제공되는 데이터전압을 의미한다.

[0048] 도 9는 중간계조에서 저계조로 변화할 때, 차지 쉐어 시간에 따라서 화소에 충전되는 전압이 변하는 것을 나타내는 도면이다.

[0049] 도 9를 참조하면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 차지 쉐어 시간에 따라서 달라지고, 제(m+1) 수평라인[H(m+1)]의 데이터전압은 '0'계조 전압이다.

[0050] 차지 쉐어 동작이 없다면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 중간계조 전압레벨(127계조)이기 때문에, 초기전압과 데이터전압 간의 차이는 제1 변화량(ΔV_0)이 된다. 그리고 차지 쉐어 동작이 제1 기간(T1) 정도로 짧게 수행되면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 'V1'의 전압레벨이 되어서, 초기전압과 데이터전압 간의 차이는 제2 변화량(ΔV_1)이 된다. 또한, 차지 쉐어 동작이 제2 기간(T2) 정도로 길게 수행되면, 제(m+1) 수평라인의 초기전압은 공통전압레벨(Vcom)에 근접한 'V2' 전압레벨로 되고, 초기전압과 데이터전압 간의 제3 변화량(ΔV_2)이 된다.

[0051] 즉, 도 9에서는 차지 쉐어 기간을 길수록 초기전압과 데이터전압 간의 차이가 줄어든다. 리플의 크기는 초기전압과 데이터전압 간의 차이에 비례하기 때문에, 수평라인 간의 데이터가 중간계조에서 저계조로 변할 때에는 차지 쉐어 기간이 길수록 리플이 감소한다. 따라서, 신호제어부(15)는 수평라인 간의 데이터가 중간계조에서 저계조로 변할 때에는 리플을 줄이기 위해서 차지 쉐어 기간을 길게 한다.

[0052] 도 10은 고계조에서 중간계조로 변화할 때, 차지 쉐어 시간에 따라서 화소에 충전되는 전압이 변하는 것을 나타

내는 도면이다.

[0053] 도 10을 참조하면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 차지 쉐어 시간에 따라서 달라지고, 제(m+1) 수평라인[H(m+1)]의 데이터전압은 '127' 계조 전압이다.

[0054] 차지 쉐어 동작이 없다면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 고계조 전압레벨(255계조)이기 때문에, 초기 전압과 데이터전압 간의 차이는 제1 변화량(ΔV_0)이 된다. 그리고 차지 쉐어 동작이 제1 기간(T1) 정도로 짧게 수행되면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 'V1'의 전압레벨이 되어서, 초기전압과 데이터전압 간의 차이는 제2 변화량(ΔV_1)이 된다. 또한, 차지 쉐어 동작이 제2 기간(T2) 정도로 길게 수행되면, 제(m+1) 수평라인의 초기전압은 공통전압레벨(Vcom)에 근접한 'V2' 전압레벨로 되고, 초기전압과 데이터전압 간의 제3 변화량(ΔV_2)이 된다.

[0055] 즉, 도 10에서 차지 쉐어 기간이 길어질수록 초기전압은 고계조 전압레벨(255계조)로부터 중간계조 전압레벨(127계조)을 경유하여 공통전압레벨(Vcom)에 근접한 'V2' 전압레벨까지 감소한다. 따라서, 도 10에서 차지 쉐어 동작을 수행하면 초기전압이 중간계조 전압레벨에 도달하는 시점(t1)까지는 초기전압과 데이터전압 간의 변화량이 감소한다. 그리고 지속적으로 차지 쉐어 동작을 수행하면, 초기전압과 데이터전압 간의 변화량은 다시 증가한다.

[0056] 따라서, 신호제어부(15)는 초기전압이 중간계조 전압레벨(127계조)에 도달하는 시점(t')까지 차지 쉐어 기간으로 설정한다. 이때, 초기전압이 중간계조 전압레벨(127계조)에 도달하는 시점(t')은 패널특성에 따라서 달라질 수 있기 때문에 실험치에 근거하여 설정될 수 있다.

[0057] 도 11은 중간계조에서 고계조로 변화할 때, 차지 쉐어 시간에 따라서 화소에 충전되는 전압이 변하는 것을 나타내는 도면이다.

[0058] 도 11을 참조하면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 차지 쉐어 시간에 따라서 달라지고, 제(m+1) 수평라인[H(m+1)]의 데이터전압(255계조)은 고계조 전압이다.

[0059] 차지 쉐어 동작이 없다면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 중간계조 전압레벨(127계조)이기 때문에, 초기 전압과 데이터전압 간의 차이는 제1 변화량(ΔV_0)이 된다. 그리고 차지 쉐어 동작이 제1 기간(T1) 정도로 짧게 수행되면, 제(m+1) 수평라인[H(m+1)]의 초기전압은 'V1'의 전압레벨이 되어서, 초기전압과 데이터전압 간의 차이는 제2 변화량(ΔV_1)이 된다. 또한, 차지 쉐어 동작이 제2 기간(T2) 정도로 길게 수행되면, 제(m+1) 수평라인의 초기전압은 공통전압레벨(Vcom)에 근접한 'V2' 전압레벨로 되고, 초기전압과 데이터전압 간의 제3 변화량(ΔV_2)이 된다.

[0060] 즉, 도 11에서는 차지 쉐어 기간을 길수록 초기전압과 데이터전압 간의 차이가 늘어난다. 리플의 크기는 초기 전압과 데이터전압 간의 차이에 비례하기 때문에, 수평라인 간의 데이터가 중간계조에서 고계조로 변할 때에는 차지 쉐어 기간이 길수록 리플이 증가한다. 따라서, 신호제어부(15)는 수평라인 간의 데이터가 중간계조에서 저계조로 변할 때에는 리플을 줄이기 위해서 차지 쉐어 기간을 감소시킨다.

[0061] 또한, 중간계조에서 고계조로 변할 때와 마찬가지로, 저계조에서 중간계조로 변하는 패턴에서도 신호제어부(15)는 수평라인 리플을 줄이기 위해서 차지 쉐어 기간을 감소시킨다.

[0062] 이러한 각 문제패턴의 형태에서 차지 쉐어 시간에 따른 리플 변화에 대한 시뮬레이션 결과를 정리하면 도 12와 같다.

[0063] 도 12에서, ①의 그래프는 수평라인 간의 데이터전압이 중간계조에서 저계조로 변할 때, 차지 쉐어 시간에 따른 리플의 변화를 나타내는 그래프이다. 그리고 ②의 그래프는 수평라인 간의 데이터전압이 고계조에서 중간계조로 변할 때, 차지 쉐어 시간에 따른 리플의 변화를 나타내는 그래프이다. 또한 ③ 및 ④의 그래프는 각각 저계조에서 중간계조로 변할 때 및 중간계조에서 저계조로 변화할 때 차지 쉐어 시간에 따른 리플 변화의 일례를 나타내는 도면이다.

[0064] 도 12의 그래프에서 기준계조의 변화에 따라서 리플이 최소인 차지 쉐어 시간은 루-업 테이블(미도시)의 형태로 저장될 수 있다. 다시 말해서, 신호제어부(15)는 각각의 패턴에서 리플이 최소로 야기되는 차지 쉐어 기간을 루-업 테이블에서 선택할 수 있다. 이때, 구체적인 시간은 패널특성 또는 데이터전압의 충전시간을 고려하여 설정될 수 있다. 예컨대, 도 12는 차지 쉐어 기간이 0.2 μ s일 때 리플이 최소인 예를 나타내고 있지만, 저계조에서 중간계조로 변할 때 리플을 최소로 유도하는 차지 쉐어 기간은 패널에 따라서 달라질 수 있다.

[0065]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0066]

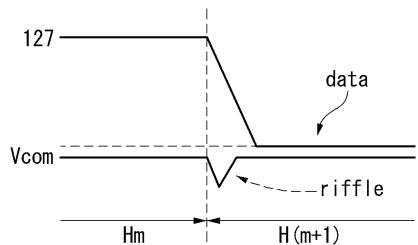
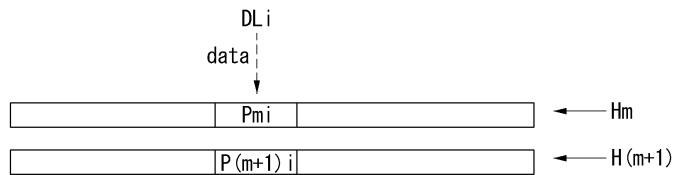
10 : 잔상개선부 20 : 액정패널

30 : 타이밍 콘트롤러 40 : 게이트 구동회로

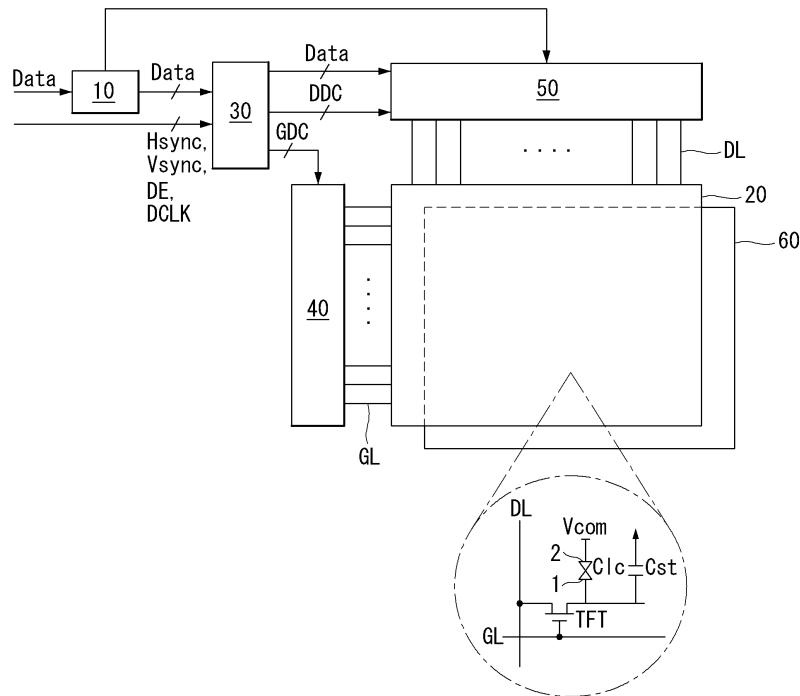
50 : 데이터 구동회로 60 : 백라이트 유닛

도면

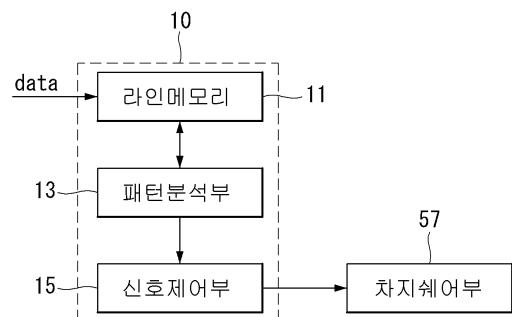
도면1



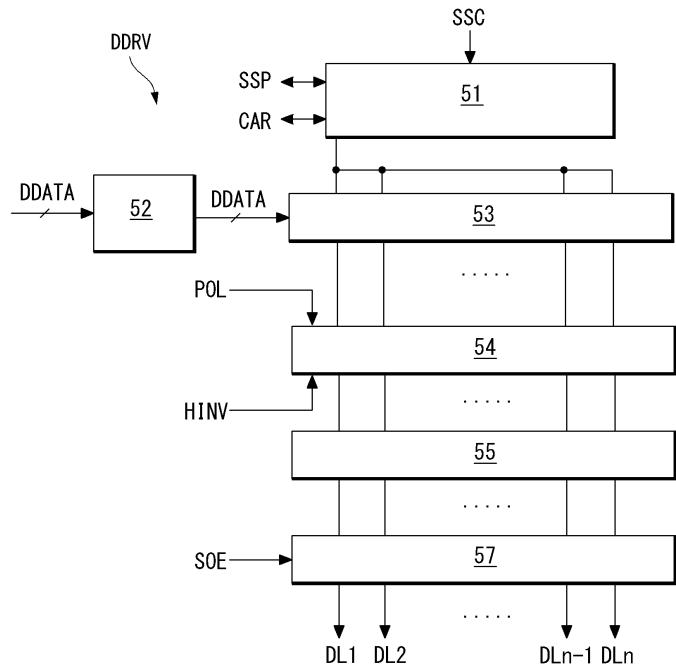
도면2



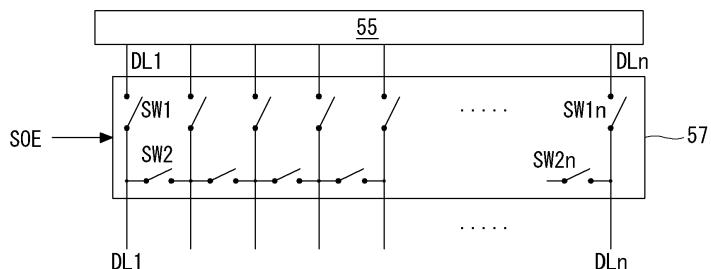
도면3



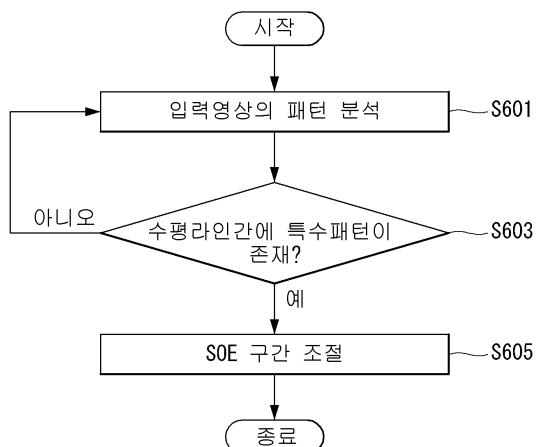
도면4



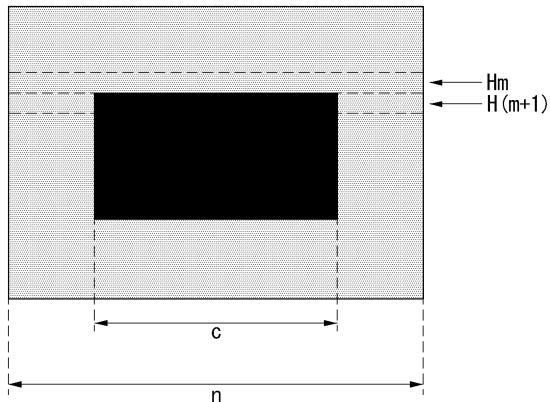
도면5



도면6



도면7

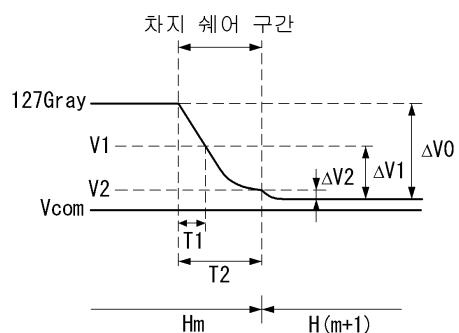


도면8

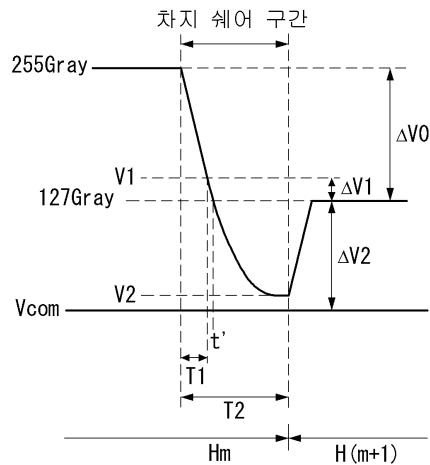
(a) $\begin{array}{|c|c|} \hline 127 & 127 \\ \hline \end{array} \cdots \begin{array}{|c|c|c|} \hline 127 & 127 & 127 \\ \hline A_{i-1} & A_i & A_{i+1} \\ \hline \end{array} \cdots \begin{array}{|c|} \hline 127 \\ \hline A_n \end{array} H_m$

(b) $\begin{array}{|c|c|} \hline 127 & 127 \\ \hline \end{array} \cdots \begin{array}{|c|c|c|} \hline 0 & 0 & 0 \\ \hline A_{i-1} & A_i & A_{i+1} \\ \hline \end{array} \cdots \begin{array}{|c|} \hline 127 \\ \hline A_n \end{array} H_{(m+1)}$

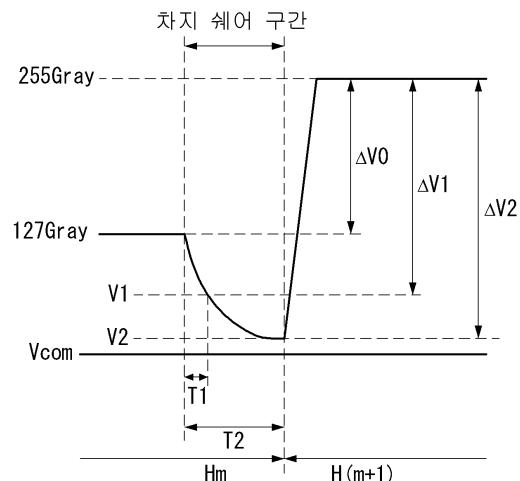
도면9



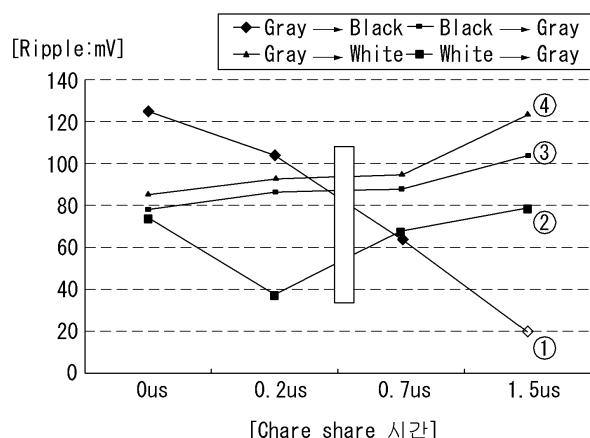
도면10



도면11



도면12



专利名称(译)	标题 : 液晶显示装置及其驱动方法		
公开(公告)号	KR1020150107484A	公开(公告)日	2015-09-23
申请号	KR1020140030487	申请日	2014-03-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOO CHUNG HO 유충호 SONG HYUN JIN 송현진		
发明人	유충호 송현진		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G02F1/13306 G09G2310/08		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置。根据本发明的液晶显示器包括液晶面板，其中多条数据线和多条栅极线彼此交叉，数据电压在源输出使能信号的行逻辑间隔期间输出到数据线，的一种数据驱动器，用于在高逻辑周期期间使相邻数据线短路，以将输入图像的数据传输到数据驱动电路，输出使能信号并且当检测到问题模式时，源输出的高逻辑部分基于垂直相邻数据之间的灰度变化启用信号，残留图像改善单元它包括。

