



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0066032
(43) 공개일자 2011년06월16일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0122769

(22) 출원일자 2009년12월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

하찬기

인천광역시 남동구 서창동 (18/4) 현대모닝사이드
아파트 304동 904호

조용수

대구광역시 북구 동천동 915번지 화성3차아파트
102동 1005호

(74) 대리인

박장원

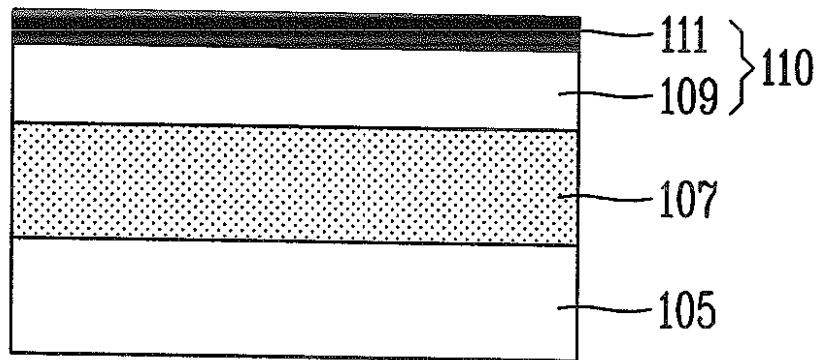
전체 청구항 수 : 총 9 항

(54) 액정표시장치용 박막트랜지스터 및 그 제조방법

(57) 요약

본 발명은 액정표시장치용 박막트랜지스터 및 그 제조방법에 관한 것으로, 액정표시장치용 박막트랜지스터는, 투명 절연기판 상에 형성된 게이트전극; 상기 게이트전극을 덮는 영역을 포함한 절연기판 상에 형성된 게이트절연막; 상기 게이트절연막 상부에 형성되고, 도핑되지 않은 순수 비정질실리콘 물질로 이루어지며 게이트전극과 대응되는 영역이 채널부로 정의된 반도체층; 상기 채널부에서 반도체층을 노출시키며 서로 이격되게 위치하여 형성된 소스전극 및 드레인전극; 상기 게이트절연막과 반도체층 사이에 형성된 n- 불순물층; 및 상기 소스전극 및 드레인전극과 반도체층 간의 계면에 형성되고, n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘의 물질로 이루어진 저항성 접촉층;을 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

투명 절연기판 상에 형성된 게이트전극;

상기 게이트전극을 덮는 영역을 포함한 절연기판 상에 형성된 게이트절연막;

상기 게이트절연막 상부에 형성되고, 도핑되지 않은 순수 비정질실리콘 물질로 이루어지며 게이트전극과 대응되는 영역이 채널부로 정의된 반도체층;

상기 채널부에서 반도체층을 노출시키며 서로 이격되게 위치하여 형성된 소스전극 및 드레인전극;

상기 게이트절연막과 반도체층 사이에 형성된 n- 불순물층; 및

상기 소스전극 및 드레인전극과 반도체층 간의 계면에 형성되고, n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘의 물질로 이루어진 저항성 접촉층;을 포함하여 구성되는 것을 특징으로 하는 액정표시장치용 박막트랜지스터.

청구항 2

제1 항에 있어서, 상기 n- 불순물층은 10~200Å 두께를 갖는 것을 특징으로 하는 액정표시장치용 박막트랜지스터.

청구항 3

제1 항에 있어서, 상기 n- 불순물층 내에 인(phosphorus)이 도핑되어 있는 것을 특징으로 하는 액정표시장치용 박막트랜지스터.

청구항 4

제3 항에 있어서, 상기 n- 불순물층 내의 인(phosphorus) 농도는 $1 \times 10^{15} \sim 1 \times 10^{20}$ 개/cm³ 인 것을 특징으로 하는 액정표시장치용 박막트랜지스터.

청구항 5

투명 절연기판 상에 게이트전극을 형성하는 단계;

상기 게이트전극을 덮는 영역을 포함한 절연기판 상에 게이트절연막을 형성하는 단계;

상기 게이트절연막 상부에 n- 불순물층과, 도핑되지 않은 순수 비정질실리콘층 및 n형 불순물이 고농도로 도핑되어 있는 n형 불순물 비정질실리콘층을 순차적으로 증착한 후, 상기 게이트전극과 대응되는 영역을 제외한 부분을 식각하여 n- 불순물층패턴과, 순수 비정질실리콘층과 n형 불순물 비정질실리콘층으로 구성되는 액티브층을 형성하는 단계;

상기 액티브층을 포함한 투명 절연기판 전면에 금속층을 형성하는 단계;

상기 금속층을 식각하여 소스전극과 드레인전극을 서로 이격되도록 형성하는 단계; 및

상기 게이트전극과 대응되는 소정영역의 순수 비정질실리콘층이 노출되도록 상기 n형 불순물 비정질실리콘층을 식각하여 저항성 접촉층을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 하는 액정표시장치용 박막트랜지스터 제조방법.

청구항 6

제5 항에 있어서, 상기 n- 불순물층은 10~200Å 두께를 갖는 것을 특징으로 하는 액정표시장치용 박막트랜지스터 제조방법.

청구항 7

제1 항에 있어서, 상기 n- 불순물층 내에 인(phosphorus)이 도핑되어 있는 것을 특징으로 하는 액정표시장치용 박막트랜지스터 제조방법.

청구항 8

제7 항에 있어서, 상기 n- 불순물층 내의 인(phosphorus) 농도는 $1 \times 10^{15} \sim 1 \times 10^{20}$ 개/cm³ 정도인 것을 특징으로 하는 액정표시장치용 박막트랜지스터 제조방법.

청구항 9

제5 항에 있어서, 상기 게이트전극과 대응되는 소정영역의 순수 비정질실리콘층이 노출되도록 상기 n형 불순물 비정질실리콘층을 식각하여 저항성 접촉층을 형성하는 단계는, 백채널 식각(Back Channel Etching) 공정을 통해 형성되는 것을 특징으로 하는 액정표시장치용 박막트랜지스터 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display; LCD)용 박막트랜지스터 (Thin Film Transistor; TFT)에 관한 것으로서, 보다 상세하게는 액티브층 아래에 n- 불순물층을 도핑하여 오프전류(off current; Ioff) 특성을 개선시킴으로써 박막트랜지스터의 온/오프전류비 (on/off ratio)를 증가시킬 수 있는 액정표시장치용 박막트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로, 액정표시장치는 투명 절연기판인 어레이기판과 컬러필터기판 사이에 이방성 유전율을 갖는 액정층을 형성한 후, 액정층에 형성되는 전계의 세기를 조정하여 액정물질의 분자배열을 변경시키고, 이를 통하여 표시면인 컬러필터기판에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 장치이다.

[0003] 이러한 액정표시장치로는 박막트랜지스터(Thin Film Transistor; TFT)를 스위칭 소자로 이용하는 박막 트랜지스터 액정표시장치(TFT LCD)가 주로 사용되고 있다.

[0004] 이러한 박막 트랜지스터 액정표시장치의 스위칭 소자로 이용되는 박막트랜지스터 구조에 대해 도 1을 참조하여 설명하면 다음과 같다.

[0005] 도 1은 종래기술에 따른 액정표시장치용 박막트랜지스터 소자의 단면도이다.

[0006] 종래기술에 따른 액정표시장치용 박막 트랜지스터 소자는, 도 1에 도시된 바와 같이, 투명 절연기판(11) 상에 형성된 게이트전극(13)과; 상기 게이트전극(13) 상부에 형성된 게이트절연막(15)과; 상기 게이트절연막(15) 상부에 도핑되지 않은 비정질실리콘 물질로 이루어지며 게이트전극(13)과 대응되는 영역이 채널부로 정의된 반도체층(17)과 상기 채널부에서 반도체층(17)을 노출시키며 서로 이격되게 위치하여 형성된 소스전극(21a) 및 드레인전극(21b)과; 상기 소스전극(21a) 및 드레인전극(21b)과 반도체층(17) 간의 계면에 형성되고, n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질 실리콘의 물질로 이루어진 저항성 접촉층(ohmic contact layer; 19)을 포함한다.

[0007] 또한, 상기 박막트랜지스터 소자의 상부에는 실리콘 질화막(SiNx) 등의 무기절연물질로 이루어진 보호막(23)이 형성되어 있고, 이러한 보호막(23)에는 드레인전극(21b)을 노출시키는 콘택홀(미도시)이 형성되어 있으며, 상기 콘택홀을 통해 상기 드레인전극(21b)에 연결되며 투명도전물질로 이루어진 화소전극(27)이 형성되어 있다.

[0008] 이러한 구성으로 이루어진 종래의 액정표시장치용 박막트랜지스터 제조공정에 대해 도 1을 참조하여 간략하게 설명하면 다음과 같다.

[0009] 도 1에 도시된 바와 같이, 먼저 투명 절연기판(11) 상에 증착된 게이트전극층을 제1 마스크를 이용한 사진공정과 에칭공정에 의해 패터닝함으로써 게이트전극 (13)을 형성하고, 상기 게이트전극(13)을 덮는 기판의 전면에 게이트절연막(15)을 형성한다.

- [0010] 그 다음, 상기 게이트절연막(15) 상부에 도핑되지 않은 순수 비정질실리콘 물질의 반도체층(17)과 n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘물질의 저항성 접촉층(19)을 차례로 증착한다.
- [0011] 이어서, 제2 마스크를 이용한 사진공정과 에칭공정에 의해 상기 게이트전극(13)에 대응되는 영역과 소스전극 및 드레인전극이 형성될 영역을 제외하고, 상기 도핑되지 않은 순수 비정질실리콘 물질의 반도체층(17)과 n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘물질의 저항성 접촉층(19)을 패터닝한다.
- [0012] 그 다음, 기판 전면에 금속층을 증착하고, 제3 마스크를 이용하여 상기 금속층을 식각하여 소스전극(21a) 및 드레인전극(21b)을 서로 이격되게 형성하고, 이 소스전극(21a) 및 드레인전극(21b)을 차단막으로 하여 상기 게이트전극(13)과 대응되는 영역의 n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘의 저항성 접촉층(19)을 백채널 에칭(Back Channel Etching: BCE) 공정으로 제거하여 그 아래의 반도체층(17)을 노출시킴으로써 반도체층(17)의 채널부(미도시)를 정의한다.
- [0013] 이어서, 기판 전면에 절연물질을 증착하여 보호막(23)을 형성하고, 제4 마스크를 이용한 사진공정과 에칭공정을 수행하여 상기 보호막(23)에 드레인전극(21b)을 노출시키는 콘택홀(미도시)을 형성한다.
- [0014] 그 다음, 상기 보호막(23) 상부에 투명도전층을 증착하고, 제 5 마스크를 이용한 사진공정과 에칭공정을 수행하여 상기 콘택홀을 통해 상기 드레인전극(21b)에 연결되는 화소전극(27)을 형성한다.
- [0015] 이상에서와 같이, 종래기술에 따른 백채널 식각형 박막트랜지스터는 게이트전극, 게이트절연막, 반도체층, n+ 불순물 비정질실리콘 물질로 이루어진 저항성 접촉층 및 소스전극/드레인전극으로 구성되는데, 박막트랜지스터 특성은 액정표시장치(LCD) 구동시에 충전(charging), 방전(discharging) 및 홀딩(holding) 특성에 영향을 미친다. 특히, 충전(charging) 및 방전(discharging) 시에는 박막트랜지스터의 온전류(On current; Ion) 특성이 중요하고, 홀딩(holding) 시에는 박막트랜지스터의 오프전류(Off current; Ioff) 특성이 중요하다. 결국, 박막트랜지스터는 온/오프전류비(Ion/Ioff ratio)가 클수록 좋기 때문에 이를 개선하는데 많은 연구가 진행되고 있다.
- [0016] 그러나, 종래기술에 따른 박막트랜지스터의 반도체층으로 사용하는 순수 비정질실리콘(intrinsic a-Si:H)은 낮은 증착 온도와 재료적인 특성 때문에 온/오프전류비(Ion/Ioff ratio) 특성을 개선하는데 한계가 있다.
- [0017] 특히, 상기 반도체층의 계면은 순수 비정질실리콘 (intrinsic a-Si:H)으로 증착되어 있어, 게이트전압에 따라 채널영역을 형성하게 된다.
- [0018] 더우기, 상기 순수 비정질실리콘 재료의 특성상 페르미 준위(Fermi level; Ef)이 에너지 밴드갭(Energy band gap) 가운데 존재하고 되는데, 이는 전자 (electron) 및 정공(hole)의 이동이 자유롭다. 즉 게이트 전압에 따라 전자 또는 정공 캐리어(electron or hole carrier)의 이동에 의해 전류가 흐르게 된다.
- [0019] 따라서, 종래기술에 따른 액정표시장치용 박막트랜지스터는, 반도체층 재료로서 순수 비정질실리콘(intrinsic a-Si:H)을 사용하기 때문에, 오프전류(Off Current) 영역에서 정공 전류(hole current)에 의한 누설전류(leakage current)가 증가하게 되어, 신뢰성 평가시에 고온 수직 크로스 토크가 유발된다.

발명의 내용

해결 하고자하는 과제

- [0020] 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 액티브층 아래에 n- 불순물층을 도핑하여 오프전류(off current; Ioff) 특성을 개선시킴으로써 박막트랜지스터의 온/오프전류비 (on/off ratio)를 증가시킬 수 있는 액정표시장치용 박막트랜지스터 및 그 제조방법을 제공함에 있다.

과제 해결수단

- [0021] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 박막트랜지스터는, 투명 절연기판 상에 형성된 게이트전극; 상기 게이트전극을 덮는 영역을 포함한 절연기판 상에 형성된 게이트절연막; 상기 게이트절연막 상부에 형성되고, 도핑되지 않은 순수 비정질실리콘 물질로 이루어지며 게이트전극과 대응되는 영역이 채널부로 정의된 반도체층; 상기 채널부에서 반도체층을 노출시키며 서로 이격되게 위치하여 형성된 소스전극 및 드레인전극; 상기 게이트절연막과 반도체층 사이에 형성된 n- 불순물층; 및 상기 소스전극 및 드레인전극과 반도체층 간의 계면에 형성되고, n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘의 물질로 이루어

진 저항성 접촉층;을 포함하여 구성되는 것을 특징으로 한다.

[0022] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법은, 투명 절연기판 상에 게이트전극을 형성하는 단계; 상기 게이트전극을 덮는 영역을 포함한 절연기판 상에 게이트절연막을 형성하는 단계; 상기 게이트절연막 상부에 n- 불순물층과, 도핑되지 않은 순수 비정질실리콘층 및 n형 불순물이 고농도로 도핑되어 있는 n형 불순물 비정질실리콘층을 순차적으로 증착한 후, 상기 게이트전극과 대응되는 영역을 제외한 부분을 식각하여 n- 불순물층패턴과, 순수 비정질실리콘층과 n형 불순물 비정질실리콘층으로 구성되는 액티브층을 형성하는 단계; 상기 액티브층을 포함한 투명 절연기판 전면에 금속층을 형성하는 단계; 상기 금속층을 식각하여 소스전극과 드레인전극을 서로 이격되도록 형성하는 단계; 및 상기 게이트전극과 대응되는 소정영역의 순수 비정질실리콘층이 노출되도록 상기 n형 불순물 비정질실리콘층을 식각하여 저항성 접촉층을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

효과

[0023] 본 발명에 따른 액정표시장치용 박막트랜지스터 및 그 제조방법에 의하면 다음과 같은 효과가 있다.

[0024] 본 발명에 따른 액정표시장치용 박막트랜지스터 및 제조방법은, 게이트절연막과 액티브층 사이에 PH₃ 를 주입하여 n- 불순물층을 형성함으로써, 오프전류 특성을 결정하는 정공 전류(hole current)를 낮출 수 있어, 박막트랜지스터의 온/오프전류비 (on/off ratio)를 증가시킬 수 있다.

[0025] 또한, 본 발명에 따른 액정표시장치용 박막트랜지스터 및 제조방법은 게이트절연막과 액티브층 사이에 형성된 n- 불순물층에 의해 정공전류(hole current)가 제어되어 누설전류(leakage current)가 감소된다.

[0026] 따라서, 본 발명에 따른 액정표시장치용 박막트랜지스터 및 제조방법은, 게이트절연막과 액티브층 사이에 형성된 n- 불순물층에 의해 오프전류 특성이 개선되어, 박막트랜지스터의 온/오프전류비 (on/off ratio)를 증가시킬 수 있으므로 오프전류 특성으로 기인하는 신뢰성 불량 (예를 들어, 수직 크로스 토크)을 개선시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0027] 이하, 본 발명의 바람직한 실시예에 따른 액정표시장치용 박막트랜지스터 제조방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.

[0028] 도 2는 본 발명에 따른 액정표시장치용 박막 트랜지스터 소자의 단면도이다.

[0029] 도 3은 도 2의 "A"부의 확대 단면도로서, 본 발명에 따른 액정표시장치용 박막트랜지스터의 게이트절연막과 반도체층 사이에 형성된 n- 불순물 비정질실리콘층을 확대 도시한 단면도이다.

[0030] 본 발명에 따른 액정표시장치용 박막 트랜지스터 소자는, 도 2에 도시된 바와 같이, 투명 절연기판(101) 상에 형성된 게이트전극(103)과; 상기 게이트전극 (103) 상부에 형성된 게이트절연막(105)과; 상기 게이트절연막(105) 상부에 형성된 n- 불순물층(107)과, 도핑되지 않은 순수 비정질실리콘 물질로 이루어지며 게이트전극(103)과 대응되는 영역이 채널부로 정의된 반도체층(109) 및, 상기 채널부에서 반도체층(109)을 노출시키며 서로 이격되게 위치하여 형성된 소스전극(113a) 및 드레인전극(113b)과; 상기 소스전극(113a) 및 드레인전극(113b)과 반도체층(109) 간의 계면에 형성되고, n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘의 물질로 이루어진 저항성 접촉층(ohmic contact layer; 111)을 포함하여 구성된다.

[0031] 여기서, 상기 게이트전극(103)은 투명 절연기판(101) 상에 알루미늄(A1) 등 비저항값이 낮은 금속물질에서 선택된 금속물질로 형성되며, 상기 게이트절연막 (107)은 게이트전극(103)을 덮는 영역에 실리콘질화막(SiNx), 실리콘산화막(SiOx) 등의 절연물질로 형성된다.

[0032] 그리고, 도 3에 도시된 바와 같이, 상기 n-불순물층(107)은 정공 전류(hole current)를 줄이기 위해, 게이트절연막(105)과 반도체층(109) 계면에 형성된다. 이때, 상기 n- 불순물층(107)은 전자 흐름은 방해하지 않고, 정공(hole) 생성은 방해함으로써, 온/오프전류비(On/off current ratio; Ion/Ioff)를 극대화할 수 있다. 또한, 상기 n-불순물층 내의 인(phosphorus) 농도와 두께는 중요하며, 전자 및 정공 캐리어(carrier)의 이동에 영향을 줄 수 있다. 이때, 상기 n- 불순물층(107) 내의 인 농도는 $1 \times 10^{15} \sim 1 \times 10^{20}$ 개/cm³ 정도가 바람직하며, 그 두께는 10 ~ 200 Å가 바람직하다.

[0033] 또한, 상기 반도체층(109)과 저항성 접촉층(111)은 액티브층(110)을 구성하는데, 상기 반도체층(109)은 게이트

절연막(107) 상부의 게이트전극(103)을 덮는 위치에 도핑되지 않은 순수 비정질 실리콘물질로 형성되어 있으며, 게이트전극 (103)과 대응되는 영역이 채널부(미도시)로 정의된다.

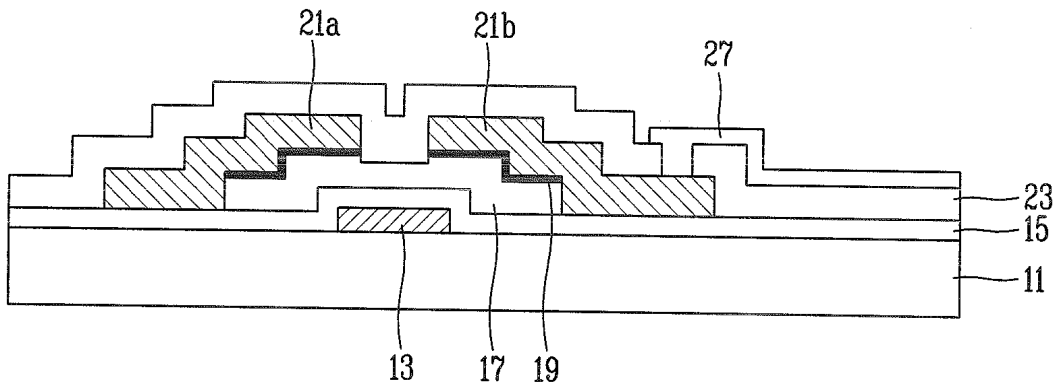
- [0034] 그리고, 상기 소스전극(113a) 및 드레인전극(113b)은 상기 채널부(미도시)에서 반도체층(109)이 노출시키며, 서로 이격되게 위치하여 형성되어 있다. 여기서, 상기 소스전극(113a) 및 드레인전극(113b)으로는 몰리브덴(Mo), 티타늄(Ta), 몰리브덴합금(Mo alloy), 알루미늄과 크롬 등을 포함하는 금속 물질이 사용된다.
- [0035] 또한, 상기 소스전극(113a) 및 드레인전극(113b)의 기판 전면에는 실리콘질화막(SiNx) 등의 무기 절연물질이나 유기 절연물질로 이루어진 보호막(115)이 형성되어 있으며, 상기 보호막(115)에는 상기 드레인전극(113b)를 노출시키는 콘택홀(미도시)이 형성되어 있다.
- [0036] 그리고, 상기 보호막(115) 상부에는 상기 콘택홀을 통해 상기 드레인전극 (113b)에 연결되며, ITO (indium tin oxide) 또는 IZO (indium zinc oxide) 등의 투명 도전물질로 이루어진 화소전극(119a)이 형성되어 있다.
- [0037] 한편, 상기 구성으로 이루어지는 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 대해 첨부된 도면을 참조하여 설명하면 다음과 같다.
- [0038] 도 4a 내지 도 4j는 본 발명에 따른 액정표시장치용 박막트랜지스터 제조공정 단면도이다.
- [0039] 도 5는 본 발명에 따른 액정표시장치용 박막트랜지스터 제조방법에 있어서, 게이트전압에 따른 온/오프전류 변화를 나타낸 그래프이다.
- [0040] 도면에는 도시하지 않았지만, 먼저 투명 절연기판(101) 상에 제1 금속층(미도시)을 증착하고, 상기 제1 금속층 상부에 포토레지스트막(미도시)을 도포한 다음, 제1 마스크를 이용한 사진 공정 및 현상공정을 통해 상기 포토레지스트막(미도시)을 선택적으로 제거하여 제1 포토레지스트막패턴(미도시)을 형성한다. 이때, 상기 제1 금속층은 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al) 계 금속 등을 단일층 또는 이중 층 구조로 하여 형성할 수 있다.
- [0041] 그 다음, 상기 제1 포토레지스트막패턴(미도시)을 차단막으로 하여 상기 제1 금속층(미도시)을 선택적으로 패터닝하여, 도 4a에 도시된 바와 같이, 게이트전극 (103)을 형성한다.
- [0042] 이어서, 도 4b에 도시된 바와 같이, 상기 잔류하는 제1 포토레지스트막패턴 (미도시)을 제거한 후 상기 게이트전극(103)을 덮는 절연기판(101) 전면에 게이트절연막(105)을 형성한다. 이때, 상기 게이트절연막(105)은 유기 절연물질 또는 무기 절연물질 중 어느 하나에서 선택되며, 바람직하게는 무기 절연물질에서 선택되는 것이며, 더욱 바람직하게는 실리콘 절연물질에서 선택되는 것이다. 이러한 실리콘 절연물질로는, 예를 들면 실리콘질화막(SiNx), 실리콘산화막(SiOx) 등을 이용할 수 있다. 이때, 상기 게이트절연막(105)으로 실리콘질화막(SiNx)을 증착할 경우에는, SiH₄, H₂, NH₃, N₂ 의 혼합가스가 이용된다.
- [0043] 그 다음, 도 4c에 도시된 바와 같이, 상기 게이트절연막(105)의 상부에 할로젠 원자들을 이용한 플라즈마 화학 기상증착법(PECVD; plasma chemical vapor deposition method)에 의해 PH₃ 이 도핑된 n-불순물층(107)을 증착한다. 이때, 상기 플라즈마 화학기상 증착방법은 여기된 전자(electron)가 중성 상태로 유입된 기체 화합물과 충돌하여 기체 화합물을 분해하고, 형성된 가스 이온(gas ion) 상호 간의 반응 및 투명 절연기판(101)에서 제공되는 열에너지의 도움으로 재결합하여 박막이 형성, 성장하는 원리를 이용한다. 여기서, 상기 플라즈마 화학 기상증착이 수행되는 챔버(chamber) 내에 유입되는 기체 화합물은 형성하는 막의 종류에 따라 달라지며, 증착 온도, 가스 유입량, 전극과 기판 간의 거리 등에 의해 형성되는 막의 성질이 좌우된다.
- [0044] 상기 PH₃ 이 도핑된 n-불순물층(107)을 증착할 때에는, SiH₄, H₂ 및 PH₃ 의 혼합 가스가 사용된다.
- [0045] 특히, 상기 n- 불순물층 (107)은 전자 흐름은 방해하지 않고, 정공(hole) 생성은 방해함으로써, 온/오프전류비 (On/off current ratio; Ion/Ioff)를 극대화시키는 역할을 한다. 또한, 상기 n-불순물층 (107) 내의 인(phosphorus) 농도와 두께는 중요하며, 전자 및 정공 캐리어 (carrier)의 이동에 영향을 줄 수 있다. 이때, 상기 n- 불순물층(107) 내의 인 (phosphorus) 농도는 $1 \times 10^{15} \sim 1 \times 10^{20}$ 개/cm³ 정도가 바람직하며, 그 두께는 10 ~ 200 Å가 바람직하다.
- [0046] 이어서, 도 4d에 도시된 바와 같이, 상기 n-불순물층(107) 상부에 할로젠 원자들을 이용한 플라즈마 화학기상 증착법(PECVD; plasma chemical vapor deposition method)에 의해 도핑되지 않은 순수 비정질 실리콘으로 구성된 반도체층(109)과 n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질 실리콘으로 구성된 저항성 접촉층(111)을 순차적으로 증착한다. 이때, 상기 순수 비정질실리콘으로 구성된 반도체층(109)을 증착할 경우

에는, SiH_4 , H_2 의 혼합가스가 이용된다. 또한, 상기 n형 불순물이 고농도로 도핑되어 있는 n+ 불순물 비정질 실리콘으로 구성된 저항성 접촉층(111)을 증착할 경우에는, SiH_4 , H_2 및 PH_3 의 혼합 가스가 사용된다.

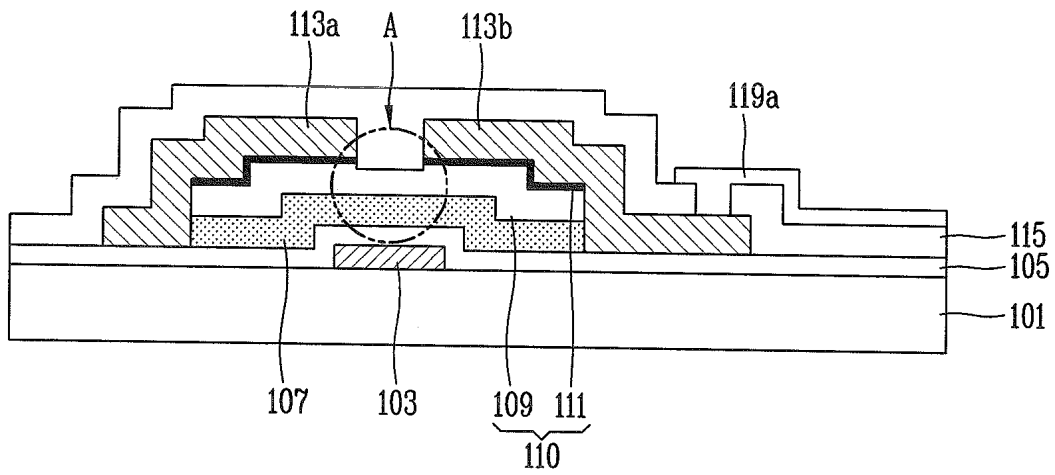
- [0047] 그다음, 도면에는 도시하지 않았지만, 상기 저항성 접촉층(111) 상부에 포토레지스트막(미도시)을 도포한 다음, 제2 마스크를 이용한 노광 공정 및 현상공정을 통해 상기 포토레지스트막(미도시)을 선택적으로 제거하여 제2 포토레지스트막패턴 (미도시)을 형성한다.
- [0048] 이어서, 상기 제2 포토레지스트막패턴(미도시)을 차단막으로 하여 상기 n- 불순물층(107), 도핑되지 않은 순수 비정질 실리콘으로 구성된 반도체층(109) 및 n형 불순물인 인 (phosphorus; PH_3)이 고농도로 도핑되어 있는 n+ 불순물 비정질실리콘으로 구성된 저항성 접촉층(111)을 선택적으로 패터닝하여, 도 4e에서와 같이, 상기 n- 불순물층패턴(107)과 함께, 상기 반도체층(109)과 저항성 접촉층(111)으로 구성된 액티브층(110)을 형성한다.
- [0049] 그 다음, 도 4f에 도시된 바와 같이, 상기 잔류하는 제2 포토레지스트막패턴 (미도시)을 제거한 후, 상기 액티브층(110)을 포함한 투명 절연기판(101) 전면에 제2 금속층(113)을 증착한다. 이때, 상기 제2 금속층(113)으로는 알루미늄(Al), 크롬 (Cr), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴합금(Mo alloy) 등이 이용된다.
- [0050] 이어서, 도 4g에 도시된 바와 같이, 상기 제2 금속층(113) 상부에 포토레지스트막(미도시)을 도포한 후, 제3 마스크를 이용한 노광공정 및 현상공정을 통해 선택적으로 제거하여 제3 포토레지스트막패턴(미도시)을 형성한다.
- [0051] 그 다음, 상기 제3 포토레지스트막패턴(미도시)을 차단막으로 하여 상기 제2 금속층(113)을 선택적으로 패터닝하여, 소스전극 (113a)과 드레인전극(113b)을 서로 이격되게 형성한다.
- [0052] 이때, 상기 제2 금속층(113) 식각시에, 건식 습각(Dry Etching)과 습식 식각 (Wet Etching) 방법을 사용할 수 있다. 즉, 상기 제2 금속층(113)을 습식 식각한 후 잔존물을 건식 식각으로 제거하여 소스전극(113a)과 드레인전극(113b)을 형성한다. 또한, 상기 습식 식각은 기판을 식각액에 침전시키거나 또는 분사 노즐로 식각액을 기판 상에 분사시킴으로써, 식각액과 금속층(113)을 반응시켜 식각작업을 행하는 방식으로 이루어진다. 이때, 습식 식각액은 불산(HF)이나 인산(PH_3) 등의 혼합액을 포함하도록 조성되는 것이 바람직하다.
- [0053] 이어서, 잔류하는 제3 포토레지스트막패턴(미도시)을 제거한 후, 상기 소스전극(113a)과 드레인전극(113b)을 차단막으로 하여 백채널 에칭(Back Channel Etching; BCE) 공정으로 게이트전극(103)과 대응되는 영역의 반도체층(109)이 노출되도록 n+ 불순물 비정질실리콘으로 구성된 저항성 접촉층(111)을 식각(etching) 함으로써, 반도체층(109)의 채널부(114)를 정의하고, 저항성 접촉층(111)을 서로 이격시킨다.
- [0054] 그 다음, 도 4h에 도시된 바와 같이, 백채널 식각형 박막트랜지스터를 완성한 후, 상기 기판 전면에 보호막(115)을 형성한다. 이때, 상기 보호막(115)으로 이용되는 절연물질은 유기 절연물질 또는 무기 절연물질 중 어느 하나에서 선택되며, 바람직하게는 무기 절연물질에서 선택되는 것이며, 더욱 바람직하게는 실리콘 절연물질에서 선택되는 것이다. 이러한 실리콘 절연물질로는 예를 들면, 질화 실리콘 (SiN_x)막, 산화 실리콘(SiO_x)막 등을 이용할 수 있다.
- [0055] 이어서, 도면에는 도시하지 않았지만, 상기 보호막(115) 상부에 제4 포토레지스트막(미도시)을 도포하고, 제 4 마스크를 이용한 노광 공정 및 현상 공정에 의해 상기 제4 포토레지스트막(미도시)을 선택적으로 제거하여 제4 포토레지스트막패턴(미도시)을 형성한다.
- [0056] 그 다음, 상기 제4 포토레지스트막패턴을 차단막으로 하여, 상기 보호막 (115)을 선택적으로 패터닝하여, 도 4i에 도시된 바와 같이, 상기 드레인전극 (113b)을 노출시키는 콘택홀(118)을 형성한다.
- [0057] 이어서, 도 4i에 도시된 바와 같이, 상기 잔류하는 제4 포토레지스트막패턴 (미도시)을 제거한 후, 보호막(115) 상부에 스퍼터링방법(sputtering method)을 이용하여 ITO(indium tin oxide) 또는 IZO (indium zinc oxide) 등의 투명 도전물질층(119)을 증착한다.
- [0058] 그 다음, 상기 투명 도전물질층(119) 상부에 포토레지스트막(미도시)을 도포하고, 제5 마스크를 이용한 노광 공정 및 현상 공정을 통해 선택적으로 제거하여 제5 포토레지스트막패턴(미도시)을 형성한다.
- [0059] 이어서, 상기 제5 포토레지스트막패턴(미도시)을 차단막으로 하여, 상기 투명 도전물질층(119)을 선택적으로 패터닝하여, 도 4j에 도시된 바와 같이, 상기 콘택홀(118)을 통해 상기 드레인전극(113b)에 연결되는 화소전극(119a)을 형성한다.

도면

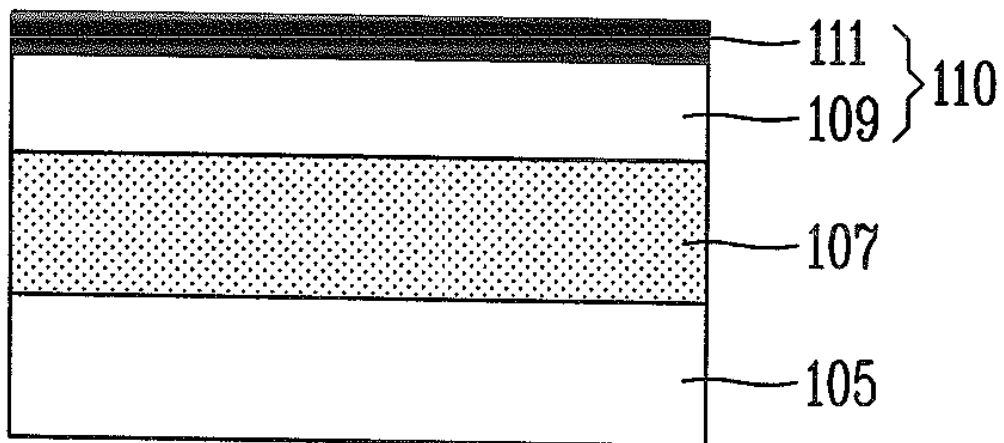
도면1



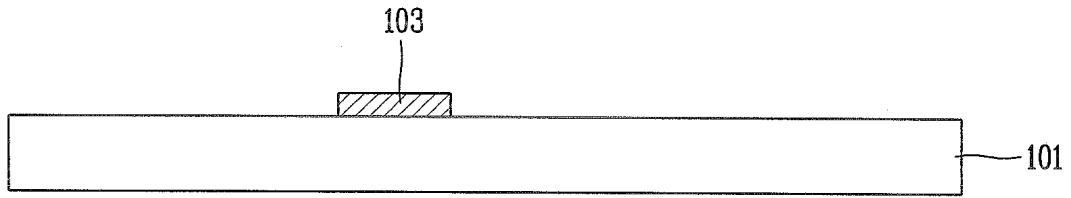
도면2



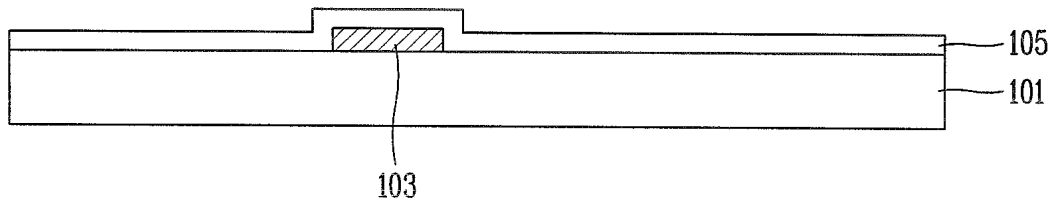
도면3



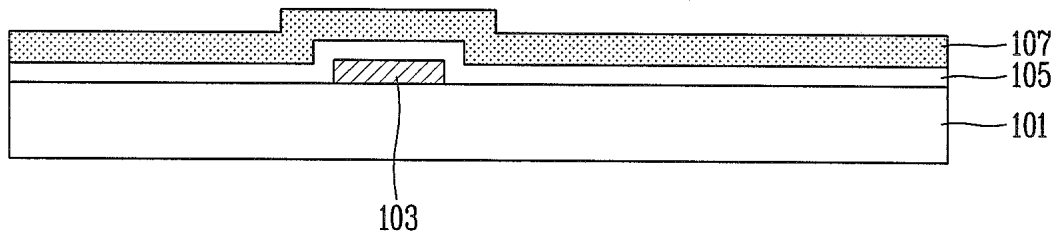
도면4a



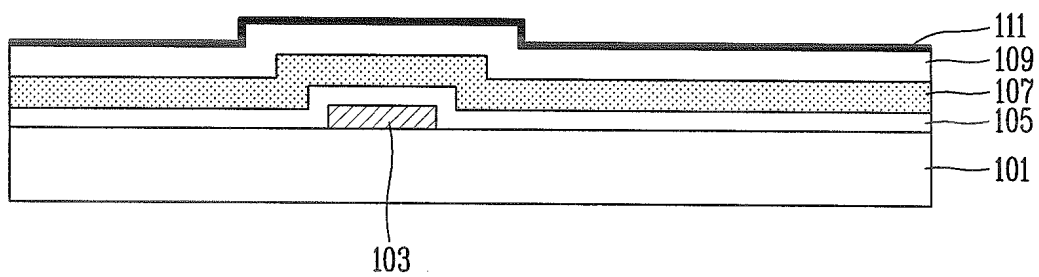
도면4b



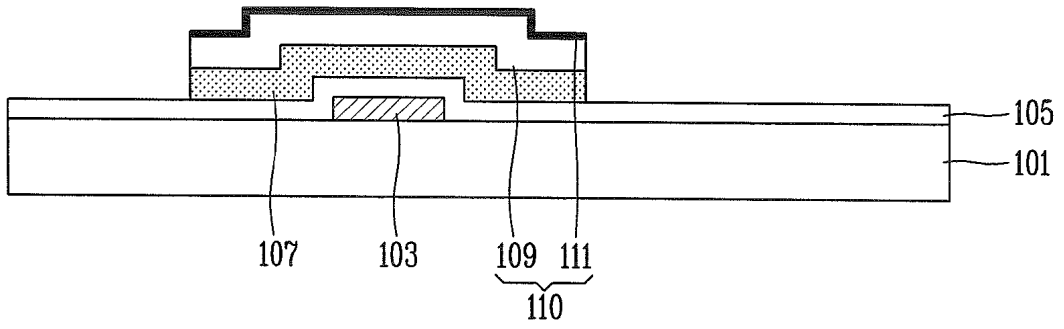
도면4c



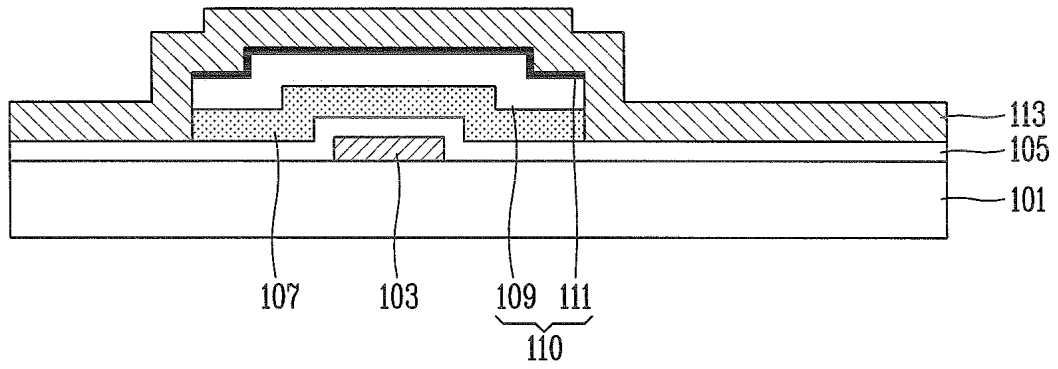
도면4d



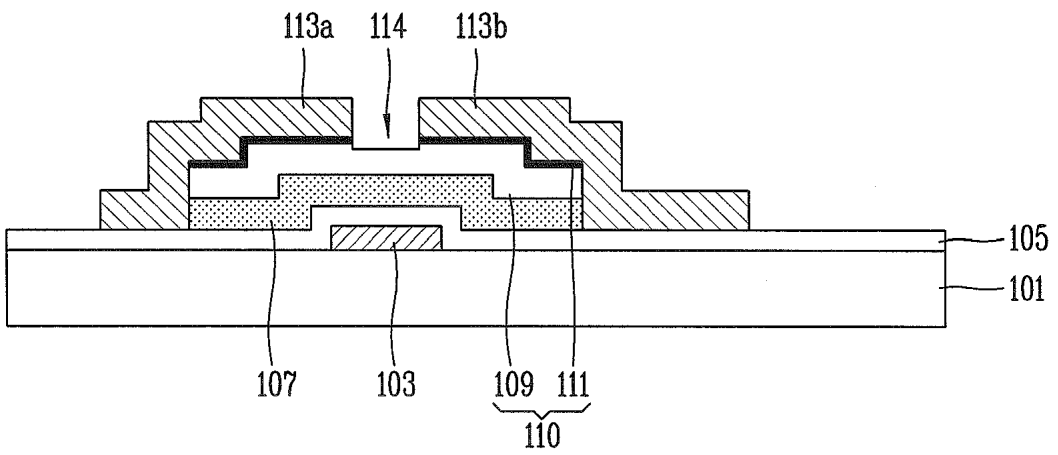
도면4e



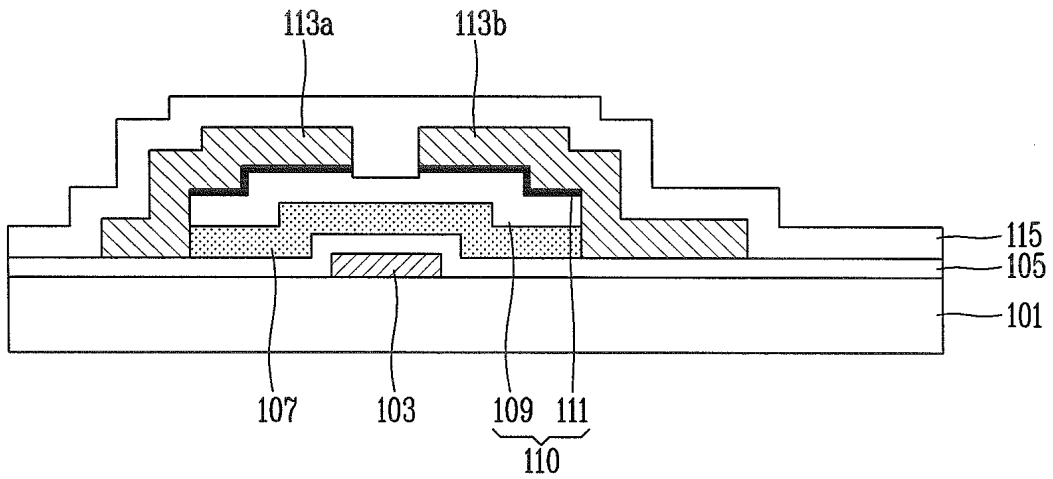
도면4f



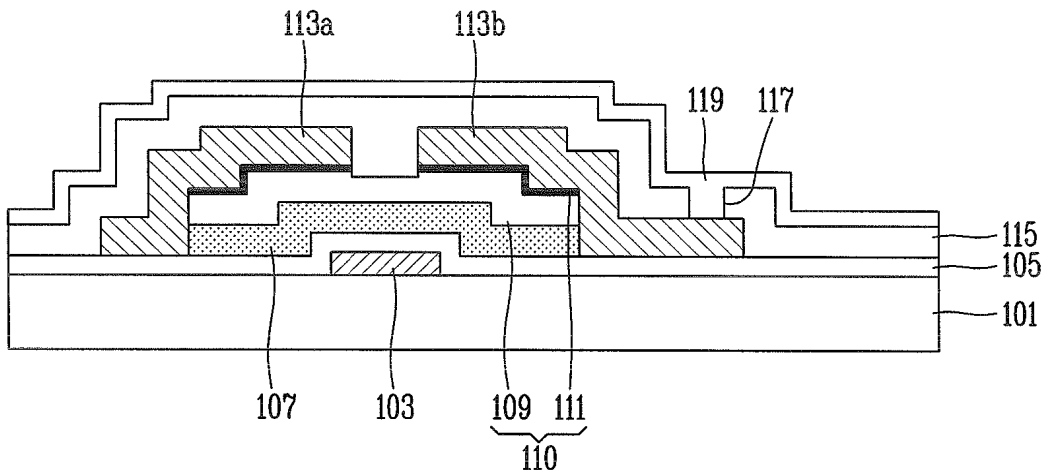
도면4g



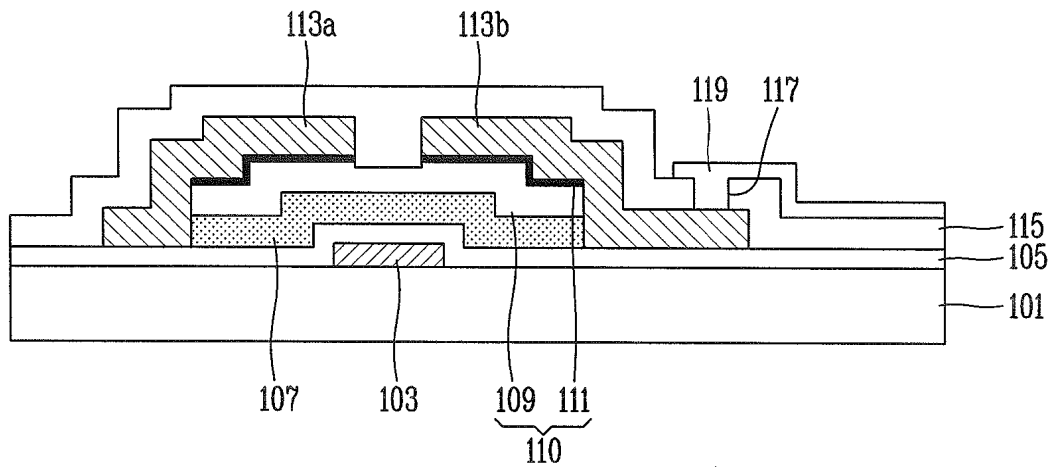
도면4h



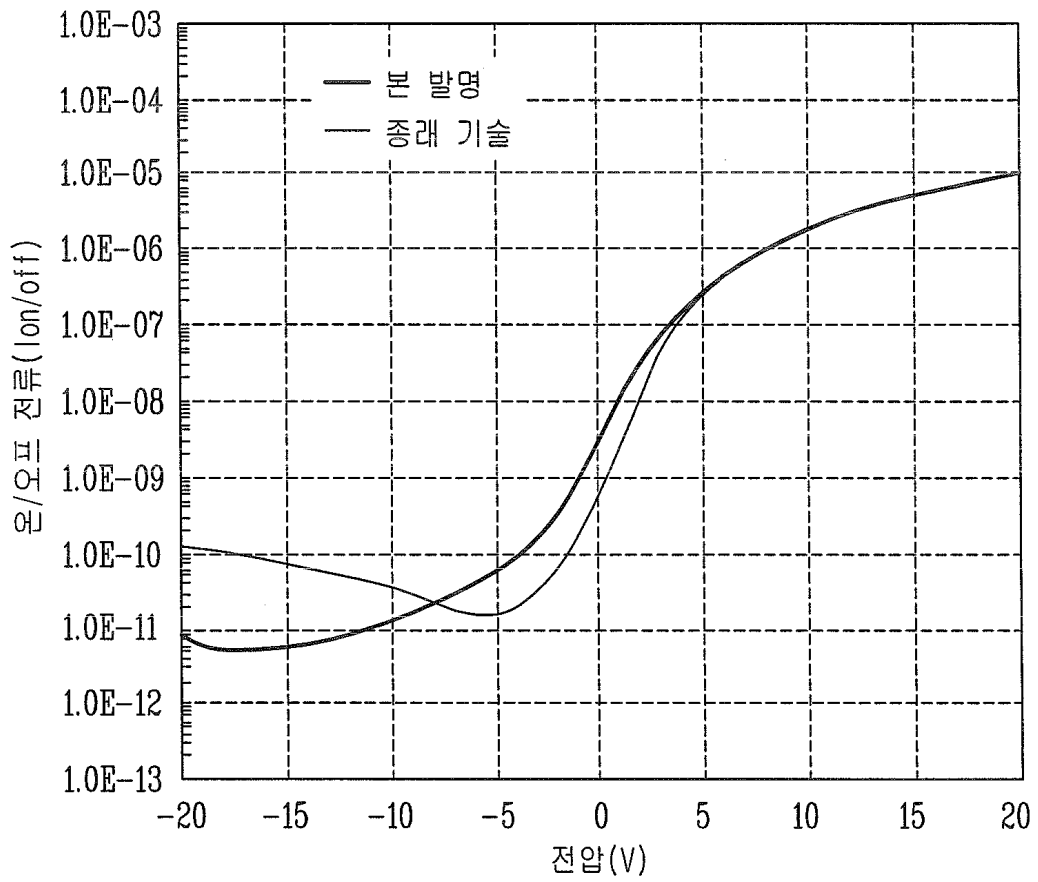
도면4i



도면4j



도면5



专利名称(译)	用于液晶显示装置的薄膜晶体管及其制造方法		
公开(公告)号	KR1020110066032A	公开(公告)日	2011-06-16
申请号	KR1020090122769	申请日	2009-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HA CHAN KI 하찬기 CHO YONG SOO 조용수		
发明人	하찬기 조용수		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L29/458 G02F1/1368 H01L29/78678 H01L29/66765		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置的TFT（薄膜晶体管），通过改善截止电流特性来增加TFT的导通/截止比。组成：液晶显示器件的TFT（薄膜晶体管）包括形成在透明绝缘板上的栅电极，形成在覆盖栅电极的绝缘板上的栅绝缘层（105），半导体层（109）形成在栅极绝缘层的上部，源极和漏极形成在沟道部分上以暴露半导体层，形成在栅极绝缘层和栅极绝缘层之间的n-杂质层（107）半导体层和由n+杂质非晶硅材料制成的欧姆接触层（111）。COPYRIGHT KIPO 2011

