

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2010-0002834 (43) 공개일자 2010년01월07일
(51) Int. Cl.	(71) 출원인	
<i>G02F 1/1343</i> (2006.01) <i>G02F 1/136</i> (2006.01)	엘지디스플레이 주식회사	
(21) 출원번호 10-2008-0062875	서울 영등포구 여의도동 20번지	
(22) 출원일자 2008년06월30일	(72) 발명자	
심사청구일자 없음	채지은	
	경북 구미시 진평동 1039-2번지(3/1)	
	문수환	
	경북 구미시 상모동 우방신세계타운 105동 901호	
	(74) 대리인	
	특허법인로알	

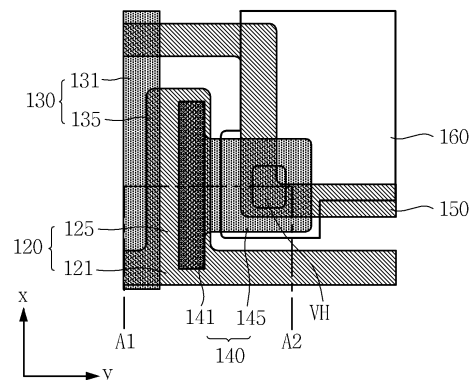
전체 청구항 수 : 총 5 항

(54) 액정표시장치

(57) 요약

본 발명은, 기판 상에 위치하며 제1방향으로 배열된 제1배선부와, 제1방향과 직교하도록 제1배선부로부터 연장된 게이트 영역을 갖는 복수의 게이트 배선; 기판 상에 위치하며 복수의 게이트 배선을 따라 이격하도록 위치하는 복수의 공통 전압 배선; 복수의 게이트 배선 및 복수의 공통 전압 배선 상에 위치하는 제1절연막; 제1절연막 상에 위치하며 제2방향으로 배열된 제3배선부와, 두 개의 주사선마다 게이트 영역의 일측과 타측에 중첩하는 제1전극 영역을 갖는 복수의 데이터 배선; 및 제1절연막 상에 위치하며 제1전극 영역에 대향하도록 게이트 영역의 일측과 타측에 두 개의 주사선마다 중첩하는 제2전극 영역과, 화소 전극에 연결되는 콘택 영역을 갖는 제2전극 영역이 게이트 영역에 모두 중첩하는 복수의 금속 전극을 포함하는 액정표시장치를 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

기관 상에 위치하며 제1방향으로 배열된 제1배선부와, 상기 제1방향과 직교하도록 상기 제1배선부로부터 연장된 게이트 영역을 갖는 복수의 게이트 배선;

상기 기관 상에 위치하며 상기 복수의 게이트 배선을 따라 이격하도록 위치하는 복수의 공통 전압 배선;

상기 복수의 게이트 배선 및 상기 복수의 공통 전압 배선 상에 위치하는 제1절연막;

상기 제1절연막 상에 위치하며 제2방향으로 배열된 제3배선부와, 두 개의 주사선마다 상기 게이트 영역의 일측과 타측에 중첩하는 제1전극 영역을 갖는 복수의 데이터 배선; 및

상기 제1절연막 상에 위치하며 상기 제1전극 영역에 대향하도록 상기 게이트 영역의 일측과 타측에 두 개의 주사선마다 중첩하는 제2전극 영역과, 화소 전극에 연결되는 콘택 영역을 갖되 상기 제2전극 영역이 상기 게이트 영역에 모두 중첩하는 복수의 금속 전극을 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제2전극 영역은 상기 콘택 영역보다 상기 제2방향으로 길게 형성되고,

상기 콘택 영역은 상기 제2전극보다 상기 제1방향으로 길게 형성된 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 복수의 금속 전극은,

(┐) 또는 (└)자 형상으로 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 게이트 영역의 폭은,

상기 제1배선부의 폭보다 넓은 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 제1전극 영역이 두 개의 주사선마다 상기 게이트 영역의 일측과 타측에 중첩함에 따라 상기 제1전극 영역과 대향하는 상기 제2전극 영역은 두 개의 주사선마다 서로 다른 전압이 교번하여 걸리는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정표시장치에 관한 것이다.

배경 기술

<2> 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이

증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

- <3> 이러한 액정표시장치는 크게 트랜지스터 어레이 기판과 컬러필터 기판으로 구성된다. 트랜지스터 어레이 기판에는 게이트, 반도체층, 소오스 및 드레인을 포함하는 트랜지스터와 트랜지스터의 소오스 또는 드레인에 연결된 화소 전극을 포함하는 서브 픽셀이 형성된다. 그리고 컬러필터 기판에는 컬러필터와 블랙매트릭스가 형성된다.
- <4> 한편, 트랜지스터 제조과정 중 소오스 및 드레인은 게이트를 기준으로 형성하는데, 종래에는 오버레이(overlay) 편차에 의해 소오스와 드레인이 조금씩 틀어지는 문제가 있었다.
- <5> 오버레이 편차와 관련하여 설명을 추가하면, 동일한 기판 상에서 같은 방향으로 배치된 트랜지스터의 경우 층간 오버레이가 틀어지더라도 게이트와 소오스 간의 기생커패시턴스(Cgs)는 동일하게 형성될 수 있다. 그러나, 도 1과 같이 좌우 대칭형태로 형성된 1자형 트랜지스터의 경우 소오스와 드레인을 형성할 때, 게이트를 기준으로 어느 방향으로 편차가 발생하느냐에 따라 서브 픽셀 간의 Cgs 값이 달리 지게 된다. 여기서, Cgs 값의 차이는 결국 ΔV_p 의 차이를 유발하게 되는데, 이와 같은 문제는 서브 픽셀 내의 전압 차징(charging) 정도의 차이를 유발하게 되어 뎀(dim)이나 특정 얼룩과 같은 표시불량을 야기하게 되므로 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

- <6> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 트랜지스터 제조과정 중 오버레이 편차에 따른 게이트 소오스 간의 기생커패시턴스(Cgs) 차를 방지할 수 있는 액정표시장치를 제공하여 서브 픽셀 내의 전압 차징 정도에 따른 뎀(dim)이나 특정 얼룩과 같은 표시불량을 야기하는 문제를 해결하는 것이다.

과제 해결수단

- <7> 상술한 과제 해결 수단으로 본 발명은, 기판 상에 위치하며 제1방향으로 배열된 제1배선부와, 제1방향과 직교하도록 제1배선부로부터 연장된 게이트 영역을 갖는 복수의 게이트 배선; 기판 상에 위치하며 복수의 게이트 배선을 따라 이격하도록 위치하는 복수의 공통 전압 배선; 복수의 게이트 배선 및 복수의 공통 전압 배선 상에 위치하는 제1절연막; 제1절연막 상에 위치하며 제2방향으로 배열된 제3배선부와, 두 개의 주사선마다 게이트 영역의 일측과 타측에 중첩하는 제1전극 영역을 갖는 복수의 데이터 배선; 및 제1절연막 상에 위치하며 제1전극 영역에 대향하도록 게이트 영역의 일측과 타측에 두 개의 주사선마다 중첩하는 제2전극 영역과, 화소 전극에 연결되는 콘택 영역을 갖되 제2전극 영역이 게이트 영역에 모두 중첩하는 복수의 금속 전극을 포함하는 액정표시장치를 제공한다.
- <8> 제2전극 영역은 콘택 영역보다 제2방향으로 길게 형성되고, 콘택 영역은 제2전극보다 제1방향으로 길게 형성될 수 있다.
- <9> 복수의 금속 전극은, (┐) 또는 (┌)자 형상으로 형성될 수 있다.
- <10> 게이트 영역의 폭은, 제1배선부의 폭보다 넓을 수 있다.
- <11> 제1전극 영역이 두 개의 주사선마다 게이트 영역의 일측과 타측에 중첩함에 따라 제1전극 영역과 대향하는 제2전극 영역은 두 개의 주사선마다 서로 다른 전압이 교번하여 걸릴 수 있다.

효과

- <12> 본 발명은, 트랜지스터 제조과정 중 오버레이 편차에 따른 게이트 소오스 간의 기생커패시턴스(Cgs) 차를 방지할 수 있는 액정표시장치를 제공하여 서브 픽셀 내의 전압 차징 정도에 따른 뎀(dim)이나 특정 얼룩과 같은 표시불량을 야기하는 문제를 해결할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <13> 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- <14> 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 분해 사시도이다.
- <15> 도 1에 도시된 바와 같이 일 실시예에 따른 액정표시장치는 광을 출사하는 광원(171)을 포함할 수 있다. 광원

(171)의 경우 예를 들면, 냉음극관 형광램프(Cold Cathode Fluorescent Lamp: CCFL), 열음극관 형광램프(Hot Cathode Fluorescent Lamp: HCFL), 외부전극 형광램프(External Electrode Fluorescent Lamp: EEFL) 및 발광 다이오드(Light Emitting Diode: LED) 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다.

- <16> 광원(171)은 램프가 일 측면 외측에 위치하는 에지형, 램프가 양쪽 측면에 위치하는 듀얼형, 램프가 직선으로 다수 배열된 직하형 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다. 이와 같은 광원(171)은 인버터에 연결되어 전원을 공급받아 광을 출사할 수 있다.
- <17> 또한, 액정표시장치는 광원(171)으로부터 출사되는 광을 인도하는 광학필름층(176)을 포함할 수 있다. 광학필름층(176)은 광원(171) 상에 위치하는 확산판(172), 확산시트(173), 광학시트(174) 및 보호시트(175)를 포함할 수 있다.
- <18> 광학시트(174)의 경우, 예를 들면 도시된 바와 같이 프리즘 형상일 수 있으나, 렌티큘러 렌즈 또는 마이크로 렌즈 등과 같은 형상으로 위치할 수 있다. 그리고 이러한 광학시트(174)는 비드를 포함할 수도 있다.
- <19> 또한, 액정표시장치는 화상을 표시하는 액정패널(183) 및 광원(171)이 수납되는 상부 케이스(190) 및 하부 케이스(170)를 포함할 수 있다. 하부 케이스(170)는 광원(171)을 수납할 수 있다. 광원(171) 상에는 액정패널(183)이 일정 간격을 두고 위치할 수 있다. 액정패널(183) 및 광원(171)은 하부 케이스(170)와 체결되는 상부 케이스(190)에 의해 고정 및 보호될 수 있다.
- <20> 상부 케이스(190)의 상부 면에는 액정패널(183)의 화상 표시 영역을 노출시키는 개구부가 마련될 수 있다. 그리고 액정패널(183)과 광원(171) 사이에 위치하는 광학필름층(176)의 주변부가 안착 되는 몰드프레임(미도시)이 더 포함될 수도 있다.
- <21> 액정패널(183)은 트랜지스터 등이 형성된 기판(110)과 컬러필터 등이 형성된 기판(180)이 액정층을 사이에 두고 합착된 구조를 가질 수 있다. 이러한 액정패널(183)은 트랜지스터에 의해 독립적으로 구동되는 서브 픽셀이 매트릭스 형태로 배열된다.
- <22> 액정패널(183)의 기판(110)에는 구동부(189)가 접속될 수 있다. 구동부(189)는 패널(183)의 데이터 배선과 게이트 배선을 각각 구동하기 위한 구동 칩(187)을 실장하여 기판(110)과 일측부가 접속된 다수의 필름 회로(186)와, 다수의 필름 회로(186)의 타측부와 접속된 인쇄 회로 기판(188)을 포함할 수 있다.
- <23> 구동 칩(187)을 실장한 필름 회로(186)는 COF(Chip On Film)나 TCP(Tape Carrier Package) 방식을 나타낸 것이다. 그러나 이와는 달리 구동 칩(187)은 COG(Chip On Glass) 방식으로 기판(110) 상에 직접 실장되거나, 트랜지스터 형성 공정에서 기판(110) 상에 형성되어 내장될 수 있다.
- <24> 액정패널(183)의 기판(110) 상에 위치하는 서브 픽셀은 구동 칩(187)으로부터 구동 신호를 공급받을 수 있다. 구동 칩(187)은 서브 픽셀에 데이터 신호를 공급하는 데이터 구동부와 서브 픽셀에 스캔 신호를 공급하는 스캔 구동부를 포함할 수 있다.
- <25> 데이터 구동부 및 스캔 구동부 중 적어도 하나는 COG(Chip On Glass) 방식으로 기판(110) 상에 직접 실장되거나, 트랜지스터 형성 공정에서 기판(110) 상에 형성되어 내장될 수 있다.
- <26> 이와 같은 구조에 따라, 기판(110) 상에 위치하는 각 서브 픽셀은 스캔 신호가 공급되면, 공통 전극에 공급된 공통 전압과 트랜지스터에 연결된 화소 전극에 공급된 데이터 신호와의 차전압에 따라 액정 배열을 제어하여 광 투과율을 조절함으로써 화상을 표시할 수 있다.
- <27> 이하, Z영역의 일부 개략도를 참조하여 서브 픽셀의 배치 구조에 대해 설명한다.
- <28> 도 2는 도 1의 Z영역의 일부 개략도이다. 단, 도시된 서브 픽셀(SP011..SP063)은 일부 주사선(S1..S6)에 배치된 것만 개략적으로 도시한 것이다.
- <29> 도 2에 도시된 바와 같이 각 서브 픽셀(SP011..SP063)은 기판(110) 상에서 교차하는 게이트 배선(120)과 데이터 배선(130) 사이에 위치할 수 있다. 게이트 배선(120)과 데이터 배선(130)의 교차영역에 위치하는 각 서브 픽셀(SP011..SP063)은 게이트 배선(120)으로부터 스캔 신호를 공급받을 수 있고, 데이터 배선(130)으로부터 데이터 신호를 공급받을 수 있으며, 공통 전압 배선(150)으로부터 공통 전압을 공급받을 수 있다.
- <30> 각 서브 픽셀(SP011..SP063)은 게이트 배선(120)과 데이터 배선(130)에 연결된 트랜지스터와 스토리지 커패시터를 포함할 수 있다. 여기서, 트랜지스터는 소오스 또는 드레인을 통해 공급된 데이터 신호를 화소 전극에 전달

하는 금속 전극(140)과 연결될 수 있다.

- <31> 한편, 본 발명의 일 실시예는 도 2와 같은 구조로 배치된 2 도트(dot) Z 인버전(Inversion) 방식으로 구동할 수 있도록 구현된 액정표시장치이다.
- <32> 이와 같은 구조를 갖는 액정표시장치는 데이터 배선(130)이 두 개의 주사선(S1, S2과 S3, S4)마다 트랜지스터의 게이트 영역의 일측과 타측에 중첩하도록 교번 배선된다. 이에 따라, 각 서브 픽셀(SP011..SP063)에 포함된 트랜지스터는 두 개의 주사선(S1, S2과 S3, S4)마다 데이터 배선(130)을 기준으로 일측과 타측으로 교번하여 배치된다.
- <33> 그러므로, 제1 및 제2주사선(S1, S2)에 위치하는 트랜지스터와 제3 및 제4주사선(S3, S4)에 위치하는 트랜지스터는 좌우 대칭형태로 배치된다. 트랜지스터가 이와 같이 좌우 대칭형태로 배치되게 되면, 두 개의 주사선(S1, S2과 S3, S4)마다 서로 다른 전압이 교번하여 걸릴 수 있다.
- <34> 이하, 도 3을 참조하여 서브 픽셀에 대해 설명한다.
- <35> 도 3은 도 2에 도시된 서브 픽셀의 개략도이고, 도 4는 도 3의 A1-A2영역의 단면도이다.
- <36> 도 3 및 도 4에 도시된 바와 같이 하나의 서브 픽셀은, 제1방향(x방향)으로 배열된 제1배선부(121)와, 제1방향(x방향)과 직교하도록 제1배선부(121)로부터 연장된 게이트 영역(125)을 갖는 복수의 게이트 배선(120)을 포함할 수 있다. 또한, 복수의 게이트 배선(120)을 따라 이격하도록 위치하는 복수의 공통 전압 배선(150)을 포함할 수 있다. 또한, 복수의 게이트 배선(120) 및 복수의 공통 전압 배선(150) 상에 위치하는 제1절연막(115)을 포함할 수 있다. 또한, 제1절연막(115) 상에 위치하며 제2방향(y방향)으로 배열된 제3배선부(131)와, 두 개의 주사선마다 게이트 영역의 일측과 타측에 중첩하는 제1전극 영역(135)을 갖는 복수의 데이터 배선(130)을 포함할 수 있다. 또한, 제1절연막(115) 상에 위치하며 제1전극 영역(135)에 대향하도록 게이트 영역(125)의 일측과 타측에 두 개의 주사선마다 중첩하는 제2전극 영역(141)과, 화소 전극(160)에 연결되는 콘택 영역(145)을 갖는 제2전극 영역(141)이 게이트 영역(125)에 모두 중첩하는 복수의 금속 전극(140)을 포함할 수 있다.
- <37> 도 4를 참조하면, 트랜지스터는 제1기판(110) 상에 형성된 게이트 영역(125)을 포함할 수 있다. 게이트 영역(125)은 게이트 배선(120) 중 실질적으로 트랜지스터의 게이트가 되는 영역이다. 게이트를 형성하기 위한 재료는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <38> 또한, 트랜지스터는 게이트 영역(125) 상에 위치하는 제1절연막(115)을 포함할 수 있다. 제1절연막(115)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <39> 또한, 트랜지스터는 제1절연막(115) 상에 위치하는 액티브층(116)을 포함할 수 있다. 또한, 액티브층(116) 상에 정의된 소오스 영역 및 드레인 영역에 각각 위치하는 오믹콘택층(117)을 포함할 수 있다. 액티브층(116)은 a-Si 또는 p-Si 등으로 형성될 수 있으며, 오믹콘택층(117)은 전기 접촉저항을 줄이기 위해 위치할 수 있다.
- <40> 또한, 트랜지스터는 액티브층(116) 및 오믹콘택층(117)에 접촉하는 제1전극 영역(135)과 제2전극 영역(141)을 포함할 수 있다. 제1전극 영역(135)과 제2전극 영역(141)은 데이터 배선(130)과 금속 전극(140) 중 실질적으로 소오스 또는 드레인이 되는 영역이다. 소오스 및 드레인은 단일층 또는 다중층으로 이루어질 수 있다. 소오스 및 드레인이 단일층인 경우 이를 형성하기 위한 재료로는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 반면, 소오스 및 드레인이 다중층인 경우 이를 형성하기 위한 재료로는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <41> 또한, 트랜지스터는 제1전극 영역(135)과 제2전극 영역(141) 상에 위치하는 제2절연막(119)을 포함할 수 있다. 제2절연막(119)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 제2절연막(119)은 패시베이션막일 수 있다.
- <42> 이와 같이 형성된 트랜지스터에서 금속 전극(140) 중 콘택 영역(145)은 비어홀(VH)를 통해 제2절연막(119) 상에 위치는 화소 전극(160)에 연결될 수 있다. 화소 전극(160)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide)

또는 ZnO(Zinc Oxide) 중 어느 하나일 수 있다.

- <43> 제2전극 영역(141)은 콘택 영역(145)보다 제2방향(y방향)으로 길게 형성되고, 콘택 영역(145)은 제2전극(141)보다 제1방향(x방향)으로 길게 형성될 수 있다. 즉, 복수의 금속 전극(140)은 (┐) 또는 (└)자 형상으로 형성될 수 있다.
- <44> 한편, 게이트 영역(125)의 폭은 제1배선부(121)의 폭보다 넓게 형성된다. 이와 같이, 게이트 영역(125)의 폭을 제1방향(x방향)으로 넓게 형성하게 되면 오버레이(overlay) 편차에 의해 소오스와 드레인이 되는 제1전극 영역(135)과 제2전극 영역(141)이 제1방향(x방향)의 좌측 또는 우측으로 틀어지더라도 트랜지스터의 게이트 소오스 간의 기생커패시턴스(Cgs)를 동일하게 형성할 수 있게 된다.
- <45> 트랜지스터의 Cgs 편차의 경우 제2방향(y방향)으로의 틀어짐은 좌우 대칭형태로 배치된 트랜지스터 구조에서는 동일한 Cgs 차가 발생하므로 서브 픽셀 간의 휘도 차이는 발생하지 않는다. 그러나, 제1방향(x방향)으로의 틀어짐은 좌우 대칭형태로 배치된 트랜지스터 구조에서는 큰 Cgs 차가 발생하므로 서브 픽셀 간의 휘도 차가 발생하게 된다.
- <46> 여기서, 게이트 영역(125)의 폭을 넓게 함에 따라 Cgs가 다소 커질 경우, 서브 픽셀 설계시 스토리지 커패시터, 액정층(Clc)을 키우는 방법을 통해 ΔV_p 가 커지는 것을 방지할 수도 있다.
- <47> 이하, 오버레이 편차 발생시 트랜지스터의 Cgs 차이가 발생하는 것에 대해 종래 기술과 본 발명을 비교하여 설명한다.
- <48> 도 5 및 도 6은 종래 기술과 본 발명 간의 오버레이 편차에 따른 트랜지스터의 Cgs 차이를 설명하기 위한 도면이다. 단, 도 5 및 도 6에는 설명에 필요한 주요 부위에만 도면 부호를 기재한다.
- <49> 도 5 및 도 6은 오버레이 편차에 의해 트랜지스터의 소오스 및 드레인이 틀어진 것을 나타낸 도면이다. 도 5 및 도 6의 "OLn"은 n번째 주사선에 위치하는 트랜지스터의 편차 발생 영역을 나타내고, "OLn+k"는 n+k번째 주사선에 위치하는 트랜지스터의 편차 발생 영역을 나타낸다.
- <50> 여기서, 도 5에 도시된 종래의 트랜지스터의 경우 게이트 영역(125)의 폭이 제1배선부(121)의 폭과 유사한 좁은 폭을 갖는다. 이에 따라, 우측 화살표 방향(x방향)으로 오버레이 편차가 발생할 경우, 소오스 및 드레인이 되는 제1전극 영역(135)과 제2전극 영역(141)이 x방향으로 치우쳐진 형태로 형성되면 트랜지스터의 Cgs 차이가 발생하게 된다. 즉, n번째 주사선에 위치하는 트랜지스터의 Cgs와 n+k번째 주사선에 위치하는 트랜지스터의 Cgs 값은 오버레이 편차 발생 정도와 관계되어 ΔV_p 차에 따른 문제를 유발할 수 있다.
- <51> 반면, 도 6에 도시된 일 실시예의 트랜지스터의 경우 게이트 영역(125)의 폭이 제1배선부(121)의 폭보다 넓은 폭을 갖는다. 이에 따라, 우측 화살표 방향(x방향)으로 오버레이 편차가 발생할 경우, 소오스 및 드레인이 되는 제1전극 영역(135)과 제2전극 영역(141)이 x방향으로 치우쳐진 형태로 형성되더라도 게이트 영역(125) 내에 제1전극 영역(135)과 제2전극 영역(141)이 포함되므로 트랜지스터의 Cgs 차이가 발생하지 않게 된다. 즉, n번째 주사선에 위치하는 트랜지스터의 Cgs와 n+k번째 주사선에 위치하는 트랜지스터의 Cgs 값은 오버레이 편차 발생 정도와 무관하게 되어 ΔV_p 차에 따른 문제를 방지할 수 있다.
- <52> 이상 본 발명의 일 실시예는 트랜지스터 제조공정 중 오버레이 편차에 따른 게이트 소오스 간의 기생커패시턴스(Cgs) 차를 방지할 수 있는 액정표시장치를 제공하여 서브 픽셀 내의 전압 차장정도 차에 따른 뒹(dim)이나 특정 얼룩과 같은 표시불량을 야기하는 문제를 해결할 수 있는 효과가 있다.
- <53> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

- <54> 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 분해 사시도.
- <55> 도 2는 도 1의 Z영역의 일부 개략도.

<56> 도 3은 도 2에 도시된 서브 픽셀의 개략도.

<57> 도 4는 도 3의 A1-A2영역의 단면도.

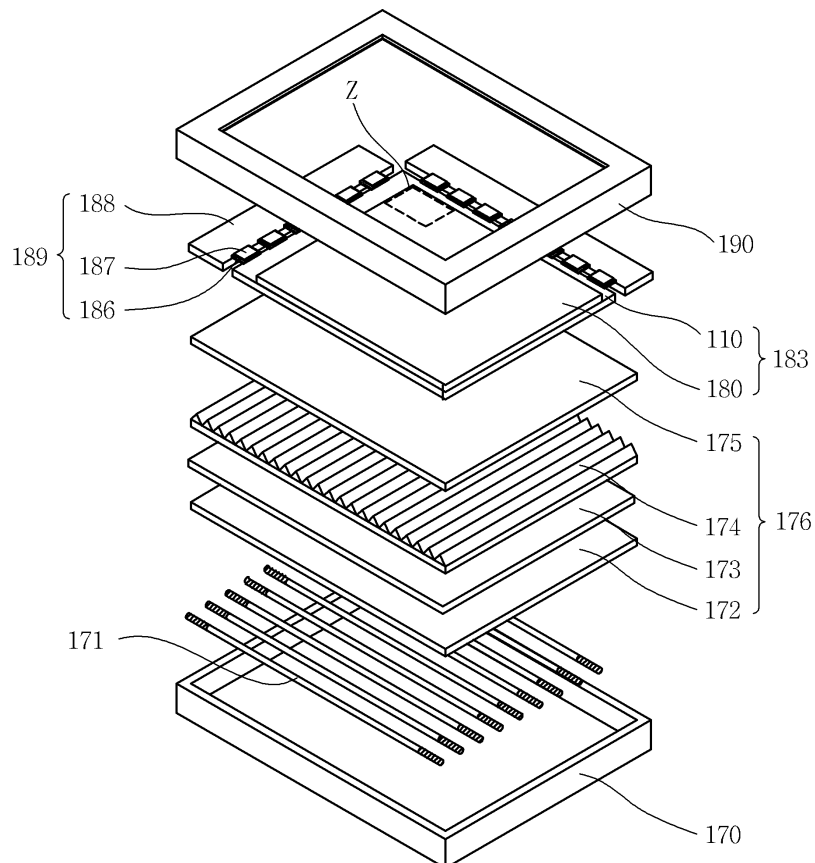
<58> 도 5 및 도 6은 종래 기술과 본 발명 간의 오버레이 편차에 따른 트랜지스터의 Cgs 차이를 설명하기 위한 도면.

<59> <도면의 주요 부분에 관한 부호의 설명>

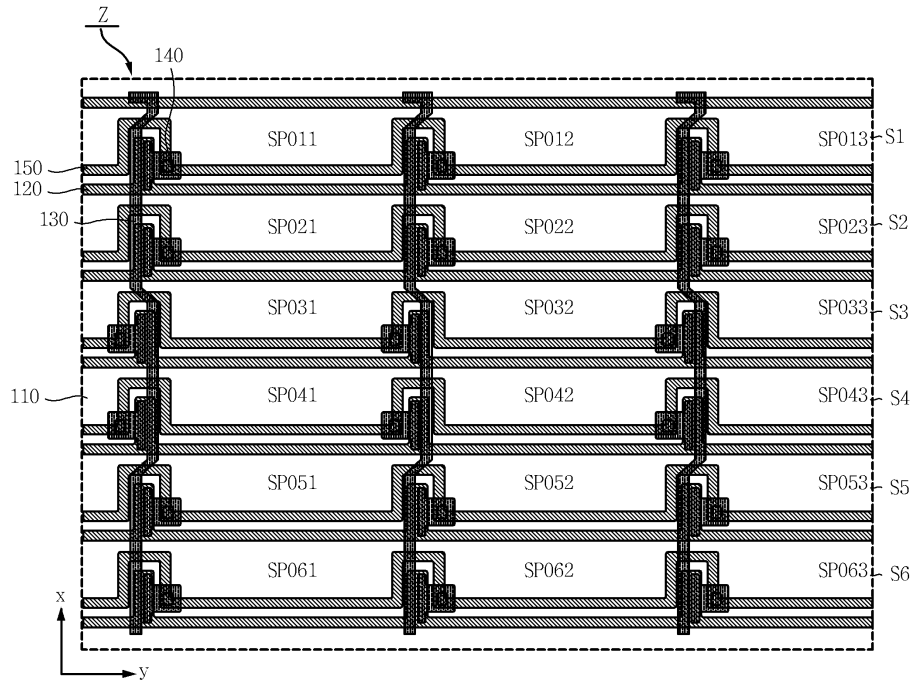
- | | |
|------------------|---------------|
| <60> 110: 기판 | 115: 제1절연막 |
| <61> 116: 액티브층 | 119: 제2절연막 |
| <62> 120: 게이트 배선 | 121: 제1배선부 |
| <63> 125: 게이트 영역 | 130: 데이터 배선 |
| <64> 131: 제2배선부 | 135: 제1전극 영역 |
| <65> 140: 금속 전극 | 141: 제2전극 영역 |
| <66> 145: 콘택 영역 | 150: 공통 전압 배선 |
| <67> 160: 화소 전극 | VH: 비어홀 |

도면

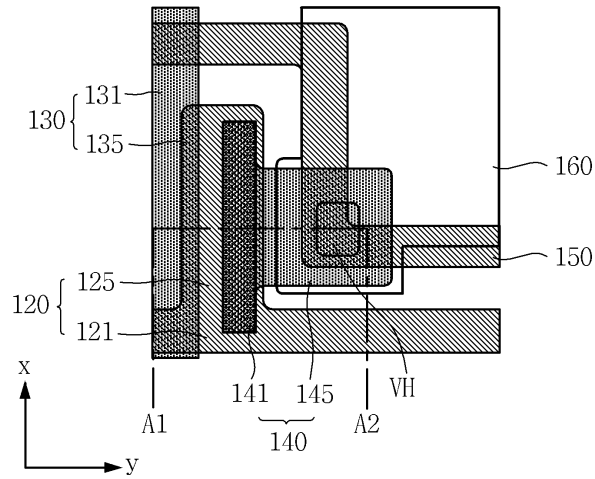
도면1



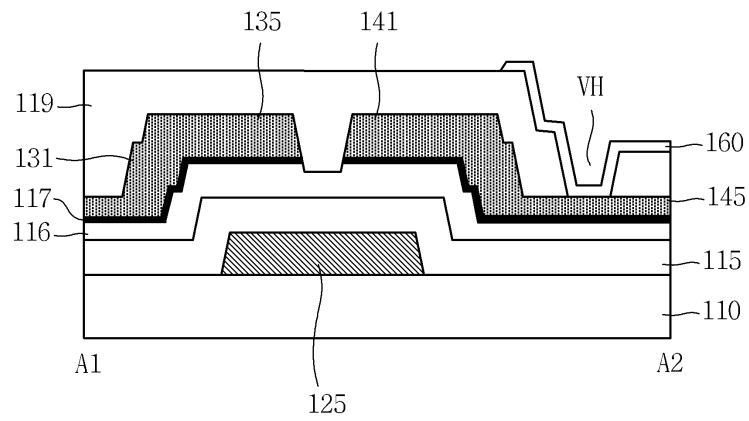
도면2



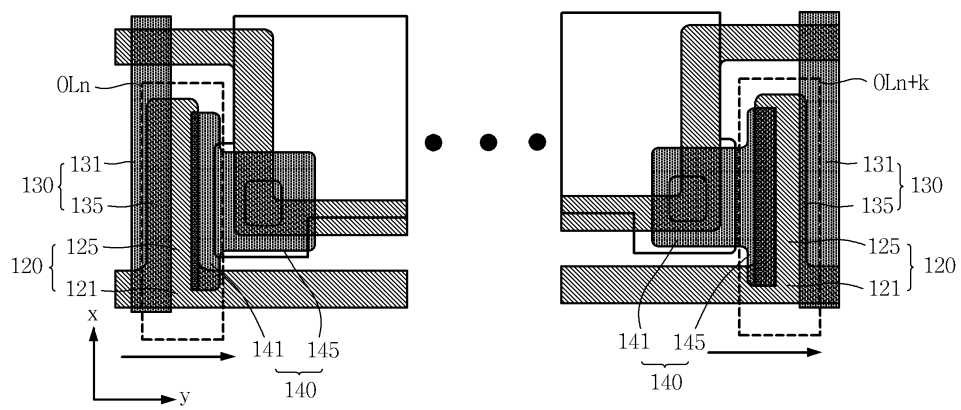
도면3



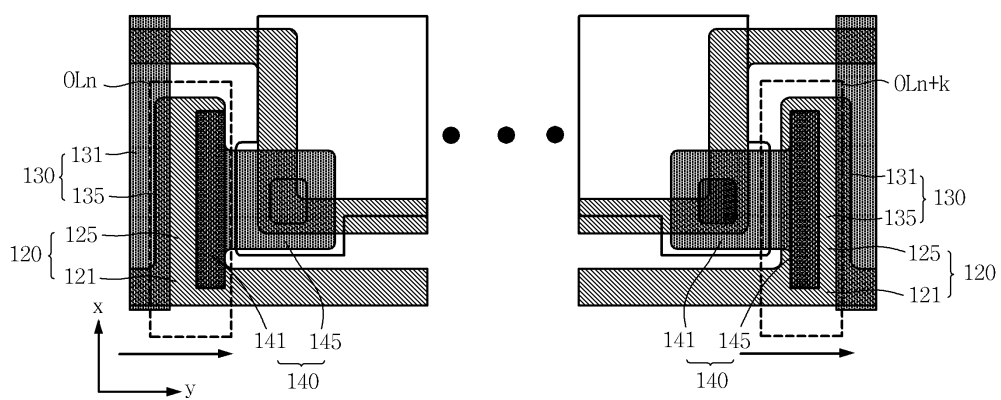
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100002834A	公开(公告)日	2010-01-07
申请号	KR1020080062875	申请日	2008-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHAE JI EUN 채지은 MOON SU HWAN 문수환		
发明人	채지은 문수환		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/136286 G02F1/134309 G02F2001/13629 G02F2001/136295 G02F2201/123 H01L27/124		
外部链接	Espacenet		

摘要(译)

本发明提供了一种液晶显示器，包括多条数据线，其中第一电极区域在栅极区域的一侧和另一侧重叠：根据多个公共电压管道：多个栅极布线，其定位为沿多个栅极布线分开它位于表面上的多个栅极布线具有从第一布线部分沿第一方向延伸的栅极区域以便正交：衬底延伸，其中第一布线部分沿第一方向布置，它位于第一布线部分上在基板和多个公共电压管道的表面上，第三导线部分沿第二方向布置，第一绝缘层位于第一绝缘层的表面上：第一绝缘层位于表面上，两条扫描线和多个金属电极，其中第二绝缘层具有第二电极在两条扫描线和接触区连接处，在栅极区的一侧和另一侧重叠的区域对于像素电极，为了位于第一绝缘层的表面上，并且它面对第一电极区域，并且第二电极区域在栅极区域中一起重叠。液晶显示器，栅极，源极和漏极。

