



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0110978
(43) 공개일자 2008년12월22일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0126769(분할)

(22) 출원일자 2008년12월12일

심사청구일자 2008년12월12일

(62) 원출원 특허 10-2002-0000179

원출원일자 2002년01월03일

심사청구일자 2006년12월20일

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

강명구

서울특별시 송파구 신천동 미성아파트 2동 522호

김현재

경기도 성남시 분당구 이매동 123번지 청구아파트
601동 903호

(뒷면에 계속)

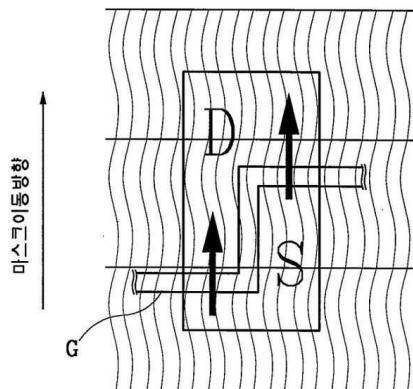
(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 9 항

(54) 박막 트랜지스터 및 액정 표시 장치**(57) 요 약**

본 발명은 박막 트랜지스터 및 액정 표시 장치에 관한 것으로, 구동회로부의 크기를 증가시키지 않고서도 각 박막 트랜지스터의 전하 이동도를 균일하게 하기 위하여, 적어도 일부분이 결정립의 성장 방향에 교차하는 방향을 가지는 게이트 전극을 형성한다. 본 발명에 따른 박막 트랜지스터는, 절연 기판, 절연 기판 위에 형성되어 있으며 채널 영역, 채널 영역을 중심으로 마주하는 소스 및 드레인 영역을 포함하고, 다결정 규소로 이루어지는 반도체, 반도체 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있는 제1 부분과 제1 부분의 끝과 연결되어 있는 제2 부분을 포함하는 게이트 전극을 포함하고, 제1 부분과 제2 부분은 채널 영역과 중첩하고, 제1 부분은 다결정 규소의 결정립의 성장 방향과 교차하는 방향으로 뻗어있고, 제2 부분은 제1 부분과 수직한 방향으로 뻗어있으며 채널 영역과 중첩하는 제1 부분의 길이는 채널 영역과 중첩하는 제2 부분의 길이보다 길다.

대 표 도 - 도3a

(72) 발명자
강숙영
서울특별시 서초구 서초2동 우성아파트 501동 171
3호

정우석
경기도 안양시 동안구 비산동 328-2 파크아파트 A
동 204호

특허청구의 범위

청구항 1

절연 기판,

상기 절연 기판 위에 형성되어 있으며 채널 영역, 채널 영역을 중심으로 마주하는 소스 및 드레인 영역을 포함하고, 다결정 규소로 이루어지는 반도체,

상기 반도체 위에 형성되어 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 제1 부분과 상기 제1 부분의 끝과 연결되어 있는 제2 부분을 포함하는 게이트 전극을 포함하고,

상기 제1 부분과 제2 부분은 상기 채널 영역과 중첩하고, 상기 제1 부분은 상기 다결정 규소의 결정립의 성장 방향과 교차하는 방향으로 뻗어있고, 상기 제2 부분은 상기 제1 부분과 수직한 방향으로 뻗어있으며 상기 채널 영역과 중첩하는 상기 제1 부분의 길이는 상기 채널 영역과 중첩하는 상기 제2 부분의 길이보다 긴 박막 트랜지스터.

청구항 2

제1항에서,

상기 다결정 규소는 상기 기판과 평행한 방향으로 성장한 박막 트랜지스터.

청구항 3

제1항에서, 게이트 전극은 상기 채널 영역과 중첩하며 상기 결정립의 성장 방향과 교차하는 방향으로 뻗어 있으며 상기 제2 부분의 끝과 연결되어 있는 제3 부분을 더 포함하는 박막 트랜지스터.

청구항 4

제2항에서,

상기 게이트 전극은 상기 채널 영역과 중첩하며 상기 제1 부분과 수직한 방향으로 뻗어있고, 상기 제1 부분의 다른 끝과 연결되어 있는 제3 부분을 더 포함하는 박막 트랜지스터.

청구항 5

화면을 표시하는 표시 영역을 포함하는 절연 기판,

상기 표시 영역에 데이터 신호를 전송하는 데이터 구동 회로부,

상기 표시 영역에 게이트 신호를 전송하는 게이트 구동 회로부를 포함하고,

상기 게이트 구동 회로부는 다결정 규소로 이루어지며 제1 채널 영역, 제1 채널 영역을 중심으로 마주하는 제1 소스 영역 및 제1 드레인 영역을 가지는 반도체, 제1 부분과 상기 제1 부분의 끝과 연결되어 있는 제2 부분을 가지는 게이트 전극을 각각 포함하는 복수의 제1 박막 트랜지스터를 포함하고,

상기 제1 부분과 상기 제2 부분은 상기 채널 영역과 중첩하고 상기 제1 박막 트랜지스터의 게이트 전극 중 적어도 하나는 다른 제1 박막 트랜지스터의 게이트 전극과 다른 패턴을 가지는 액정 표시 장치.

청구항 6

제5항에서,

상기 데이터 구동 회로부는 다결정 규소로 이루어지며 제2 채널 영역, 제2 채널 영역을 중심으로 마주하는 제2 소스 영역 및 제2 드레인 영역을 가지는 반도체, 제3 부분과 상기 제3 부분의 끝과 연결되어 있는 제4 부분을 가지는 게이트 전극을 각각 포함하는 복수의 제2 박막 트랜지스터를 포함하고,

상기 제3 부분과 상기 제4 부분은 상기 제2 채널 영역과 중첩하고 상기 제2 박막 트랜지스터의 게이트 전극 중 적어도 하나는 다른 제2 박막 트랜지스터의 게이트 전극과 다른 패턴을 가지는 액정 표시 장치.

청구항 7

제6항에서,

상기 제1 부분 또는 상기 제3 부분은 상기 결정립의 성장 방향과 수직으로 교차하는 액정 표시 장치.

청구항 8

제6항에서,

상기 제1 박막 트랜지스터의 게이트 전극 또는 제2 박막 트랜지스터의 게이트 전극은 상기 결정립의 성장 방향과 교차하는 방향으로 뻗어 있으며 각각 상기 제1 부분 또는 제3 부분의 끝부분과 연결된 제5 부분을 더 포함하는 액정 표시 장치.

청구항 9

제6항에서,

상기 제1 박막 트랜지스터의 게이트 전극 또는 제2 박막 트랜지스터의 게이트 전극은 상기 제1 부분 또는 제3 부분과 수직하게 뻗어 있으며 각각 상기 제1 부분 또는 제3 부분의 다른 끝과 연결된 제5 부분을 더 포함하는 액정 표시 장치.

명세서**발명의 상세한 설명****기술 분야**

<1> 본 발명은 박막 트랜지스터 및 액정 표시 장치에 관한 것이다.

배경 기술

<2> 액정 표시 장치는 전극이 형성되어 있는 상부 및 하부 기판과 그 사이에 주입되어 있는 액정 물질로 구성되어 있다. 이러한 액정 표시 장치는 두 기판 사이에 주입되어 있는 액정 물질에 전극을 이용하여 전계를 인가하고, 이 전계의 세기를 조절하여 기판에 투과되는 빛의 양을 조절함으로써 화상을 표시한다.

<3> 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 공통 전극과 화소 전극이 각각 형성되어 있고, 화소 전극이 형성되어 있는 기판에 화소 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터가 형성되어 있는 형태의 것이다.

<4> 액정 표시 장치에 사용되는 가장 일반적인 박막 트랜지스터는 비정질 규소를 반도체 패턴으로 사용하는 비정질 규소 박막 트랜지스터이다.

<5> 이러한 비정질 규소 박막 트랜지스터는 대략 $0.5\sim1.0 \text{ cm}^2/\text{V}\cdot\text{sec}$ 정도의 전하 이동도(mobility)를 가지고 있는 바, 액정 표시 장치의 스위칭 소자로는 사용이 가능하지만, 전하 이동도가 작아 액정 패널의 상부에 직접 구동 회로를 형성하기는 부적합한 단점이 있다.

<6> 이러한 문제를 극복하기 위하여, 전하 이동도가 대략 $20\sim150 \text{ cm}^2/\text{V}\cdot\text{sec}$ 정도가 되는 다결정 규소를 반도체 패턴으로 사용하는 다결정 규소 박막 트랜지스터가 개발되었다. 다결정 규소 박막 트랜지스터는 상술한 바와 같이 비교적 높은 전하 이동도를 가지고 있으므로, 구동 회로를 액정 패널에 내장하는 칩 인 글라스(Chip In Glass)를 구현할 수 있다.

<7> 다결정 규소의 박막을 형성하는 기술로는, 기판의 상부에 직접 다결정 규소를 고온에서 증착하는 방법, 비정질 규소를 적층하고 고온으로 결정화하는 고상 결정화 방법, 비정질 규소를 적층하고 레이저 등을 이용하여 결정화하는 방법 등이 개발되었다. 그러나, 이러한 방법들은 고온 공정이 요구되기 때문에 액정 패널용 유리 기판에 적용하기는 어려움이 있으며, 불균일한 결정립 경계로 인하여 박막 트랜지스터 간의 전기적인 특성에 대한 균일도를 저하시키는 단점을 가지고 있다.

<8> 이러한 문제점을 해결하기 위해서 결정립 경계의 분포를 인위적으로 조절할 수 있는 순차적 측면 결정화 (sequential lateral solidification) 기술이 개발되었다. 이 기술은 다결정 규소의 그레인인 레이저가 조사

된 액상 영역과 레이저가 조사되지 않은 고상 영역의 경계에서 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한다.

- <9> 순차적 측면 결정화 기술에서, 레이저빔은 슬릿 모양을 가지는 마스크의 투과 영역을 통하여 비정질 규소를 완전히 녹여 비정질 규소층에 슬릿 모양의 액상 영역을 형성한다. 이어, 액상의 비정질 규소는 냉각되면서 결정화가 이루어지는데, 결정은 레이저가 조사되지 않은 고상 영역의 경계에서부터 그 경계면에 대하여 수직 방향으로 성장하고 결정립들의 성장은 액상 영역의 중앙에서 서로 만나면 멈추게 된다. 이러한 순차적 측면 결정화는 마스크로 슬릿 패턴을 결정립의 성장 방향으로 이동하면서 진행하면 박막 전체를 결정화할 수 있다.
- <10> 하지만, 이렇게 결정립의 성장 방향으로만 마스크의 슬릿 패턴을 이동하면서 순차적 측면 결정 공정을 실시하면, 결정립의 성장 방향으로는 수 μm 정도 성장하지만, 결정립의 성장 방향에 대하여 수직 방향으로는 수 천 Å 정도만 성장한 결정립이 형성된다.
- <11> 이렇게 결정립의 크기가 이방성을 가지게 되면, 기판 상부에 형성되는 박막 트랜지스터의 채널 방향에 따라 박막 트랜지스터의 전기적 특성도 이방성으로 나타나게 된다. 즉, 결정립의 성장 방향과 이에 수직한 방향에서의 전하 이동도는 큰 차이를 나타내게 되며, 이는 액정 패널의 상부에 박막 트랜지스터를 형성할 때, 박막 트랜지스터를 한 방향으로만 배열해야 하는 설계상의 어려움을 야기시킨다.
- <12> 통상 액정 패널에 내장하는 데이터 구동회로부와 게이트 구동회로부는 그 방향이 서로 수직을 이루도록 배치되고, 같은 데이터 구동회로부라 하더라도 회로가 복잡해질수록 수직 및 수평 방향 모두가 필요해진다. 이 경우 위에 언급한 순차 측면 고상 결정화법의 특징은 큰 단점이 된다.
- <13> 따라서, 비정질 규소의 박막을 순차 측면 고상 결정화법에 의하여 결정화한 후, 결정화 특성의 이방성이 야기되는 방식을 적용할 경우, 배선을 복잡하게 형성해야 하기 때문에 구동회로부 구성이 어렵게 되고, 또한, 구동회로부의 크기가 증가하게 된다.

발명의 내용

해결 하고자하는 과제

- <14> 본 발명은 액정 표시 장치의 박막 트랜지스터를 형성하는데 있어서, 구동회로부의 크기를 증가시키지 않고서도 각 박막 트랜지스터의 전하 이동도를 균일하게 하고자 한다.

과제 해결수단

- <15> 상기한 문제점을 해결하기 위한 본 발명에 따른 본 발명은 이러한 기술적 과제를 해결하기 위하여, 적어도 일부분이 결정립의 성장 방향에 교차하는 방향을 가지는 게이트 전극을 형성한다.
- <16> 구체적으로, 본 발명에 따른 박막 트랜지스터는, 절연 기판, 절연 기판 위에 형성되어 있으며 채널 영역, 채널 영역을 중심으로 마주하는 소스 및 드레인 영역을 포함하고, 다결정 규소로 이루어지는 반도체, 반도체 위에 형성되어 있는 게이트 절연막, 게이트 절연막 위에 형성되어 있는 제1 부분과 제1 부분의 끝과 연결되어 있는 제2 부분을 포함하는 게이트 전극을 포함하고, 제1 부분과 제2 부분은 채널 영역과 중첩하고, 제1 부분은 다결정 규소의 결정립의 성장 방향과 교차하는 방향으로 뻗어있고, 제2 부분은 제1 부분과 수직한 방향으로 뻗어있으며 채널 영역과 중첩하는 제1 부분의 길이는 채널 영역과 중첩하는 제2 부분의 길이보다 길다.
- <17> 다결정 규소는 기판과 평행한 방향으로 성장할 수 있다.
- <18> 게이트 전극은 채널 영역과 중첩하며 결정립의 성장 방향과 교차하는 방향으로 뻗어 있으며 제2 부분의 끝과 연결되어 있는 제3 부분을 더 포함할 수 있다.
- <19> 게이트 전극은 채널 영역과 중첩하며 제1 부분과 수직한 방향으로 뻗어있고, 제1 부분의 다른 끝과 연결되어 있는 제3 부분을 더 포함할 수 있다.
- <20> 상기한 다른 과제를 달성하기 위한 본 발명에 따른 액정 표시 장치는 화면을 표시하는 표시 영역을 포함하는 절연 기판, 표시 영역에 데이터 신호를 전송하는 데이터 구동 회로부, 표시 영역에 게이트 신호를 전송하는 게이트 구동 회로부를 포함하고, 게이트 구동 회로부는 다결정 규소로 이루어지며 제1 채널 영역, 제1 채널 영역을 중심으로 마주하는 제1 소스 영역 및 제1 드레인 영역을 가지는 반도체, 제1 부분과 제1 부분의 끝과 연결되어 있는 제2 부분을 가지는 게이트 전극을 각각 포함하는 복수의 제1 박막 트랜지스터를 포함하고, 제1 부분과 제2

부분은 채널 영역과 중첩하고 제1 박막 트랜지스터의 게이트 전극 중 적어도 하나는 다른 제1 박막 트랜지스터의 게이트 전극과 다른 패턴을 가진다.

<21> 데이터 구동 회로부는 다결정 규소로 이루어지며 제2 채널 영역, 제2 채널 영역을 중심으로 마주하는 제2 소스 영역 및 제2 드레인 영역을 가지는 반도체, 제3 부분과 제3 부분의 끝과 연결되어 있는 제4 부분을 가지는 게이트 전극을 각각 포함하는 복수의 제2 박막 트랜지스터를 포함하고, 제3부분과 제4 부분은 제2 채널 영역과 중첩하고 제2 박막 트랜지스터의 게이트 전극 중 적어도 하나는 다른 제2 박막 트랜지스터의 게이트 전극과 다른 패턴을 가질 수 있다.

<22> 제1 부분 또는 제3 부분은 결정립의 성장 방향과 수직으로 교차할 수 있다.

<23> 제1 박막 트랜지스터의 게이트 전극 또는 제2 박막 트랜지스터의 게이트 전극은 결정립의 성장 방향과 교차하는 방향으로 뻗어 있으며 각각 제1 부분 또는 제3 부분의 끝부분과 연결된 제5 부분을 더 포함할 수 있다.

<24> 제1 박막 트랜지스터의 게이트 전극 또는 제2 박막 트랜지스터의 게이트 전극은 제1 부분 또는 제3 부분과 수직하게 뻗어 있으며 각각 제1 부분 또는 제3 부분의 다른 끝과 연결된 제5 부분을 더 포함할 수 있다.

효과

<25> 본 발명에 의하면, 구동회로부의 크기를 증가시키지 않고서도 전하 이동도가 높은 박막 트랜지스터를 형성할 수 있으며, 박막 트랜지스터 간 전하 이동도의 균일성을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

<26> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<27> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<28> 우선, 순차적 측면 결정화 방법을 이용하여 비정질 규소의 박막을 결정화하는 기술에 대하여 설명한다.

<29> 도 1은 순차적 측면 결정화 공정을 개략적으로 도시한 개략도이고, 도 2는 순차적 측면 결정화 공정을 통하여 비정질 규소가 다결정 규소로 결정화되는 과정에서 다결정 규소 박막의 미세 구조를 개략적으로 도시한 것이다.

<30> 도 1에서 보는 바와 같이, 순차적 측면 결정화 공정은 슬릿 패턴으로 형성되어 있는 투과 영역(310)을 가지는 마스크(300)를 이용하여 레이저빔을 조사하여 절연 기판의 상부에 형성되어 있는 비정질 규소층(200)을 국부적으로 완전히 녹여 투과 영역(310)에 대응하는 비정질 규소층(200)에 액상 영역(210)을 형성한다.

<31> 이때, 다결정 규소의 결정립은 레이저가 조사된 액상 영역(210)과 레이저가 조사되지 않은 고상 영역(220)의 경계에서 그 경계면에 대하여 수직 방향으로 성장한다. 결정립들의 성장은 액상 영역의 중앙에서 서로 만나면 멈추게 되며, 마스크의 슬릿 패턴을 결정립의 성장 방향으로 이동하면서 레이저빔을 조사하면 결정립의 측면 성장은 계속 진행하여 원하는 정도로 성장시킬 수 있다. 따라서, 결정립의 크기를 조절할 수 있다.

<32> 도 2는 슬릿 패턴이 수평 방향으로 형성되어 있는 마스크를 이용하여 순차적 측면 결정화 공정을 진행하였을 경우, 다결정 규소의 결정립 구조를 나타낸 것이다.

<33> 결정립은 슬릿 패턴에 대하여 수직하게 성장하여 수직 방향으로 성장하였음을 알 수 있다. 도 2에 보인 다결정 규소의 박막은 두 개의 슬릿 패턴을 이용한 순차적 측면 결정화에 의하여 형성된 것임을 알 수 있다.

<34> "L" 부분은 각각의 슬릿 패턴을 이용하여 순차적 측면 결정화를 진행하여 다결정 규소의 영역을 형성할 때, 이웃하는 두 다결정 규소의 영역이 만나서 경계를 이루는 부분이다.

<35> 하지만, 이렇게 결정립의 성장 방향으로만 마스크의 슬릿 패턴을 이동하면서 순차적 고상 결정 공정을 실시하면, 결정립의 성장 방향으로는 수 μm 정도의 결정 입자를 얻을 수 있지만, 결정립의 성장 방향에 대하여 수직 방향으로는 수천 Å 정도의 작은 결정 입자가 형성된다.

- <36> 이때, 박막 트랜지스터의 반도체층을 지나는 게이트 전극이 결정립의 성장 방향에 대하여 수직이면, 박막 트랜지스터의 반도체층에 형성되는 채널 방향은 결정립의 성장 방향과 평행하게 되어 채널을 통과하는 전하 이동도가 $100 \text{ cm}^2/\text{Vsec}$ 정도로 높게 나타난다. 그러나, 게이트 전극이 결정립의 성장 방향과 평행하면, 채널 방향은 결정립의 성장 방향에 대하여 수직이 되어 채널을 통과하는 전하 이동도가 $50 \text{ cm}^2/\text{Vsec}$ 이하로 낮게 나타나게 된다. 이러한 전하 이동도의 차이는 채널에서 전하가 이동할 때, 전하는 결정립 경계를 직접 통과하지 않고 결정립을 따라 이동하기 때문에 발생한다.
- <37> 이렇게 박막 트랜지스터의 전하 이동도는 반도체층과 중첩하는 게이트 전극의 방향에 따라 편차가 크게 발생하며, 이로 인하여 액정 패널의 상부에 형성된 박막 트랜지스터는 그 위치에 따라 특성이 매우 불균일하게 나타난다. 이러한 문제점을 해결하기 위하여 본 발명에서는 적어도 일부가 결정립의 성장 방향과 교차하는 방향을 가지는 게이트 전극을 형성한다.
- <38> 그러면, 이렇게 순차적 측면 결정화 공정에 의하여 형성된 다결정 규소 박막을 이용한 본 발명에 따른 박막 트랜지스터에 대하여 설명하면 다음과 같다.
- <39> 도 3a는 본 발명의 제1 실시예에 따른 박막 트랜지스터의 개략적인 구성도를 나타낸 것이다.
- <40> 이 실시예에 따른 박막 트랜지스터에서, 반도체 패턴(10)은 장방형으로 형성되어 있고, 길이 방향이 결정립의 성장 방향에 평행하도록 패터닝되어 있다.
- <41> 이러한 반도체 패턴(10)에 게이트 전극(G)을 형성할 경우에는 게이트 전극(G)의 일부를 결정립의 성장 방향과 수직하게 되도록 설정하여, 이 부분의 채널을 통과하는 전하가 결정립 경계에 부딪히지 않고 결정립 경계를 따라 이동할 수 있도록 한다.
- <42> 이 실시예에서, 게이트 전극(G)은 결정립의 성장 방향에 평행한 제1 영역(G1), 제1 영역(G1)의 양측에 연결되어 있고, 결정립의 성장 방향과 수직한 제2 및 제3 영역(G2, G3)을 포함하고 있다. 이러한 게이트 전극(G)의 양측 반도체 패턴(10)에는 도전형 불순물이 도핑되어 있는 소스 영역(S)과 드레인 영역(D)이 형성되어 있다.
- <43> 이러한 게이트 전극(G)에 게이트 온 전압(gate on voltage)이 인가되면, 게이트 전극(G)의 하부에 있는 반도체 패턴(10) 부분에 전하가 이동할 수 있는 채널이 형성되고, 이 상태에서 소스 영역(S)에 데이터 전압이 인가되면, 소스 영역(S)에 있는 전하가 채널을 통하여 드레인 영역(D)으로 이동한다. 이 때, 전하는 결정립 경계가 없는 게이트 전극(G)의 제2 및 제3 영역(G2, G3)에 의하여 형성된 채널을 직진으로 통과하여 이동도가 높아진다. 도면에서 화살표는 전하의 이동을 표시한 것이다.
- <44> 도 3b는 본 발명의 제2 실시예에 따른 박막 트랜지스터의 개략적인 구성도를 나타낸 것이다.
- <45> 이 실시예에 따른 박막 트랜지스터에서, 반도체 패턴(10)은 장방형으로 형성되어 있고, 길이 방향이 결정립의 성장 방향에 수직하도록 패터닝되어 있다.
- <46> 이러한 반도체 패턴(10)에 게이트 전극(G)을 형성할 경우에는 게이트 전극(G)의 일부를 결정립의 성장 방향과 수직하게 되도록 설정하여, 이 부분의 채널을 통과하는 전하가 결정립 경계에 부딪히지 않고 결정립 경계를 따라 이동할 수 있도록 한다.
- <47> 이 실시예에서, 게이트 전극(G)은 결정립의 성장 방향에 수직한 제1 영역(G1), 제1 영역(G1)의 양측에 연결되어 있고, 결정립의 성장 방향에 평행한 제2 및 제3 영역(G2, G3)을 포함하고 있다. 이러한 게이트 전극(G)의 양측 반도체 패턴(10)에는 도전형 불순물이 도핑되어 있는 소스 영역(S)과 드레인 영역(D)이 형성되어 있다.
- <48> 이러한 게이트 전극(G)에 게이트 온 전압(gate on voltage)이 인가되면, 게이트 전극(G)의 하부에 있는 반도체 패턴(10) 부분에 전하가 이동할 수 있는 채널이 형성되고, 이 상태에서 소스 영역(S)에 데이터 전압이 인가되면, 소스 영역(S)에 있는 전하가 채널을 통하여 드레인 영역(D)으로 이동한다. 이 때, 전하는 결정립 경계가 없는 게이트 전극(G)의 제1 영역(G1)에 의하여 형성된 채널을 직진으로 통과하여 이동도가 높아진다. 도면에서 화살표는 전하의 이동을 표시한 것이다.
- <49> 상술한 본 발명의 제1 및 제2 실시예에 따른 박막 트랜지스터에서는, 게이트 전극(G)의 일부를 결정립의 성장 방향과 수직하게 되도록 설정한 것을 예로 하였지만, 채널에 전하가 이동하는데 방해가 되는 결정립 경계가 없으면 전하 이동도를 높일 수 있다. 따라서, 본 발명에 따른 박막 트랜지스터는 게이트 전극(G)의 일부를 결정립의 성장 방향과 교차하는 방향을 가지도록 설정함으로써, 이 부분에 의하여 형성된 채널에 결정립 경계가 위

치하지 않도록 게이트 전극(G)을 형성할 수 있다.

<50> 상술한 바와 같이, 게이트 전극 중 적어도 일부가 결정립의 성장 방향에 교차하는 방향을 가지도록 게이트 전극의 구조를 개선함으로써, 이러한 게이트 전극 부분에 의하여 형성된 채널을 통하여 전하가 빠르게 이동할 수 있도록 한다.

<51> 일반적으로 박막 트랜지스터의 전기적 특성은 전하의 이동 속도가 가장 빠른 것에 의하여 결정되므로, 본 발명에서와 같이, 게이트 전극의 적어도 일부가 결정립의 성장 방향에 교차하는 방향을 가지도록 형성하는 박막 트랜지스터들에 대해서는 게이트 전극 혹은, 반도체 패턴의 형상에 상관없이 비교적 균일한 전하 이동도를 가지게 할 수 있다. 또한, 본 발명은 이러한 박막 트랜지스터의 전기적 특성을 게이트 전극의 폭 및 길이의 변경을 통하여 조절할 수 있기 때문에 원하는 전기적 특성을 가지는 박막 트랜지스터를 제조할 수 있다.

<52> 도 4는 본 발명의 실시예에 따른 액정 표시 장치의 개략적인 구성도로서, 게이트 구동회로부 및 데이터 구동회로부에서의 박막 트랜지스터의 배열 상태를 나타낸 것이다.

<53> 액정 표시 장치는 절연 기판(100) 위에 다수개의 화소셀이 매트릭스 형상으로 배열되어 화상을 표시하는 표시 영역(101)과 이러한 표시 영역(101)에 데이터 및 게이트 신호를 인가하는 데이터 구동회로부(102) 및 게이트 구동회로부(103)를 포함하고 있다. 여기서, 표시 영역(101), 데이터 구동회로부(102) 및 게이트 구동회로부(103)에 형성되는 박막 트랜지스터(I, II, III)는 절연 기판(100) 위에 순차적 측면 결정화 기술에 의하여 형성된 다결정 규소의 박막을 이용하여 형성한다.

<54> 이 때, 각 구동회로부(102, 103)에서의 박막 트랜지스터(I, II, III)는 단일한 패턴으로 형성하는 것이 아니라, 구동회로부(102, 103)가 허용하는 면적 혹은, 배선 디자인에 따라 다양한 패턴으로 형성될 수 있다.

<55> 도면에 보인 바와 같이, 데이터 구동회로부(102)에서의 제1 및 제2 박막 트랜지스터(I, II)는 본 발명의 제1 및 제2 실시예에서 제시된 패턴을 가지고 있다. 제3 박막 트랜지스터(III)는 결정립의 성장 방향에 어슷하게 형성되어 있지만, 전하 이동도를 높이기 위하여, 게이트 전극(G)은 적어도 일부 즉, "A"로 표시된 부분이 결정립의 성장 방향에 교차하는 방향 예를 들어, 수직이 되도록 패터닝되어 있다. 데이터 구동회로부(102)에서 제시된 제1, 제2 및 제3 박막 트랜지스터(I, II, III)는 예에 불과하며, 서로 다른 패턴을 가지고 다양한 형상으로 형성될 수 있다. 여기서, 데이터 구동회로부(102)를 구성하는 다수개의 박막 트랜지스터 중 적어도 하나는 다른 박막 트랜지스터와 게이트 전극의 패턴을 다르게 하여 형성할 수 있다.

<56> 또한, 게이트 구동회로부(103)에 형성되는 다수개의 박막 트랜지스터(도시하지 않음)도 데이터 구동회로부(102)를 통하여 설명한 바와 같이, 다양한 형상으로 형성될 수 있다.

<57> 표시 영역(101)에 형성되는 박막 트랜지스터는 높은 전하 이동도를 필요로 하지 않으므로, 반도체 패턴으로 이용할 규소 박막은 비정질 상태, 혹은, 통상의 결정화 기술 즉, 고온으로 결정화하는 방법 또는 레이저로 결정화하는 방법으로 형성된 다결정 상태 혹은, 순차적 측면 결정화법에 의하여 형성된 다결정 상태 등에서 선택할 수 있다. 이 때, 표시 영역(101)에서의 전기적 특성의 균일성 확보를 위하여 표시 영역(101)에 형성되는 다수의 박막 트랜지스터는 동일한 조건을 가지는 것이 바람직하다.

<58> 이러한 본 발명의 실시예에 따른 박막 트랜지스터를 제조하는 방법은 통상의 박막 트랜지스터 형성 기술과 동일하며, 반도체 패턴을 형성하기 위한 다결정 규소 박막도 순차 측면 결정화법을 통하여 동일하게 형성할 수 있다.

<59> 본 발명에서, 게이트 전극의 형상은 제시된 실시예에 국한되지 않으며, 일부가 결정립의 성장 방향에 교차하는 방향을 가지도록 형성되는 한, 반도체 패턴의 형상에 관계없이 다양한 형상을 가질 수 있다.

<60> 이러한 박막 트랜지스터를 이용하여 액정 표시 장치에서의 게이트 구동회로부 또는 데이터 구동회로부의 소자를 형성할 경우에는 각각의 위치에 적절한 형상을 가지는 반도체 패턴을 형성할 수 있으며, 이 경우, 채널 방향 또한, 조절할 수 있으므로, 배선을 복잡하게 형성할 필요가 없다.

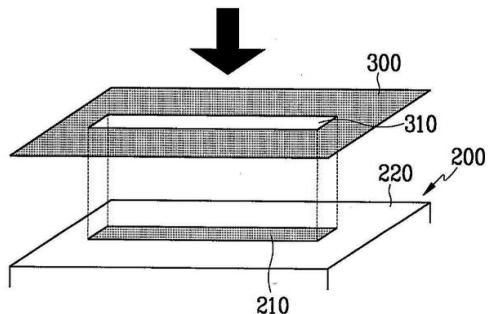
<61> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

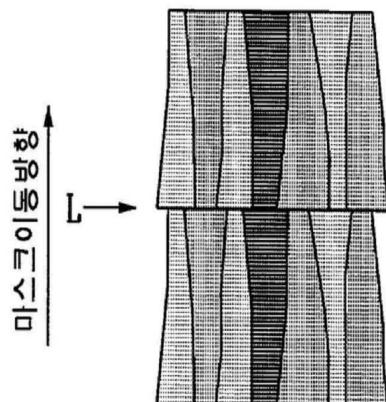
- <62> 도 1은 순차적 측면 결정화 공정을 개략적으로 도시한 개략도이고,
- <63> 도 2는 순차적 측면 결정화 공정을 통하여 형성된 다결정 규소의 박막에서 결정립의 미세 구조를 개략적으로 도시화한 것이고,
- <64> 도 3a 및 도 3b는 본 발명의 제1 및 제2 실시예에 따른 박막 트랜지스터의 개략적인 구성도이고,
- <65> 도 4는 본 발명의 실시예에 따른 액정 표시 장치의 개략적인 구성도이다.

도면

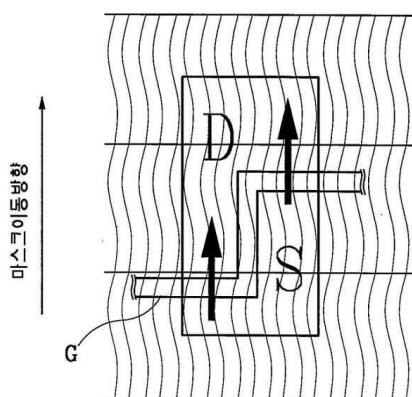
도면1



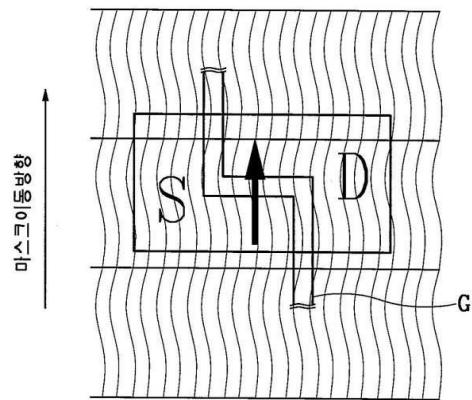
도면2



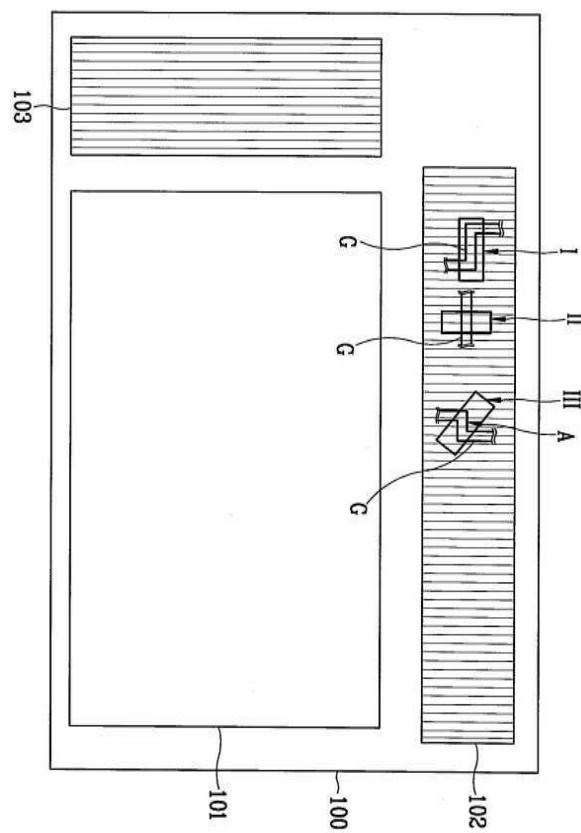
도면3a



도면3b



도면4



专利名称(译)	薄膜晶体管和液晶显示器		
公开(公告)号	KR1020080110978A	公开(公告)日	2008-12-22
申请号	KR1020080126769	申请日	2008-12-12
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KANG MYUNG KOO 강명구 KIM HYUN JAE 김현재 KANG SOOK YOUNG 강숙영 CHUNG WOO SUK 정우석		
发明人	강명구 김현재 강숙영 정우석		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L29/78696 G02F1/1368 H01L29/04 H01L29/78618		
外部链接	Espacenet		

摘要(译)

本发明涉及薄膜晶体管和液晶显示器。尽管不增加驱动电路部分的尺寸，但是对于每个薄膜晶体管的电荷迁移率均匀地做到。至少一个部分形成具有在颗粒的生长方向上相交的方向的栅电极。根据本发明的薄膜晶体管比包括第一部分的端部和连接的第二部分的栅极的第二部分的长度长，并且其中第一部分和第二部分与沟道区重叠并且其朝向所述第一部分与所述多晶硅的晶粒的生长方向相交的方向分支，并且其中所述第一部分的与所述沟道区重叠的长度，而所述第二部分朝向所述第一部分扩展，垂直方向与沟道区重叠。顺序横向固相结晶法，多晶硅，晶粒生长方向，通道。

