



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0066118
(43) 공개일자 2016년06월10일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)

(21) 출원번호 10-2014-0169887

(22) 출원일자 2014년12월01일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이병현

경기 파주시 후곡로 50, 403동 1201호 (금촌동, 후곡마을아파트)

이민직

경기 파주시 번영로 55, 114동 404호 (금촌동, 새꽃마을아파트)

원규식

경기 파주시 월릉면 엘지로 245, G동 103호 (파주LCD산업단지)

(74) 대리인

김기문

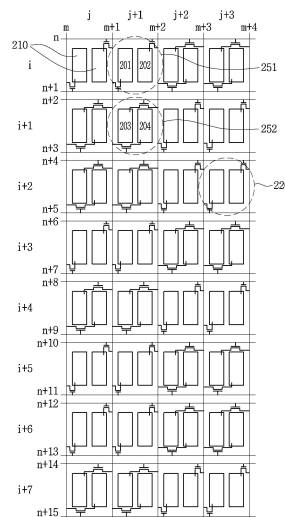
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 표시패널 및 이를 포함하는 액정표시장치

(57) 요약

본 발명의 실시예에 따른 표시패널의 화소 영역은 제1 및 제2 화소 전극이 배치되는 제1 타입(Type)의 화소 영역 및 제3 및 제4 화소 전극이 배치되는 제2 타입의 화소 영역을 포함하고, 상기 제1 화소 전극은 상기 제1 화소 전극과 인접한 데이터 라인과 연결되고, 상기 제2 화소 전극은 상기 제2 화소 전극과 인접한 데이터 라인과 연결되고, 상기 제3 화소 전극은 상기 제4 화소 전극과 인접한 데이터 라인과 연결되고, 상기 제4 화소 전극은 상기 제3 화소 전극과 인접한 데이터 라인과 연결된다. 그리하여 컬러별로 동일 극성이 배치되어 플리커 불량(flicker)이 발생할 수 있다.

대표도 - 도4



명세서

청구범위

청구항 1

$d/2$ (d 는 짝수)개의 데이터라인들;

상기 데이터라인들과 서로 교차하는 $2n$ (n 은 자연수) 개의 게이트라인들; 및

인접한 두 개의 데이터라인과 인접한 두 개의 게이트라인에 의해 정의되는 화소 영역에 배치된 두 개의 화소 전극;을 포함하고,

상기 화소 영역은 제1 및 제2 화소 전극이 배치되는 제1 타입(Type)의 화소 영역 및 제3 및 제4 화소 전극이 배치되는 제2 타입의 화소 영역을 포함하고,

상기 제1 화소 전극은 상기 제1 화소 전극과 인접한 데이터 라인과 연결되고, 상기 제2 화소 전극은 상기 제2 화소 전극과 인접한 데이터 라인과 연결되고,

상기 제3 화소 전극은 상기 제4 화소 전극과 인접한 데이터 라인과 연결되고, 상기 제4 화소 전극은 상기 제3 화소 전극과 인접한 데이터 라인과 연결되는 표시패널.

청구항 2

제1 항에 있어서,

수평영역;을 더 포함하고,

수평영역상에 상기 제1 타입의 화소 영역 두 개와 상기 제2 타입의 화소 영역 두 개가 교대로 배치되고,

상기 수평영역은 상기 제1 타입의 화소 영역 두 개와 상기 제2 타입의 화소 영역 두 개가 순서대로 배치되는 제1 수평영역과 상기 제1 수평영역과 인접하고 상기 제2 타입의 화소 영역 두 개와 상기 제1 타입의 화소 영역 두 개가 순서대로 배치되는 제2 수평영역을 포함하는 표시패널.

청구항 3

제2 항에 있어서,

제1 및 제2 블록 영역;을 더 포함하고,

상기 제1 및 제2 블록 영역 각각은 상기 제1 수평영역과 상기 제2 수평영역을 포함하고,

상기 제1 블록 영역의 상기 제1 및 제2 수평영역은 수직 방향으로 순서대로 배치되고,

상기 제2 블록 영역의 상기 제2 및 제1 수평영역은 수직 방향으로 순서대로 배치되는 표시패널.

청구항 4

제3 항에 있어서,

상기 제1 및 제2 블록 영역은 수직 방향으로 서로 교대로 배치되는 표시패널.

청구항 5

제3 항에 있어서,

적어도 하나 이상의 상기 제1 블록 영역과 적어도 하나 이상의 상기 제2 블록 영역은 수직 방향으로 서로 교대로 배치되는 표시패널.

청구항 6

제1 항에 있어서,

상기 데이터라인들 중 어느 하나의 데이터라인에 인가되는 데이터 신호의 극성은 인접한 데이터라인에 인가되는 데이터 신호의 극성과 반대되는 표시패널.

청구항 7

제6 항에 있어서,

상기 데이터라인들에 인가되는 데이터 신호의 극성은 프레임 마다 반전되는 표시패널.

청구항 8

제1 항에 따른 표시패널을 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시패널에 관한 것으로 구체적으로 표시패널을 포함하는 액정표시장치와 이의 구동방법에 관한 것이다.

배경 기술

[0002] 액정표시장치는 비디오 신호에 대응하여 액정층에 인가되는 전계를 통해 액정층의 광 투과율을 제어함으로써 화상을 표시한다.

[0003] 이러한 액정표시장치는 소형 및 박형화와 저 소비전력의 장점을 가지는 평판 표시장치로서, 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기 등으로 이용되고 있다.

[0004] 특히, 액정 셀마다 스위칭 소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭 소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다.

[0005] 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭 소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

[0006] 도 1은 일반적인 액정표시장치의 단위 셀 구성도이고, 도 2는 종래의 DRD(Double Rate Driving) 방식으로 구동되는 액정표시장치의 구성도이다.

[0007] 액티브 매트릭스 타입의 액정표시장치는, 도 1에 도시한 바와 같이, 디지털 비디오 데이터를 감마기준전압을 기준으로 아날로그 데이터전압으로 변환하여 데이터라인(DL)에 공급함과 동시에 스캔펄스를 게이트라인(GL)에 공급하여, 데이터전압을 액정셀(C1c)에 충전시킨다.

[0008] 이를 위해, TFT의 게이트 전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 그리고 TFT의 드레인 전극은 액정셀(C1c)의 화소 전극과 스토리지 캐패시터(Cst1)의 일 측 전극에 접속된다.

[0009] 액정셀(C1c)의 공통전극에는 공통전압(Vcom)이 공급된다. 스토리지 캐패시터(Cst1)는 TFT가 턴-온될 때 데이터라인(DL)으로부터 인가되는 데이터전압을 충전하여 액정셀(C1c)의 전압을 일정하게 유지하는 역할을 한다.

[0010] 스캔펄스가 게이트라인(GL)에 인가되면 TFT는 턴-온(Turn-on)되어 소스 전극과 드레인 전극 사이의 채널을 형성하여 데이터라인(DL) 상의 전압을 액정셀(C1c)의 화소 전극에 공급한다.

[0011] 이때 액정셀(C1c)의 액정분자들은 화소 전극과 공통 전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 가변하게 된다.

[0012] 이러한 액정표시장치는, 게이트라인(GL)들을 구동하기 위한 게이트 드라이브 IC(Integrated Circuit)와 데이터라인(DL)들을 구동하기 위한 데이터 드라이브 IC를 포함하며, 액정표시장치가 대형화 및 고해상도화 될수록 요구되는 드라이브 IC들의 갯수는 증가하고 있다. 그런데, 데이터 드라이브 IC는 타 소자에 비해 상대적으로 매우 고가이므로, 최근 데이터 드라이브 IC의 갯수를 줄이기 위한 여러 방안들이 제안되고 있다.

[0013] 상기 방안들 중 하나으로써, 도 2에 도시한 바와 같이, 기존 대비 게이트 라인들의 갯수는 2배로 늘리는 대신 데이터라인들의 갯수를 1/2배로 줄여 필요로 하는 데이터 드라이브 IC의 개수를 반으로 줄여 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 구동방식이 제안되었다.

- [0014] DRD 방식으로 구동되는 종래 액정표시장치는, 도 2에 도시한 바와 같이, 하나의 수평라인에 배치된 d (d 는 양의 짝수)개의 화소전극들을 두 개의 게이트라인들과 $d/2$ 개의 데이터라인들을 이용하여 구동시킨다.
- [0015] 이 DRD 방식의 종래 액정표시장치는 플리커를 최소화함과 아울러 소비전력을 줄이기 위해 데이터 드라이브 IC를 수직2 도트 인버전 방식으로 구동시킨다.
- [0016] 최근에는 휘도 향상을 위하여 화이트 컬러를 표시하는 화소 전극을 추가하는 기술이 개발되고 있다. 그런데 화이트 컬러의 화소 전극을 포함하는 DRD 방식에서 데이터 드라이브 IC를 수직2 도트 인버전 방식으로 구동시킬 때 컬러 별 동일 극성이 배치되어 플리커(flicker) 불량과 수직 라인 상에 동일 극성이 유지되어 도리도리 불량이 나타나는 문제가 있다.

발명의 내용

해결하려는 과제

- [0017] 본 발명의 실시예에 따른 표시장치는 신규의 화소 전극의 배치 구조를 적용하여 특정 패턴에서 극성이 일관되게 발생하는 시인성 문제를 해결할 수 있는 표시장치를 제공할 수 있다.

과제의 해결 수단

- [0018] 본 발명의 실시예에 따른 표시패널은, $d/2$ (d 는 짝수)개의 데이터라인들, 상기 데이터라인들과 서로 교차하는 $2n$ (n 은 자연수) 개의 게이트라인들 및 인접한 두 개의 데이터라인과 인접한 두 개의 게이트라인에 의해 정의되는 화소 영역에 배치된 두 개의 화소 전극을 포함하고, 상기 화소 영역은 제1 및 제2 화소 전극이 배치되는 제1 타입(Type)의 화소 영역 및 제3 및 제4 화소 전극이 배치되는 제2 타입의 화소 영역을 포함하고, 상기 제1 화소 전극은 상기 제1 화소 전극과 인접한 데이터 라인과 연결되고, 상기 제2 화소 전극은 상기 제2 화소 전극과 인접한 데이터 라인과 연결되고, 상기 제3 화소 전극은 상기 제4 화소 전극과 인접한 데이터 라인과 연결되고, 상기 제4 화소 전극은 상기 제3 화소 전극과 인접한 데이터 라인과 연결된다. 그리하여 컬러별로 동일 극성이 배치되어 플리커 불량(flicker)이 발생할 수 있다.
- [0019] 또한, 본 발명의 실시예에 따른 표시패널에서, 수평영역을 더 포함하고, 수평영역상에 상기 제1 타입의 화소 영역 두 개와 상기 제2 타입의 화소 영역 두 개가 교대로 배치되고, 상기 수평영역은 상기 제1 타입의 화소 영역 두 개와 상기 제2 타입의 화소 영역 두 개가 순서대로 배치되는 제1 수평영역과 상기 제1 수평영역과 인접하고 상기 제2 타입의 화소 영역 두 개와 상기 제1 타입의 화소 영역 두 개가 순서대로 배치되는 제2 수평영역을 포함하고, 제1 및 제2 블록 영역을 더 포함하고, 상기 제1 및 제2 블록 영역 각각은 상기 제1 수평영역과 상기 제2 수평영역을 포함하고, 상기 제1 블록 영역의 상기 제1 및 제2 수평영역은 수직 방향으로 순서대로 배치되고, 상기 제2 블록 영역의 상기 제2 및 제1 수평영역은 수직 방향으로 순서대로 배치되고, 상기 제1 및 제2 블록 영역은 수직 방향으로 서로 교대로 배치되고, 적어도 하나 이상의 상기 제1 블록 영역과 적어도 하나 이상의 상기 제2 블록 영역은 수직 방향으로 서로 교대로 배치되고, 상기 데이터라인들 중 어느 하나의 데이터라인에 인가되는 데이터 신호의 극성은 인접한 데이터라인에 인가되는 데이터 신호의 극성과 반대되며, 상기 데이터라인들에 인가되는 데이터 신호의 극성은 프레임 마다 반전될 수 있다. 제1 및 제2 블록 영역의 배치 관계에 따라서 화소 전극의 극성의 분산을 달리 정할 수 있고, 블록들간의 교대 배치를 통하여 특정 패턴에서 극성이 일관되게 인가되어 발생하는 시인성 문제를 해결할 수 있다.

발명의 효과

- [0020] 본 발명의 실시예에 따른 표시장치는 신규의 화소 전극의 배치 구조를 적용하여 특정 패턴에서 극성이 일관되게 발생하는 시인성 문제를 해결함으로써 화질 향상 효과가 있다.

도면의 간단한 설명

- [0021] 도 1은 일반적인 액정표시장치의 단위 셀 구성도.
- 도 2는 종래의 DRD(Double Rate Driving) 방식으로 구동되는 액정표시장치의 구성도 및 RGB 액정셀들과 각 액정셀들의 충전 정도를 나타낸 도면.
- 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

도 4는 본 발명의 실시예에 따른 표시패널을 이루는 화소 구조를 나타낸 도면.

도 5는 본 발명의 실시예에 따른 제1 타입의 화소 영역을 나타낸 도면.

도 6은 본 발명의 실시예에 따른 제2 타입의 화소 영역을 나타낸 도면.

도 7은 본 발명의 제1 실시예에 따른 표시패널의 화소 배치 구조의 모식도.

도 8은 본 발명의 제2 실시예에 따른 표시패널의 화소 배치 구조의 모식도.

도 9는 본 발명의 실시예에 따른 표시패널의 컬러별 화소 전극의 배치 구조를 나타낸 도면.

도 10은 본 발명의 실시예에 따른 표시패널의 데이터라인들에 인가되는 데이터 신호의 극성에 따라 화소 전극의 극성을 나타낸 도면.

도 11은 플리커 불량이 발생하는 화소 전극의 배치 관계를 나타낸 화소 전극의 배치 구조를 나타낸 도면.

도 12는 제1 블록 영역이 반복 배치된 표시 패널에 관한 도면.

도 13은 도 12에 따른 화소 전극의 배치 구조를 나타낸 도면.

도 14는 제2 블록 영역이 반복 배치된 표시 패널에 관한 도면.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 본 발명의 실시예에 의한 표시패널 및 이를 포함하는 액정표시장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시 예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

[0023] <본 발명의 실시예에 따른 액정표시장치>

[0024] 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

[0025] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 표시패널(200), 타이밍 콘트롤러(300), 데이터 구동회로(400) 및 게이트 구동회로(500)를 구비할 수 있다.

[0026] 표시패널(200)은 두 장의 유리기관 사이에 형성된 액정층을 갖는다.

[0027] 이 표시패널(200)은 $d/2$ (d 는 짝수) 개의 데이터라인들($D1$ 내지 $Dm/2$; $Dm/2$ 에서의 m 은 $d/2$ 에서의 d 과 같은 수)과 $2n$ (n 은 자연수) 개의 게이트라인들($G1$ 내지 $G2n$)의 교차 구조에 의해 매트릭스 형태로 배치된 $m \times n$ 개의 액정셀($C1c$)들을 포함하여 DRD 방식으로 구동된다.

[0028] 표시패널(200)의 하부 유리기관에는 데이터라인들($D1$ 내지 $Dm/2$), 게이트라인들($G1$ 내지 $G2n$), TFT들, 및 스토리지 커패시터(Cst)가 형성된다.

[0029] 액정셀들($C1c$)은 TFT에 접속되어 화소 전극들(210)과 공통전극(220) 사이의 전계에 의해 구동된다.

[0030] 표시패널(200)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(220)이 형성된다. 공통전극(220)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서는 상부 유리기관 상에 형성되고, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서는 화소전극(210)과 함께 하부 유리기관 상에 형성된다.

[0031] 표시패널(200)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0032] 상기 타이밍 콘트롤러(300)는 시스템(미도시)으로부터 공급되는 수평 동기신호(Hsync), 수직 동기신호(Vsync), 데이터 인에이블신호(DE) 및 도트 클럭(DCLK) 등의 타이밍신호들을 이용하여 데이터 구동회로(400)의 동작 타이밍을 제어하기 위한 데이터 제어신호와, 게이트 구동회로(500)의 동작 타이밍을 제어하기 위한 게이트 제어신호를 발생한다.

[0033] 데이터 제어신호는 데이터 구동회로(400) 내에서 디지털 비디오 데이터(RGB)의 샘플링 시작점을 지시하는 소스 스타트 펄스(SSP), 라이징 에지(Rising Edge) 또는 폴링 에지(Falling Edge)에 기준하여 데이터 구동회로(400)

내에서 디지털 비디오 데이터(RGB)의 래치동작을 지시하는 소스 샘플링 클럭(SSC), 데이터 구동회로(400)의 출력을 지시하는 소스 출력 인에이블신호(SOE), 및 표시패널(200)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시하는 극성제어신호(POL)등을 포함한다.

[0034] 게이트 제어신호는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(GSP), 게이트 구동회로(500) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭신호(GSC), 게이트 구동회로(500)의 출력을 지시하는 게이트 출력 인에이블신호(GOE)등을 포함한다.

[0035] 또한, 타이밍 콘트롤러(300)는 시스템으로부터 공급되는 디지털 비디오 데이터(RGB)를 표시패널(200)의 해상도에 맞게 재정렬하여 데이터 구동회로(400)에 공급한다.

[0036] 데이터 구동회로(400)는 타이밍 콘트롤러(300)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(400)는 디지털 비디오 데이터(RGB)를 극성제어신호(POL)에 따라 아날로그 정극성/부극성 감마전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 Dm/2)에 공급한다.

[0037] 이를 위해, 데이터 구동회로(400)는 다수의 데이터 드라이브 IC들을 포함할 수 있다.

[0038] 상기 게이트 구동회로(500)는 타이밍 콘트롤러(300)의 제어 하에 아날로그 데이터전압이 공급될 표시패널(200)의 수평라인을 선택하는 스캔펄스를 발생하고, 이 스캔펄스를 게이트라인들(G1 내지 G2n)에 순차적으로 공급한다.

[0039] 이를 위해, 게이트 구동회로(500)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(C1c)의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인 사이에 접속되는 출력 회로를 각각 포함하는 다수의 게이트 드라이브 IC들로 포함할 수 있다.

[0040] 도 4는 본 발명의 실시예에 따른 표시패널을 이루는 화소 구조를 나타낸 도면이고, 도 5는 본 발명의 실시예에 따른 제1 타입의 화소 영역을 나타낸 도면이고, 도 6은 본 발명의 실시예에 따른 제2 타입의 화소 영역을 나타낸 도면이고, 도 7은 본 발명의 제1 실시예에 따른 표시패널의 화소 배치 구조의 모식도이며, 도 8은 본 발명의 제2 실시예에 따른 표시패널의 화소 배치 구조의 모식도이다.

[0041] 이하 (i, j)에서 i는 i번째 수평 라인을 의미하고 j는 j번째 수직 라인을 의미하며 (i, j)는 i번째 수평 라인 및 j번째 수직 라인에 대응하는 화소 영역 또는 화소 전극들을 의미할 수 있다. 또한 상기 수평 영역 또는 수평 라인은 최 인접한 두 개의 게이트 라인의 사이 영역으로 정의되고, 상기 수직 영역 또는 수직 라인은 최 인접한 두 개의 데이터 라인의 사이 영역으로 정의된다. 또한 i 및 j는 자연수이다.

[0042] <본 발명의 실시예에 따른 화소 전극의 배치 구조>

[0043] 도 4를 참조하면, 화소 영역(220)은 제1 및 제2 게이트라인 각각이 할당되고 하나의 데이터라인을 공유하는 제1 및 제2 박막트랜지스터와 상기 제1 및 제2 박막트랜지스터 각각에 연결된 제1 및 제2 화소전극(210)을 포함할 수 있다.

[0044] 본 발명의 실시예에 따른 표시패널(200)은 인접한 두 개의 데이터라인과 인접한 두 개의 게이트라인에 의해 정의되는 화소 영역(220)에 배치된 두 개의 화소 전극(201, 202 또는 203, 204)을 포함할 수 있다. 예를 들어 m+1번째 데이터 라인과 m+2번째 데이터 라인 사이 영역인 동시에 n번째 게이트 라인과 n+1번째 게이트 라인의 사이 영역으로 정의되는 화소 영역에는 두 개의 화소 전극(201, 202)이 나란히 배치될 수 있다. 다른 예로 m+1번째 데이터 라인과 m+2번째 데이터 라인 사이 영역인 동시에 n+2번째 게이트 라인과 n+3번째 게이트 라인의 사이 영역으로 정의되는 화소 영역에는 두 개의 화소 전극(203, 204)이 나란히 배치될 수 있다.

[0045] 도 5 및 도 6을 참조하면, 또한 상기 화소 영역은 제1 및 제2 화소 전극(201, 202)이 배치되는 제1 타입(Type)의 화소 영역(251) 및 제3 및 제4 화소 전극(203, 204)이 배치되는 제2 타입의 화소 영역(252)을 포함하고, 상기 제1 화소 전극(201)은 상기 제1 화소 전극(201)과 인접한 데이터 라인인 m+1번째 데이터 라인에 연결되고, 상기 제2 화소 전극(202)은 상기 제2 화소 전극(202)과 인접한 데이터 라인인 m+2번째 데이터 라인에 연결되고, 상기 제3 화소 전극(203)은 상기 제4 화소 전극(204)과 인접한 데이터 라인인 m+2번째 데이터 라인에 연결되고, 상기 제4 화소 전극(204)은 상기 제3 화소 전극(203)과 인접한 데이터 라인인 m+1번째 데이터 라인에 연결될 수 있다. 여기서 화소 전극에 인접한 데이터 라인이란, 화소 전극과 가장 인접한 데이터 라인을 의미한다.

- [0046] 또한 상기 제1 화소 전극(201)은 $n+1$ 번째 게이트 라인 상의 스캔필스에 의해 제어되는 제2 박막트랜지스터(T2)를 통해 $m+1$ 번째 데이터 라인과 연결되고, 상기 제2 화소 전극(202)은 n 번째 게이트 라인 상의 스캔필스에 의해 제어되는 제1 박막트랜지스터(T1)를 통해 $m+2$ 번째 데이터 라인과 연결될 수 있다. 그리고 제3 화소 전극(203)은 $n+2$ 번째 게이트 라인 상의 스캔필스에 의해 제어되는 제3 박막트랜지스터(T3)를 통해 $m+2$ 번째 데이터 라인과 연결되며, 상기 제4 화소 전극(204)은 $n+3$ 번째 게이트 라인 상의 스캔필스에 의해 제어되는 제4 박막트랜지스터(T4)를 통해 $m+1$ 번째 데이터 라인과 연결될 수 있다.
- [0047] 도 7 및 도 8을 참조하면, 본 발명의 실시예에 따른 수평영역(i)상에 상기 제1 타입의 화소 영역(a) 두 개와 상기 제2 타입의 화소 영역(b) 두 개가 교대로 배치될 수 있다. 또한 상기 수평영역(i)은 상기 제1 타입의 화소 영역(a) 두 개와 상기 제2 타입의 화소 영역(b) 두 개가 순서대로 배치되는 제1 수평영역(i1)과 상기 제1 수평영역(i1)과 인접하고 상기 제2 타입의 화소 영역(b) 두 개와 상기 제1 타입의 화소 영역(a) 두 개가 순서대로 배치되는 제2 수평영역(i2)을 포함할 수 있다.
- [0048] 또한 본 발명의 실시예에 따른 표시패널(200)은 제1 및 제2 블록 영역(A, B)을 더 포함할 수 있다. 상기 제1 및 제2 블록 영역(A, B) 각각은 상기 제1 수평영역(i1)과 상기 제2 수평영역(i2)을 포함하고, 상기 제1 블록 영역(A)의 상기 제1 및 제2 수평영역(i1, i2)은 수직 방향으로 순서대로 배치되고, 상기 제2 블록 영역(B)의 상기 제2 및 제1 수평영역(i2, i1)은 수직 방향으로 순서대로 배치될 수 있다.
- [0049] 또한 도 7과 같이 두 개의 상기 제1 블록 영역(A)과 두 개의 상기 제2 블록 영역(B)은 수직 방향으로 서로 교대로 배치될 수 있다. 다만 도 7에서는 수직 방향으로 제1 블록 영역(A)하나와 제2 블록 영역(B) 두 개 그리고 하나의 제1 블록 영역(A)을 나타내고 있으나, 이에 한정되는 것은 아니고, 수직 방향으로 동일한 블록 영역이 두 번 반복 배치되는 경우를 포함한다. 또한 두 개의 블록으로 한정되는 것은 아니고, 3개 이상도 가능하나, 표시패널(200) 전체적으로는 제1 및 제2 블록 영역(A, B)이 교대로 배치되는 것이 바람직하다.
- [0050] 또한 상기 제1 및 제2 블록 영역(A, B)은 도 8과 같이 수직 방향으로 서로 교대로 배치될 수 있다.
- [0051] <본 발명의 실시예에 따른 컬러별 화소 전극의 배치 구조>
- [0052] 도 9는 본 발명의 실시예에 따른 표시패널의 컬러별 화소 전극의 배치 구조를 나타낸 도면이다.
- [0053] 표시패널(200)에 배치된 화소 전극들은 레드(Red), 그린(Green), 블루(Blue) 및 화이트(White) 컬러를 표시하는 화소 전극들을 포함할 수 있다.
- [0054] 도 9는 도 7에 따른 제1 및 제2 블록 영역(A, B)의 배치 구조를 기초한 컬러별 화소 전극의 배치 구조를 나타낸 도면이나, 이하 설명은 이에 한정되는 것은 아니고, 도 8에 따른 제1 및 제2 블록 영역(A, B)의 배치 구조를 기초한 컬러별 화소 전극의 배치 구조에도 동일하게 적용될 수 있다.
- [0055] 도 9를 참조하면, 하나의 수직 라인 상에는 두 개의 화소 전극이 배치되므로, j 및 $j+1$ 번째 수직 라인과 i 번째 수평 라인이 서로 대응하는 영역에 순차적으로 배치된 레드, 화이트, 블루 및 그린 화소 전극을 포함하고, 상기 j 및 $j+1$ 번째 수직 라인 및 $i+1$ 번째 수평 라인과 대응하는 영역에 순차적으로 배치된 블루, 그린, 레드 및 화이트 화소 전극을 포함할 수 있다.
- [0056] 구체적으로 이를 설명하면, i 번째 수평 라인 상에는 순차적으로 레드, 화이트, 블루 및 그린 화소 전극이 배치되고, 다시 레드, 화이트, 블루 및 그린 화소 전극이 반복하여 배치될 수 있다. 즉, (i, j) , $(i, j+1)$, $(i, j+2)$, $(i, j+3)$ 의 화소 영역에는 순서대로 레드, 화이트, 블루, 그린, 레드, 화이트, 블루 및 그린 화소 전극이 배치될 수 있고, $(i, j+4)$, $(i, j+5)$, $(i, j+6)$, $(i, j+7)$ 의 화소 영역에는 순서대로 레드, 화이트, 블루, 그린, 레드, 화이트, 블루 및 그린 화소 전극이 배치될 수 있다. 또한 $i+1$ 번째 수평 라인 상에는 순차적으로 블루, 그린, 레드, 화이트, 블루, 그린, 레드 및 화이트 화소 전극이 배치되고, 다시 블루, 그린, 레드, 화이트, 블루, 그린, 레드 및 화이트 화소 전극이 반복하여 배치될 수 있다. 즉, $(i+1, j)$, $(i+1, j+1)$, $(i+1, j+2)$, $(i+1, j+3)$ 의 화소 영역에는 순서대로 블루, 그린, 레드, 화이트, 블루, 그린, 레드 및 화이트 화소 전극이 배치될 수 있고, $(i+1, j+4)$, $(i+1, j+5)$, $(i+1, j+6)$, $(i+1, j+7)$ 의 화소 전극은 순서대로 블루, 그린, 레드, 화이트, 블루, 그린, 레드 및 화이트 화소 전극이 될 수 있다. 또한 $i+2$ 번째 수평 라인 상에는 순차적으로 레드, 화이트, 블루, 그린, 레드, 화이트, 블루 및 그린 화소 전극이 배치되고, 다시 레드, 화이트, 블루, 그린, 레드, 화이트, 블루 및 그린 화소 전극이 반복하여 배치될 수 있다. 즉, $(i+2, j)$, $(i+2, j+1)$, $(i+2, j+2)$, $(i+2, j+3)$ 의 화소 영역에는 순서대로 레드, 화이트, 블루, 그린, 레드, 화이트, 블루 및 그린 화소 전극이 배치될 수 있고, $(i+2, j+4)$, $(i+2, j+5)$, $(i+2, j+6)$, $(i+2, j+7)$ 의 화소 영역에는 순서대로 레드, 화이트, 블루, 그린, 레드, 화이트, 블루 및 그린 화소 전극이 배치될 수 있다.

트, 블루, 그린, 레드, 화이트, 블루 및 그린 화소 전극이 배치 될 수 있다. 또한 $i+3$ 번째 수평 라인 상에는 순차적으로 블루, 그린, 레드, 화이트, 블루, 그린, 레드 및 화이트 화소 전극이 배치되고, 다시 블루, 그린, 레드, 화이트, 블루, 그린, 레드 및 화이트 화소 전극이 반복하여 배치될 수 있다. 즉, $(i+3, j)$, $(i+3, j+1)$, $(i+3, j+2)$, $(i+3, j+3)$ 의 화소 전극은 순서대로 블루, 그린, 레드, 화이트, 블루, 그린, 레드 및 화이트 화소 전극이 될 수 있고, $(i+3, j+4)$, $(i+3, j+5)$, $(i+3, j+6)$, $(i+3, j+7)$ 의 화소 전극은 순서대로 블루, 그린, 레드, 화이트, 블루, 그린, 레드 및 화이트 화소 전극이 될 수 있다. 또한 나머지 화소 영역도 전술한 화소 전극의 배치 구조처럼 수직 및 수평 방향으로 반복되는 형태가 될 수 있다.

[0057] 이와 같이 실시예에 따른 표시패널(200)이 화이트(W) 화소 전극을 포함 함으로서 휘도가 상승되고, 개구율을 향상시킬 수 있다. 또한 우수번째 수평 방향과 기수번째 수평 방향에 있어서 레드, 그린, 블루 및 화이트 화소 전극이 두 개의 화소 영역 단위로 지그 재그 형태로 배치됨으로써 전체 휘도를 상승시키는 동시에 라인이 시인되는 현상을 방지할 수 있다.

[0058] <본 발명의 실시예에 따른 화소 전극의 극성 분포도>

[0059] 도 10은 본 발명의 실시예에 따른 표시패널의 데이터라인들에 인가되는 데이터 신호의 극성에 따라 화소 전극의 극성을 나타낸 도면이다.

[0060] 도 10을 참조하면, 복수의 데이터라인 중에서 어느 하나의 데이터라인에 인가되는 데이터 신호의 극성은 인접한 데이터라인에 인가되는 데이터신호의 극성과 반대되는 극성이 될 수 있다. 그리고 데이터라인들 각각에 인가되는 데이터 신호의 극성은 한 프레임 동안 유지될 수 있고, 다음 프레임에서 극성이 반전될 수 있다. 이와 같이 매 프레임마다 데이터 신호의 극성을 반전되도록 하는 프레임 인버전을 통해 액정의 분극에 따른 화질 불량을 방지할 수 있다.

[0061] 또한 하나의 데이터라인을 공유하는 화소 전극이 지그 재그(Zig Zag) 형태로 배치되므로 한 프레임 동안 데이터 신호의 극성이 유지되는 경우라고 하여도 컬러별로 극성이 분산되는 효과를 가진다. 따라서 한 프레임 동안 데이터 신호의 극성을 유지하여 소비 전력을 저감하는 동시에 컬러별로 극성이 분산되어 화질을 향상시킬 수 있다.

[0062] 또한 블록간(A, B) 극성을 살펴보면, 제1 블록 영역(A)들의 화소 전극의 극성은 서로 동일하고, 제2 블록 영역(B)들의 화소 전극의 극성은 서로 동일함을 알 수 있다. 따라서 제1 및 제2 블록 영역(A, B)의 배치 관계에 따라서 화소 전극의 극성의 분산을 달리 정할 수 있고, 블록들(A, B)간의 교대 배치를 통하여 특정 패턴에서 극성이 일관되게 인가되어 발생하는 시인성 문제를 해결할 수 있다.

[0063] 도 11은 플리커 불량이 발생하는 화소 전극의 배치 관계를 나타낸 화소 전극의 배치 구조를 나타낸 도면이다. 그리고 도 12는 제1 블록 영역이 반복 배치된 표시 패널에 관한 도면이고, 도 13은 도 12에 따른 화소 전극의 배치 구조를 나타낸 도면이며, 도 14는 제2 블록 영역이 반복 배치된 표시 패널에 관한 도면이다.

[0064] 도 11과 같은 화소 전극의 컬러 별 배치 구조 및 데이터라인과의 연결 구조를 가진 DRD 방식의 표시 패널은 컬러별로 동일 극성이 배치되어 플리커 불량(flicker)이 발생할 수 있다. 그러나 본 발명의 실시예에 따른 표시패널(200)의 전술한 바와 같이 제1 및 제2 타입의 화소 영역(251, 252) 내의 화소 전극과 데이터 라인의 연결 관계를 통해 화소 전극들이 동일 컬러별로 동일 극성이 되는 문제를 해결할 수 있다.

[0065] 또한 도 12 및 도 13과 같이 화소 전극의 컬러 별 배치 구조가 레드, 그린, 블루 및 화이트 순이고, 제1 및 제2 블록 영역(A, B)의 교대 배치가 아닌 제1 블록 영역(A)만 배치되는 표시패널의 경우 수직 라인 상으로 동일 극성이 유지되는 문제가 있다. 이러한 문제는 도 14에 도시된 바와 같이 제2 블록 영역(B)만 반복 배치되는 표시패널에서도 동일하게 나타날 수 있다. 그러나 도 10에서 설명한 바와 같이 화소 전극의 컬러 별 배치 구조를 하나의 수평 라인에서는 레드, 화이트, 블루 및 그린 순으로 하고, 다른 수평 라인에서는 블루, 그린, 레드 및 화이트 순으로 하는 동시에 제1 및 제2 블록 영역(A, B)을 교대로 배치하는 경우 동일 컬러 별로 동일 극성이 배치되는 문제를 해결하는 동시에, 수직 라인 상으로도 동일 극성이 유지되는 문제를 해결할 수 있다.

[0066] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술할 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

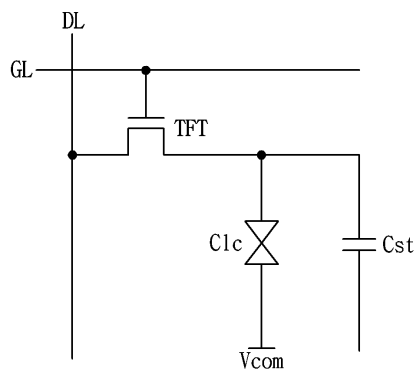
부호의 설명

[0067]

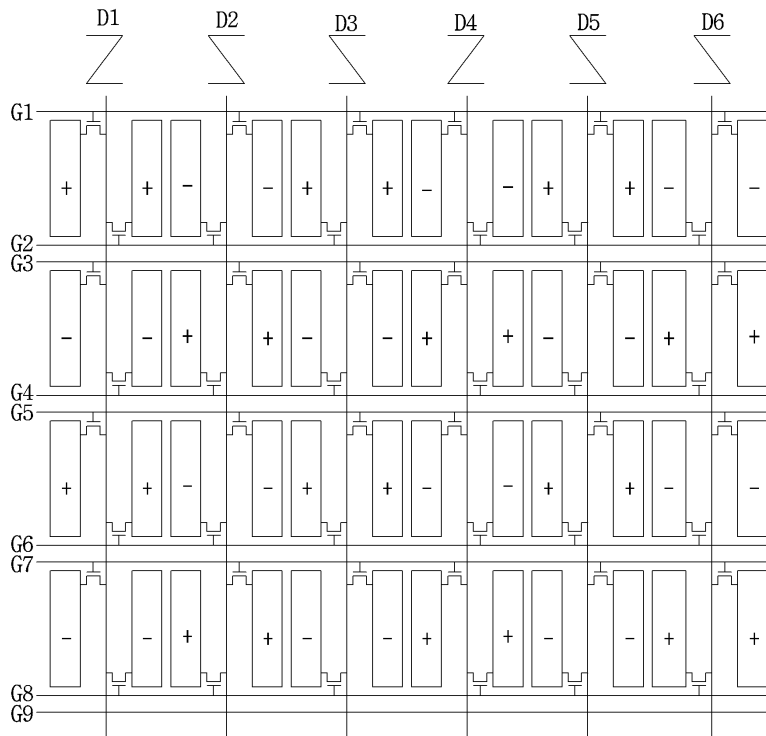
- 100 액정표시장치
- 200 표시패널
- 201 제1 화소 전극
- 202 제2 화소 전극
- 203 제3 화소 전극
- 204 제4 화소 전극
- 210 화소 전극
- 220 공통 전극
- 251 제1 타입의 화소 영역
- 252 제2 타입의 화소 영역
- 300 타이밍 컨트롤러
- 400 데이터 구동회로
- 500 게이트 구동회로

도면

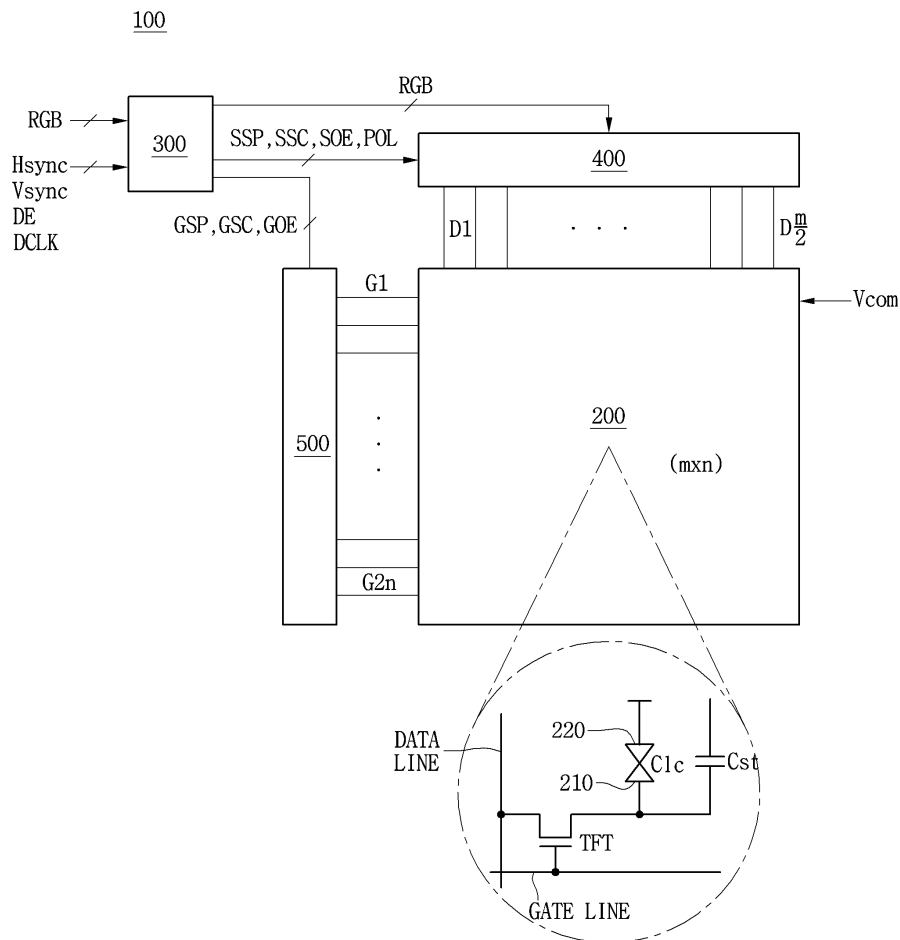
도면1



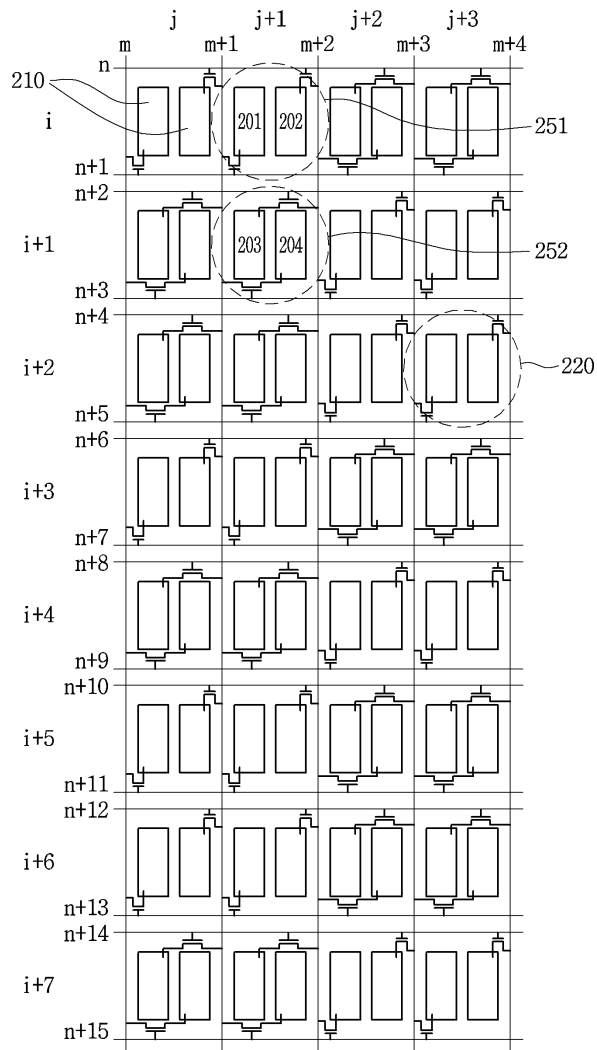
도면2



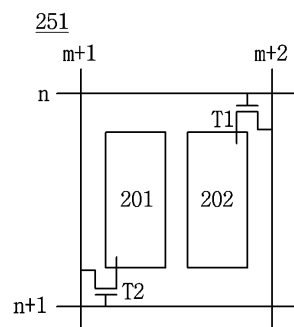
도면3



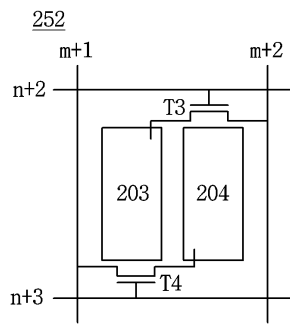
도면4



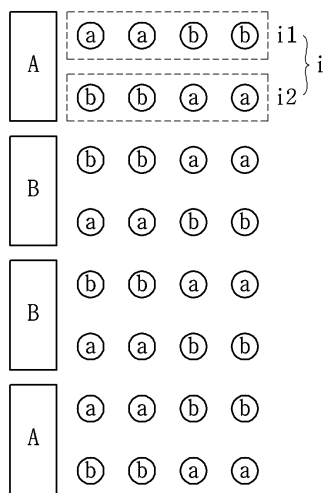
도면5



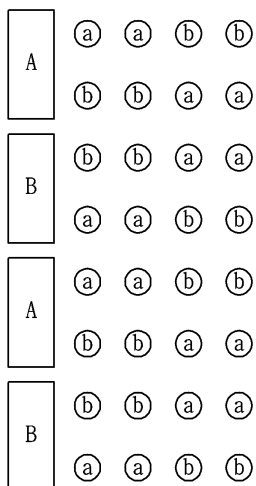
도면6



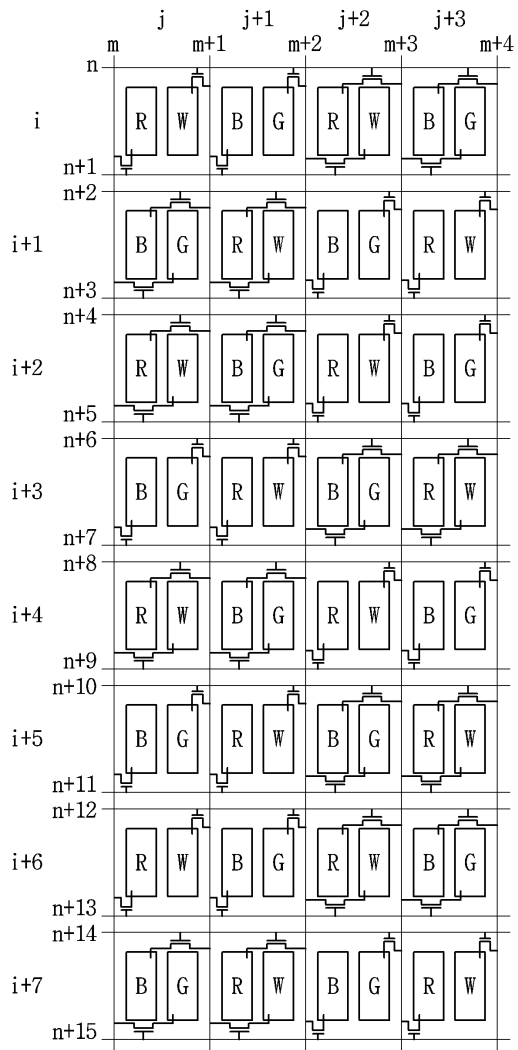
도면7



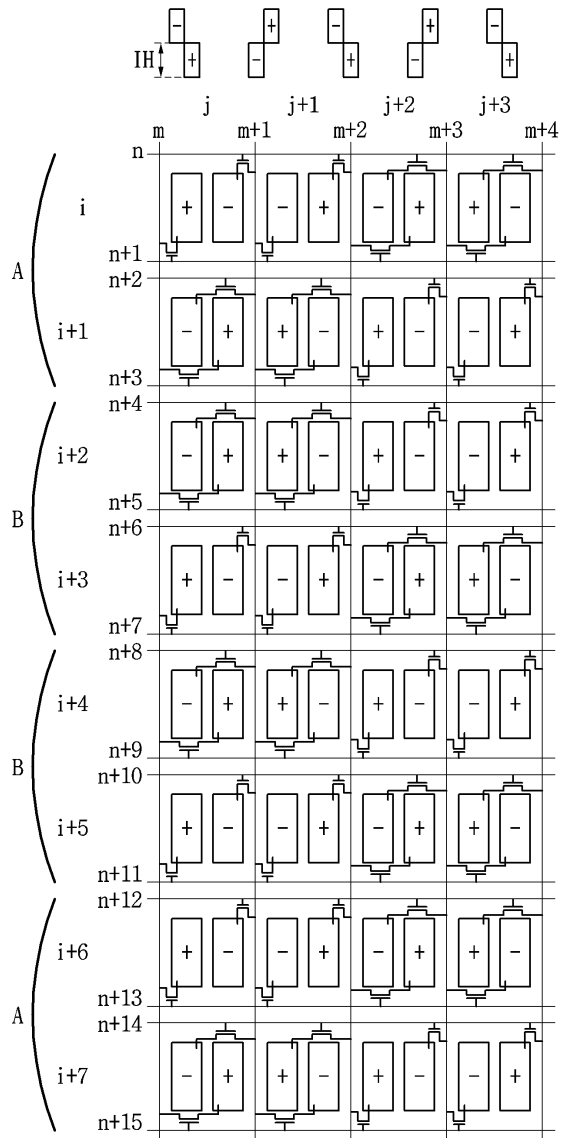
도면8



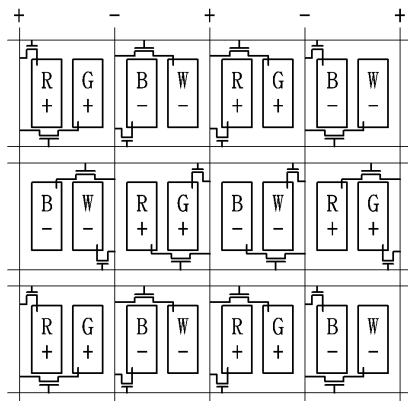
도면9



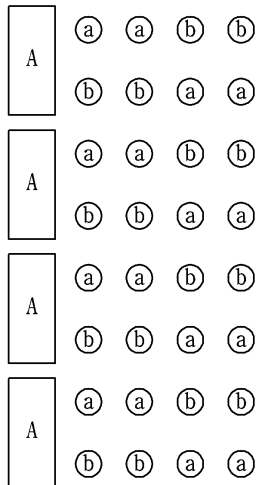
도면10



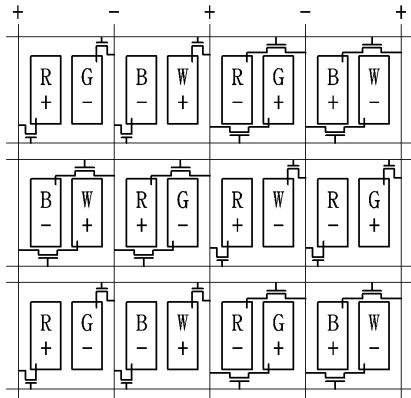
도면11



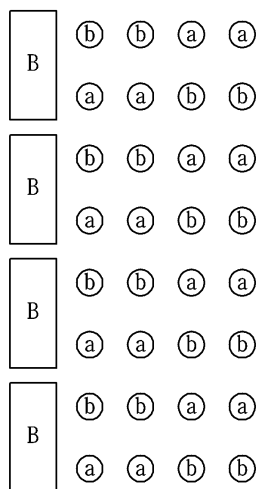
도면12



도면13



도면14



专利名称(译)	标题：显示面板和包含该显示器的液晶显示器		
公开(公告)号	KR1020160066118A	公开(公告)日	2016-06-10
申请号	KR1020140169887	申请日	2014-12-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE BYUNG HYUN 이병현 LEE MIN JIC 이민직 WON GYU SIK 원규식		
发明人	이병현 이민직 원규식		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/1343 G02F1/1362 G02F1/134309 G02F1/133 G09G3/3614 G09G3/3648 G09G2300/0452		
代理人(译)	金kimoon		
外部链接	Espacenet		

摘要(译)

根据本发明优选实施例的显示面板的像素区域包括第一类型的像素区域和第二类型的像素区域，第一类型的像素区域布置有第一和第二像素电极，第二类型的像素区域布置有第三和第四像素电极它连接到数据线，其中第一像素电极与第一像素电极相邻，数据线连接到数据线，其中第二像素电极与第二像素电极相邻，数据线连接到数据线第三像素电极与第四像素电极相邻，数据线与第四像素电极与第三像素电极相邻的数据线连接。并且根据颜色布置相同的极性并且可以产生闪烁故障。

