



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0029225  
(43) 공개일자 2016년03월15일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01)

(21) 출원번호 10-2014-0117848  
(22) 출원일자 2014년09월04일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
상우규  
경기 파주시 가운로 245, 1011동 903호 (와동동, 가람마을10단지동양엔파트월드메르디앙)

김규진  
경기 파주시 월롱면 엘씨디로 201, F동 1208호 (정다운마을)

(74) 대리인  
특허법인로알

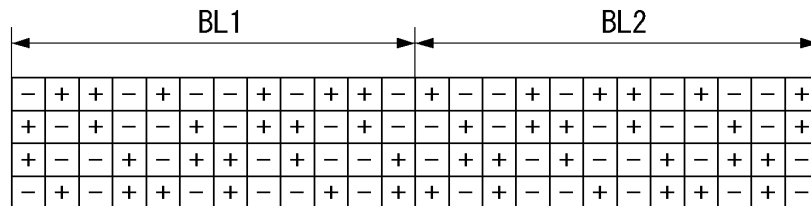
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 다수의 데이터 라인들과 다수의 게이트라인들에 의해 픽셀들이 매트릭스 형태로 배치된 픽셀 어레이를 포함한다. 픽셀 어레이는 픽셀들의 극성 패턴이 서로 상반된 적어도 두 개의 블록들로 분할된다. 블록들 각각에서 픽셀들은 수평 2 도트 인버전과 수평 1 도트 인버전이 혼재된 불규칙 극성 패턴 형태로 극성이 반전된 데이터 전압을 충전한다.

대표도 - 도5



## 명세서

### 청구범위

#### 청구항 1

다수의 데이터 라인들과 다수의 게이트라인들에 의해 픽셀들이 매트릭스 형태로 배치된 픽셀 어레이를 포함하고,

상기 픽셀 어레이가 픽셀들의 극성 패턴이 서로 상반된 적어도 두 개의 블록들로 분할되고,

상기 블록들 각각에서 상기 픽셀들이 수평 2 도트 인버전과 수평 1 도트 인버전이 혼재된 불규칙 극성 패턴으로 극성이 반전된 데이터 전압을 충전하는 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 픽셀 어레이 내에서 블록들의 개수는 2의 배수 개이고,

상기 블록들 각각이 4 이상의 로 라인들과 10 이상의 컬럼 라인들을 포함하는 액정표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 블록들은 제1 및 제2 블록을 포함하고,

상기 제1 블록에서, 제 $4K(K는 0과 양의 정수)+1$  및 제 $4K+4$  로 라인의 수평 극성 패턴은 최좌측의 서브 픽셀부터 최우측의 서브 픽셀까지의 순서로 볼 때 "- + + - + - - + - + + -"이고,

상기 제1 블록의 제 $4K+2$  및 제 $4K+3$  로 라인의 수평 극성 패턴은 최좌측의 서브 픽셀부터 최우측의 서브 픽셀까지의 순서로 볼 때 "+ - + - - + - + + - + -"이며,

상기 제2 블록에서 제 $4K+1$  및 제 $4K+4$  로 라인의 수평 극성 패턴은 최좌측의 서브 픽셀부터 최우측의 서브 픽셀까지의 순서로 볼 때 "+ - - + - + + - + - - +"이고,

상기 제2 블록의 제 $4K+2$  및 제 $4K+3$  로 라인의 수평 극성 패턴이 최좌측의 서브 픽셀부터 최우측의 서브 픽셀까지의 순서로 볼 때 "- + - + + - + - - + - +"인 액정표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 픽셀 어레이에서 이웃한 두 개의 서브 픽셀들이 하나의 데이터 라인을 공유하고,

상기 데이터 전압이 2 수평 기간 단위로 극성이 반전되는 액정표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 픽셀 어레이에서 이웃한 두 개의 서브 픽셀들이 하나의 데이터 라인을 공유하고,

1 프레임 기간 동안 같은 극성의 데이터 전압이 상기 하나의 데이터 라인에 공급되는 액정표시장치.

### 발명의 설명

### 기술분야

[0001] 본 발명은 정극성 데이터 전압과 부극성 데이터 전압이 픽셀들에 공급되는 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성되어 있다.

[0003] 입력 영상에서 화이트 계조와 블랙 계조가 규칙적으로 반복되는 문제 패턴이 입력되면, 픽셀 어레이의 극성이 어느 한 쪽으로 치우쳐 극성이 불균형하게 될 수 있다. 이 경우 픽셀들과 커플링(Coupling)된 공통전극의 전압 즉, 공통전압(Vcom)이 우세 극성 방향으로 시프트되어 수평 크로스토크(crosstalk)가 보일 수 있다. 이러한 화질 불량 문제를 해결하기 위하여 문제 패턴의 형태를 타이밍 컨트롤러에 미리 저장하고 입력 영상에서 문제 패턴의 데이터가 입력될 때 도 1과 같이 문제 패턴의 유형에 따라 픽셀들의 극성 반전 주기를 변경하거나 공통전압(Vcom)을 적응적으로 조정하는 방법이 제안된 바 있다. 이러한 화질 개선 방법은 본원 출원인에 의해 출원된 대한민국 특허 출원 10-2008-0032638(2008.04.08.), 대한민국 특허 출원 10-2008-0134147(2008.12.26.), 대한민국 특허 출원 10-2008-0134694(2008.12.26.), 대한민국 특허 출원 10-2009-0075382(2009.08.14.), 대한민국 특허 출원 10-2009-0088245(2009.09.17.), 대한민국 특허 출원 10-2010-0079684(2010.08.18.), 미합중국 특허 출원 12/248,454(2008.10.09.), 미합중국 특허 출원 12/588,404(2009.10.14.), 미합중국 특허 출원 12/556,680(2009.09.10.), 미합중국 특허 출원 12/830,971(2010.07.06.) 등에서 개시되어 있다.

[0004] 도 1은 문제 패턴에서 픽셀들의 극성 불균형으로 인하여 공통전압(Vcom)이 시프트되는 예를 보여 주는 도면이다.

[0005] 도 1을 참조하면, 픽셀들의 극성이 수평 1 도트 인버전(H1DOT)으로 제어될 때 그 픽셀들에 셋 다운 패턴(Shut down pattern) 이미지의 데이터가 기입되면 극성 불균형으로 인하여 공통 전압(Vcom)이 시프트된다. 수평 1 도트 인버전(H1DOT)은 1 수평 라인에 배치된 픽셀들에 공급되는 데이터 전압의 극성을 1 도트(dot) 단위로 반전시킨다. 여기서, 1 도트는 서브 픽셀과 같은 의미이다. 셋 다운 패턴은 화이트 계조의 기수 번째 픽셀 데이터와, 블랙 계조의 우수 번째 픽셀 데이터가 교번되는 문제 패턴의 일 예이다. 픽셀들의 극성이 수평 2 도트 인버전(H2DOT)으로 제어되면, 셋 다운 패턴에서 극성 불균형이 완화되거나 극성 불균형이 해소된다. 수평 2 도트 인버전(H2DOT)은 1 수평 라인에 배치된 픽셀들에 공급되는 데이터 전압의 극성을 2 도트 단위로 반전시킨다.

[0006] 픽셀들의 극성이 수평 2 도트 인버전(H2DOT)으로 제어될 때 그 픽셀들에 스미어 패턴(Smear pattern) 이미지의 데이터가 기입되면 극성 불균형으로 인하여 공통 전압(Vcom)이 시프트된다. 스미어 패턴은 매 라인 데이터에서 화이트 계조를 갖는 제4J+1 및 제4J+2 픽셀 데이터와, 블랙 계조를 갖는 제4J+2 및 제4J+3 픽셀 데이터가 교번되는 문제 패턴이다. J는 0과 양의 정수이다. 픽셀들의 극성이 수평 1 도트 인버전(H1DOT)으로 제어되면, 스미어 패턴에서 극성 불균형이 완화되거나 극성 불균형이 해소된다.

[0007] 문제 패턴의 데이터가 픽셀들에 입력되면 어느 한 컬러의 밝기가 다른 컬러들과 다르게 보여 색감이 떨어질 수 있다. 예를 들어, 도 2와 같이 픽셀들이 수평 1 도트 인버전으로 구동되고, 셋 다운 패턴 이미지의 데이터가 픽셀들에 기입되면 도 2와 같이 적색 및 청색 서브 픽셀의 극성이 그와 반대 극성인 녹색 서브 픽셀의 극성에 비하여 더 우세하게 되어 극성이 불균형하게 된다. 그 결과, 적색 및 녹색 서브 픽셀은 상대적으로 어둡게 보이고 녹색 서브 픽셀은 더 밝게 보여 픽셀 어레이에 표시된 이미지가 녹색조(greenish)를 띄게 된다.

[0008] 종래의 화질 개선 방법은 타이밍 컨트롤러에 문제 패턴들을 미리 저장하고, 저장된 문제 패턴들과 입력 영상을 비교하는 복잡한 알고리즘을 실행하는 로직을 타이밍 컨트롤러에 내장하여야 한다. 또한, 이 방법은 다양한 형태의 문제 패턴들이 한 화면에 동시에 표시되는 경우에 픽셀들의 극성 불균형이 발생할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명은 복잡한 알고리즘 없이 픽셀들의 극성 불균형을 해소할 수 있는 액정표시장치를 제공한다.

**과제의 해결 수단**

[0010] 본 발명의 액정표시장치는 다수의 데이터 라인들과 다수의 게이트라인들에 의해 픽셀들이 매트릭스 형태로 배치된 픽셀 어레이를 포함한다.

[0011] 픽셀 어레이는 픽셀들의 극성 패턴이 서로 상반된 적어도 두 개의 블록들로 분할된다. 블록들 각각에서 픽셀들은 수평 2 도트 인버전과 수평 1 도트 인버전이 혼재된 불규칙 극성 패턴 형태로 극성이 반전된 데이터 전압을 충전한다.

**발명의 효과**

[0012] 본 발명의 액정표시장치는 픽셀 어레이를 극성이 상반되고 불규칙 극성 패턴을 갖는 다수의 블록들로 분할하여 블록들의 우세 극성이 서로 상쇄되게 함으로써 복잡한 알고리즘 없이 어떠한 형태의 문제 패턴에서도 픽셀의 극성 균형을 이룰 수 있다.

**도면의 간단한 설명**

[0013] 도 1은 문제 패턴과 픽셀의 극성 반전 주기의 상관 관계에 따라 나타나는 픽셀들의 극성 불균형과 공통 전압 시프트를 보여 주는 도면이다.

도 2는 문제 패턴에서 색감이 떨어지는 예를 보여 주는 도면이다.

도 3은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.

도 4는 본 발명의 실시예에 따른 극성제어신호를 보여 주는 파형도이다.

도 5는 픽셀들의 극성 균형을 이루기 위한 픽셀들의 극성 패턴을 보여 주는 도면이다.

도 6a 및 도 6b는 픽셀 어레이가 다수의 블록들로 분할되고 이웃한 블록들 간의 극성 패턴이 서로 반전된 예를 보여 주는 도면들이다.

도 7 내지 도 14는 문제 패턴의 두 가지 형태를 예시하여 제1 및 제2 블록들의 극성 상쇄 효과를 보여 주는 도면들이다.

도 15 및 도 16은 픽셀 어레이의 극성이 수평 방향으로 극성이 규칙적으로 반전되는 예를 보여 주는 도면들이다.

도 17a 내지 도 21b는 본 발명이 적용 가능한 다양한 구조의 픽셀 어레이를 보여 주는 도면들이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0015] 도 3을 참조하면, 본 발명의 표시장치는 픽셀 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다. 표시패널(100)의 아래에는 표시패널(100)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0016] 표시패널(100)은 다수의 데이터 라인들과 다수의 게이트라인들에 의해 픽셀들이 매트릭스 형태로 배치되어 입력 영상의 데이터를 표시하는 픽셀 어레이를 포함한다. 본 발명의 표시장치는 소스 드라이브 IC들의 개수를 줄이

기 위하여, 도 5a 및 도 5b와 같이 수평(x축 또는 로 라인 방향)으로 이웃한 두 개의 서브 픽셀들이 하나의 데이터 라인을 공유하는 DRD(Double rate driving) 타입의 픽셀들을 포함할 수 있다. DRD 타입의 픽셀 어레이는 소스 드라이브 IC들의 개수를 1/2로 줄일 수 있다. DRD 타입의 표시장치에서, 소스 드라이브 IC의 동작 주파수는 2 배 높아진다.

[0017] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 표시패널(100)의 픽셀 어레이는 데이터라인들(S1~Sm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함한다.

[0018] 표시패널(100)의 하부 기판에는 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), TFT들, TFT에 접속된 픽셀 전극(1), 및 픽셀 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 픽셀들 각각은 TFT를 통해 데이터전압을 충전하는 픽셀 전극(1)과 공통전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과양을 조정함으로써 비디오 데이터의 화상을 표시한다.

[0019] 표시패널(100)의 상부 기판 상에는 블랙 매트릭스(Black matrix)와 컬러 필터(Color filter)를 포함한 컬러 필터 어레이가 형성된다. 공통 전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동방식의 경우에 상부 기판 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평 전계 구동방식의 경우에 픽셀 전극과 함께 하부 기판 상에 형성될 수 있다. 표시패널(100)의 상부 기판과 하부 기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0020] 표시패널의 픽셀 어레이는 도 6a 및 도 6b와 같이 극성 패턴이 상반된 적어도 2 개의 블록들로 가상 분할된다. 입력 영상에서 문제 패턴이 이미지가 포함되어 픽셀들의 극성이 불균형하게 되면, 블록들 간의 우세 극성이 서로 상반되게 된다. 따라서, 본 발명은 블록들의 우세 극성이 서로 상쇄되게 하여 블록들의 극성 총합이 어느 한 극성으로 치우치지 않도록 함으로써 어떠한 형태의 문제 패턴이 입력되더라도 픽셀 어레이의 극성 균형을 이룰 수 있다. 이 방법은 타이밍 컨트롤러 내에 입력 영상과 미리 저장된 문제 패턴을 비교하는 로직을 추가할 필요 없이 어떠한 형태의 문제 패턴에서도 픽셀 어레이의 극성 균형을 이루어 공통 전압 시프트를 방지할 수 있다.

[0021] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0022] 표시패널 구동회로는 픽셀들에 입력 영상의 데이터를 기입한다. 픽셀들에 기입되는 데이터는 R 데이터, G 데이터, B 데이터 및 W 데이터를 포함한다. 표시패널 구동회로는 데이터 구동부(102), 게이트 구동부(104), 타이밍 컨트롤러(106), 및 감마 보정부(22)를 포함한다.

[0023] 데이터 구동부(102)는 다수의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC들의 데이터 출력 채널들은 픽셀 어레이의 데이터라인들(S1~Sm)에 연결된다. 소스 드라이브 IC들은 타이밍 컨트롤러(106)로부터 입력 영상의 데이터를 입력 받는다. 소스 드라이브 IC들로 전송되는 디지털 비디오 데이터는 R 데이터, G 데이터, 및 B 데이터를 포함한다. 소스 드라이브 IC들로 전송되는 디지털 비디오 데이터는 RGB 데이터와 함께 W 데이터를 더 포함할 수 있다. 소스 드라이브 IC들은 타이밍 컨트롤러(106)의 제어 하에 입력 영상의 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 데이터 구동부(102)의 출력 전압은 데이터 라인들(D1~Dm)에 공급된다.

[0024] 픽셀들 각각은 적색 서브 픽셀(이하 "R 서브 픽셀"이라 함), 녹색 서브 픽셀(이하 "G 서브 픽셀"이라 함), 및 청색 서브 픽셀(이하 "B 서브 픽셀"이라 함)을 포함하고, 추가로 백색 서브 픽셀(이하 "W 서브 픽셀"이라 함)을 더 포함할 수 있다. 수평으로 이웃한 2 개의 서브 픽셀들은 도 6a 및 도 6b와 같이 하나의 데이터 라인을 공유하여 그 데이터 라인을 통해 시분할된 데이터 전압들을 충전한다. 데이터 라인의 공유 구조로 인하여, 동일 해상도에서 일반적인 픽셀 어레이 구조에 비하여 데이터 라인들의 개수를 1/2로 줄임으로써 픽셀 어레이 구동에 필요한 소스 드라이브 IC들의 개수를 줄일 수 있다.

[0025] 소스 드라이브 IC들 각각은 타이밍 컨트롤러(106)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 2 수평 기간 이상 N/2(N은 표시패널의 수직 해상도) 수평 기간 이하의 반전 주기로 반전시킬 수 있다. 도 6a 및 도 6b은 소스 드라이브 IC에 의해 데이터 전압이 2 수평 기간(2H) 주기로 반전되는 예를 예시하였지만 이에 한정되지 않는다. 소스 드라이브 IC로부터 2 수평 기간 동안 연속으로 출력되는 동일 극성의 4 개 데이터 전압은 같은

데이터 라인을 공유하는 4 개 라인의 4 서브 픽셀들에 충전된다. 도 6a 및 도 6b에서 화살표는 데이터 전압의 충전 순서를 나타낸다. 데이터 전압의 충전 순서는 게이트 펄스 순서에 따라 결정된다.

[0026] 소스 드라이브 IC들은 도 4와 같은 극성제어신호(POL)에 응답하여 2 수평 기간(2H) 동안 4 개의 서브 픽셀들에 충전될 4 개의 데이터 전압을 같은 극성으로 유지하고, 2 수평 기간(2H) 주기로 데이터 전압의 극성을 반전시킨다. 따라서, 소스 드라이브 IC들은 4 수평 기간(4H) 동안 8 개의 데이터 전압을 연속으로 출력하되, 2 수평 기간 단위로 데이터 전압의 극성을 반전시킨다. 본 발명은 데이터 전압의 극성 반전 주기가 길어 데이터 전압의 트랜지션(transition) 횟수가 작다. 그 결과, 본 발명의 소스 드라이브 IC들의 소비 전력과 발열량을 줄일 수 있다. 한편, 소스 드라이브 IC들은 타이밍 컨트롤러(106)의 제어 하에 픽셀들에 공급될 데이터 전압의 극성을 4 수평 기간 단위로 반전시켜 데이터 전압의 트랜지션 횟수를 더 줄일 수 있다.

[0027] 소스 드라이브 IC는 2 수평 기간 주기로 데이터 전압의 극성을 반전시키지만, 픽셀 어레이는 수평 및 수직 방향(x, y)을 따라 1 도트 단위로 데이터 전압의 극성이 반전되는 픽셀들과, 2 도트 단위로 데이터 전압의 극성이 반전되는 픽셀들을 포함한다. 1 도트(dot)는 1 서브 픽셀을 의미한다. 따라서, 본 발명의 표시장치는 픽셀 어레이의 극성을 도트 인버전 형태로 제어함으로써 동일 극성이 라인 또는 블록 형태로 집중할 때 보일 수 있는 휘도차와 플리커(flicker)를 방지할 수 있다. 소스 드라이브 IC의 출력 데이터 극성 반전 주기와 픽셀 어레이의 극성 반전 주기가 다른 이유는 도 6a 및 도 6b와 같은 게이트 펄스가 픽셀 어레이의 게이트 라인들에 비순차적으로 인가되기 때문이다.

[0028] 게이트 구동부(104)는 타이밍 컨트롤러(106)의 제어 하에 게이트 라인들(G1~Gn)에 게이트 펄스를 도 6a 및 도 6b와 같은 순서로 공급한다. 게이트 구동부(104)로부터 출력된 게이트 펄스는 픽셀들에 충전될 정극성/부극성 비디오 데이터 전압에 동기된다. 게이트 구동부(104)는 IC 비용을 줄이기 위하여, 같은 제조 공정에서 픽셀 어레이와 함께 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다.

[0029] 타이밍 컨트롤러(106)는 호스트 시스템(108)으로부터 수신된 입력 영상의 디지털 비디오 데이터를 데이터 구동부(102)로 전송한다. 타이밍 컨트롤러(106)와 데이터 구동부(102)의 소스 드라이브 IC들 간의 데이터 전송을 위한 인터페이스는 mini LVDS(Low-voltage differential signaling) 인터페이스 또는 EPI(Embedded Panel Interface) 인터페이스를 적용할 수 있다. EPI 인터페이스는 본원 출원인에 의해 출원된 대한민국 특허출원 10-2008-0127458(2008-12-15), 미국 출원 12/543,996(2009-08-19), 대한민국 특허출원 10-2008-0127456(2008-12-15), 미국 출원 12/461,652(2009-08-19), 대한민국 특허출원 10-2008-0132466(2008-12-23), 미국 출원 12/537,341(2009-08-07) 등에서 제안된 인터페이스 기술로 적용될 수 있다.

[0030] 타이밍 컨트롤러(106)는 호스트 시스템(108)으로부터 입력 영상 데이터와 동기되는 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DCLK) 등을 포함한다. 타이밍 컨트롤러(106)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동부(102)와 게이트 구동부(104)의 동작 타이밍을 제어한다. 타이밍 컨트롤러(106)는 픽셀 어레이의 극성을 제어하기 위한 극성제어신호(POL)를 데이터 구동부(102)의 소스 드라이브 IC들 각각에 전송할 수 있다. Mini LVDS 인터페이스는 별도의 제어 배선을 통해 극성 제어 신호를 전송한다. EPI 인터페이스는 CDR(Clock and Data Recovery)을 위한 클럭 트레이닝 패턴(clock training pattern)과 RGBW 데이터 패킷 사이에 전송되는 콘트롤 데이터 패킷 내에 극성 제어 정보를 인코딩하여 소스 드라이브 IC들 각각에 전송하는 인터페이스 기술이다.

[0031] 타이밍 컨트롤러(106)는 화이트 게인 산출 알고리즘을 이용하여 입력 영상의 RGB 데이터를 RGBW 데이터로 변환할 수 있다. 화이트 게인 산출 알고리즘은 공지의 어떠한 것도 가능하다. 예컨대, 본원 출원인에 의해 기출원된 대한민국 특허 출원 제10-2005-0039728(2005. 05. 12), 대한민국 특허 출원 제10-2005-0052906(2005. 06. 20), 대한민국 특허 출원 제10-2005-0066429(2007. 07. 21), 대한민국 특허 출원 제10-2006-0011292(2006. 02. 06) 등에서 제안된 화이트 게인 산출 알고리즘들이 적용 가능하다.

[0032] 호스트 시스템(108)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.

[0033] 도 5는 픽셀들의 극성 균형을 이루기 위한 픽셀들의 극성 패턴을 보여 주는 도면이다. 도 6a 및 도 6b는 픽셀 어레이가 다수의 블록들로 분할되고 이웃한 블록들 간의 극성 패턴이 서로 반전된 예를 보여 주는 도면들이다. 도 6a 및 도 6b에서, "L1-L6"는 표시패널(100)의 로 라인들(row line)을 나타낸다. "C1-C8"은 표시패널(100)의 컬럼 라인들(column line)을 나타낸다. "R"은 R 서브 픽셀, "G"는 녹색 서브 픽셀, "B"는 청색 서브 픽셀을

각각 나타낸다. 화살표는 데이터 전압의 충전 순서를 나타낸다. "S"는 제2 게이트 펄스(도시하지 않음)에 동기되는 더미 데이터(Dummy data)이다. 제2 게이트 펄스는 픽셀 어레이에 공급되지 않는다. 더미 데이터는 화살표와 같은 데이터 전압의 충전 순서를 맞추기 위하여 타이밍 콘트롤러(106) 내에서 생성된다. 따라서, 더미 데이터(Dummy data)는 입력 영상의 데이터가 아니고, 픽셀 어레이에 기입되지 않는 데이터이다.

[0034] 도 5 내지 도 6b를 참조하면, 픽셀 어레이는 다수의 블록들(BL1, BL2)로 가상 분할된다. 블록들의 개수는 2의 배수 개이다. 도 5 내지 도 6b의 예에서, 픽셀 어레이는 2 개의 블록들(BL1, BL2)로 분할된 예를 보여 주고 있으나 이에 한정되지 않는다. 블록들(BL1, BL2) 각각은 4 이상의 로 라인들과 10 이상의 컬럼 라인들을 포함한다.

[0035] 제2 블록(BL2)의 극성 패턴은 제1 블록(BL1)의 그것과 상반된다. 이를 위하여, 타이밍 콘트롤러(106)는 극성 제어 신호(POL)를 이용하여 제1 블록(BL1)의 극성과 제2 블록(BL2)의 극성을 서로 상반되게 제어한다.

[0036] 블록들(BL1, BL2) 각각에서 픽셀들의 극성 패턴을 보면, 로 라인을 따라 배열된 1 라인의 픽셀들은 수평 1 도트 인버전과 수평 2 도트 인버전이 혼재된 불규칙 극성 패턴으로 반전되는 데이터 전압을 충전한다. 컬럼 라인을 따라 배열된 1 컬럼의 픽셀들은 수직 2 도트 인버전 극성 패턴으로 반전되는 데이터 전압을 충전한다.

[0037] 제1 블록(BL1)에서, 제4K+1 및 제4K+4 로 라인(L1, L4, L5)의 수평 극성 패턴은 최좌측의 서브 픽셀부터 최우측의 서브 픽셀까지의 순서로 볼 때 "- + + - + - - + - + + -"일 수 있다. K는 0과 양의 정수이다. 제1 블록(BL1)의 제4K+2 및 제4K+3 로 라인(L2, L3)의 수평 극성 패턴은 최좌측의 서브 픽셀부터 최우측의 서브 픽셀까지의 순서로 볼 때 "+ - + - - + - + + - - +"일 수 있다.

[0038] 제2 블록(BL2)의 극성 패턴은 수평 및 수직 방향(또는 로 라인 방향 및 컬럼 라인 방향)에서 제1 블록(BL1)과 상반된다. 예를 들어, 제2 블록(BL2)에서 제4K+1 및 제4K+4 로 라인(L1, L4, L5)의 수평 극성 패턴은 최좌측의 서브 픽셀부터 최우측의 서브 픽셀까지의 순서로 볼 때 "+ - - + - + + - + - - +"일 수 있다. 제2 블록(BL2)의 제4K+2 및 제4K+3 로 라인(L2, L3)의 수평 극성 패턴은 최좌측의 서브 픽셀부터 최우측의 서브 픽셀까지의 순서로 볼 때 "- + - + + - + - - + - + +"일 수 있다.

[0039] 본 발명은 픽셀 어레이에서 이웃하게 배치된 제1 및 제2 블록(BL1, BL2)의 극성 분포를 상반되게 제어함으로써 제1 블록(BL1)에서 극성 쏠림이 발생되면 제2 블록(BL2)에서 반대 극성 쏠림이 발생되게 한다. 따라서, 제2 블록(BL2)의 극성 쏠림은 제1 블록(BL1)의 극성 쏠림을 상쇄한다. 극성 쏠림은 표시패널(100)의 로 라인 방향에서 정극성 데이터 전압과 부극성 데이터 전압이 균형을 이루지 못하고 어느 한 극성의 데이터 전압이 더 우세하여 공통 전압(Vcom)의 시프트(shift)를 유발하는 현상이다. 극성 쏠림은 문제 패턴에서 화이트 계조의 개수를 카운트하는 방법으로 측정될 수 있다. 본 발명은 제1 및 제2 블록(BL1, BL2)의 극성 쏠림들이 서로 상쇄되게 함으로써 픽셀 어레이의 극성 균형을 실현하여 어떠한 형태의 문제 패턴이 픽셀 어레이에 표시되더라도 또한, 여러 형태의 문제 패턴들이 픽셀 어레이 내에 동시에 표시되더라도 공통 전압(Vcom)의 시프트가 없으므로 수평 크로스토크와 라인 간 휘도차를 방지할 수 있다.

[0040] 도 7 내지 도 14는 문제 패턴의 두 가지 형태를 예시하여 제1 및 제2 블록들(BL1, BL2)의 극성 상쇄 효과를 보여 주는 도면들이다. 도 7 내지 도 14에서, 적색은 화이트 계조의 적색 데이터가 표시되는 R 서브 픽셀이다. 화이트 계조는 8 bit 데이터에서 최상위 계조인 '255'이다. 녹색은 화이트 계조의 녹색 데이터가 표시되는 G 서브 픽셀이다. 청색은 화이트 계조의 청색 데이터가 표시되는 B 서브 픽셀이다. 흑색은 블랙 계조 데이터이다. 블랙 계조는 8 bit 데이터에서 최하위 계조인 '0'이다. 노멀리 블랙 모드(Normally black mode)에서 블랙 계조의 데이터 전압은 공통 전압(Vcom)과 같거나 유사하고, 화이트 계조의 데이터 전압은 공통 전압(Vcom)과의 전압차가 가장 크다.

[0041] 도 7 내지 도 10은 셋 다운 패턴 이미지가 픽셀 어레이에 표시된 예이다. 셋 다운 패턴에서 화이트 계조의 데이터 전압을 계수(count)하면, 블록들(BL1, BL2) 각각에서 정극성과 우극성의 합이 0(zero)이 된다. 이는 제1 블록(BL1)에서 어느 한 극성의 우세 극성을 갖는 극성 쏠림이 발생하면 제2 블록(BL2)에서 반대 극성의 우세 극성을 갖는 극성 쏠림이 동일 값으로 발생하기 때문이다.

[0042] 도 11 내지 도 14는 스미어 패턴이 픽셀 어레이에 표시된 예이다. 스미어 패턴에서 화이트 계조의 데이터 전압을 계수하면, 블록들(BL1, BL2) 각각에서 정극성과 우극성의 합이 0(zero)이 된다. 이는 스미어 패턴에서도 제1 블록(BL1)에서 어느 한 극성의 우세 극성을 갖는 극성 쏠림이 발생하면 제2 블록(BL2)에서 반대 극성의 우세 극성을 갖는 극성 쏠림이 동일 값으로 발생하기 때문이다.

[0043] 픽셀 어레이의 극성이 수평 방향으로 극성이 규칙적으로 반전되면, 도 15 및도 16과 같이 블록들(BL1, BL2) 간

의 경계를 따라 이웃한 픽셀들의 극성이 동일하게 되어 블록들(BL1, BL2) 간의 경계가 더 밝게 보이거나 어둡게 보일 수 있다. 이에 비하여, 본 발명은 도 5 내지 도 6b와 같이 수평 방향을 따라 픽셀들의 극성을 불규칙하게 반전시켜 블록들(BL1, BL2) 간의 경계에서도 극성 패턴이 불규칙하게 반전되어 경계를 보이지 않게 한다.

[0044]

본 발명의 액정표시장치는 픽셀 어레이 구조가 도 6a 및 도 6b에 한정되지 않는다. 예를 들어, 본 발명은 도 17a 내지 도 21b와 같은 다양한 구조의 픽셀 어레이를 다수의 블록들로 분할할 수 있다. 도 17a 내지 도 21b에 도시된 픽셀 어레이들의 극성 패턴은 전술한 도 5 내지 도 6b의 그것과 동일하다. 도 17a 내지 도 21b에 도시된 픽셀 어레이들에서도 전술한 실시예와 같은 극성 균형 효과를 얻을 수 있다. 도 17a 내지 도 18b의 픽셀 어레이에서, 기수 데이터 라인들(S1, S3... S9, S11)에 1 프레임 기간 동안 같은 제1 극성의 데이터 전압이 공급되고, 우수 데이터 라인들(S2, S4... S10, S12)에 1 프레임 기간 동안 같은 제2 극성의 데이터 전압이 공급된다. 따라서, 도 18a 내지 도 18b의 픽셀 어레이는 하나의 데이터 라인을 통해 인가되는 데이터 전압이 1 프레임 기간 동안 같은 극성을 유지하여 데이터 전압의 스윙폭을 줄일 수 있으므로 소스 드라이브 IC의 소비 전력을 줄일 수 있다. 도 19a 내지 도 21b의 픽셀 어레이는 백색 서브 픽셀들(W)을 포함한다.

[0045]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

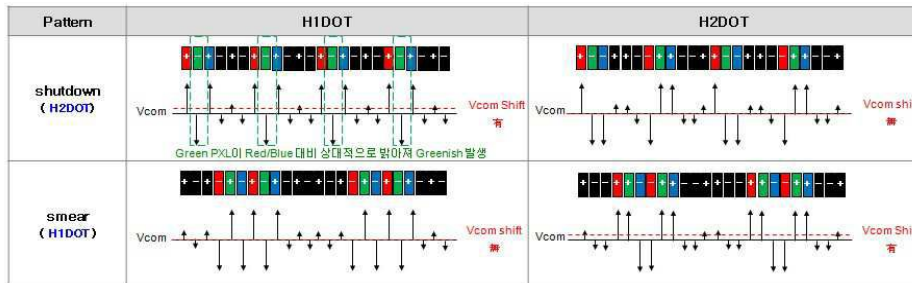
**부호의 설명**

[0046]

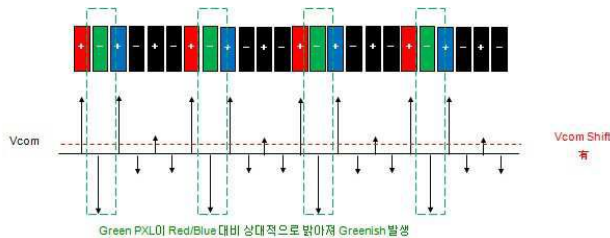
10 : 표시패널(액정패널) 12 : 데이터 구동부  
14 : 게이트 구동부 20 : 타이밍 컨트롤러

**도면**

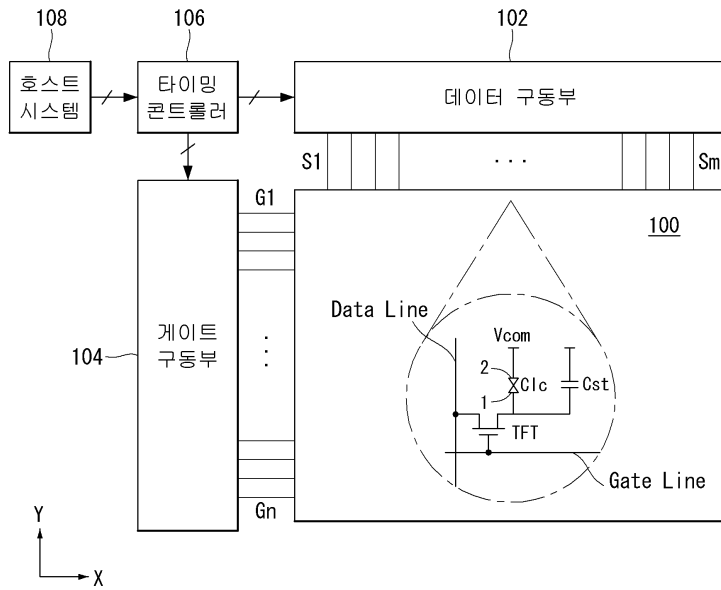
**도면1**



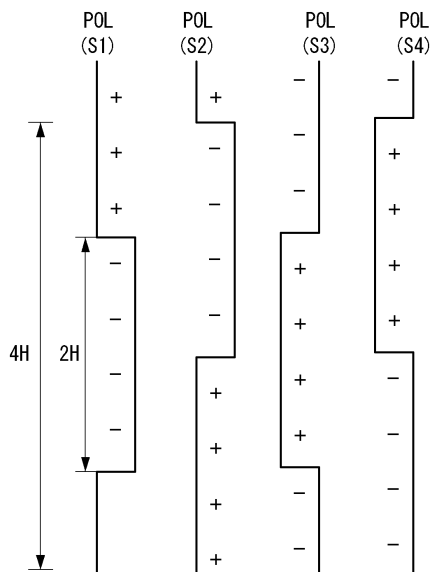
**도면2**



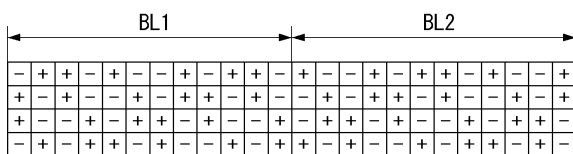
도면3



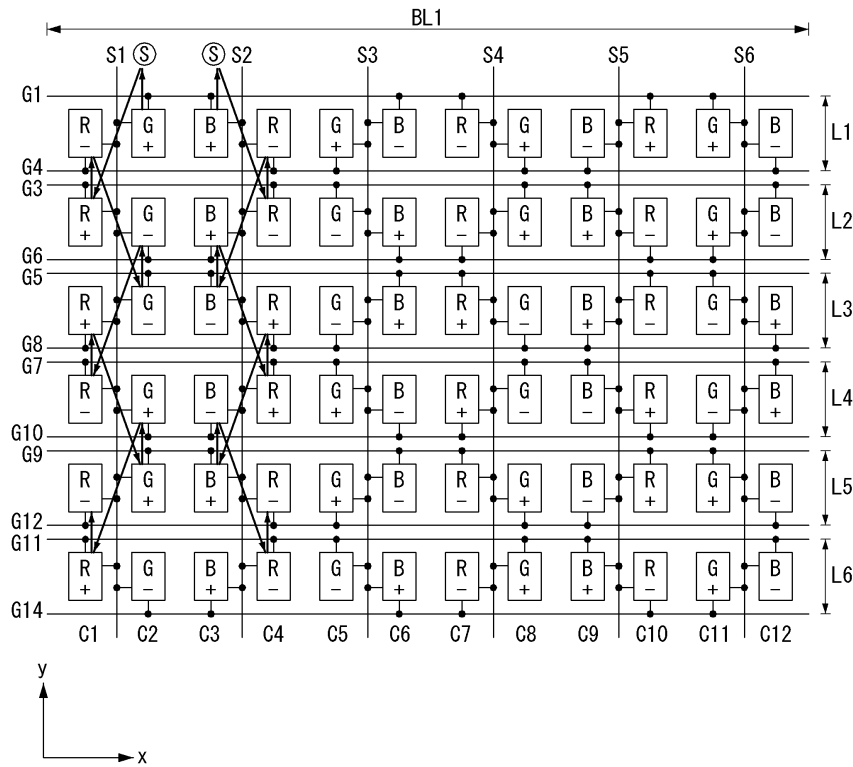
도면4



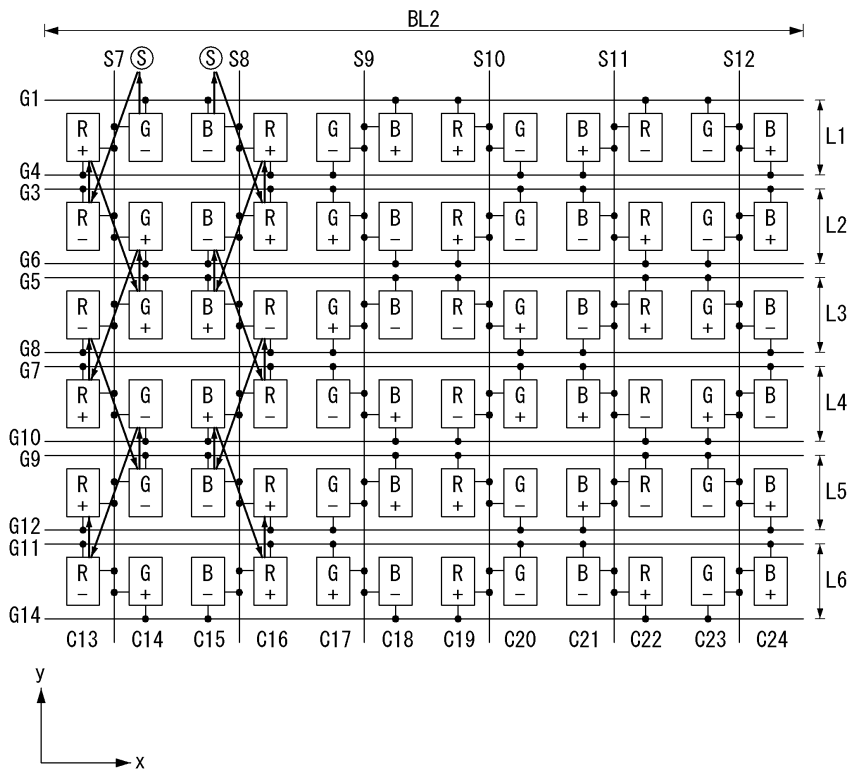
도면5



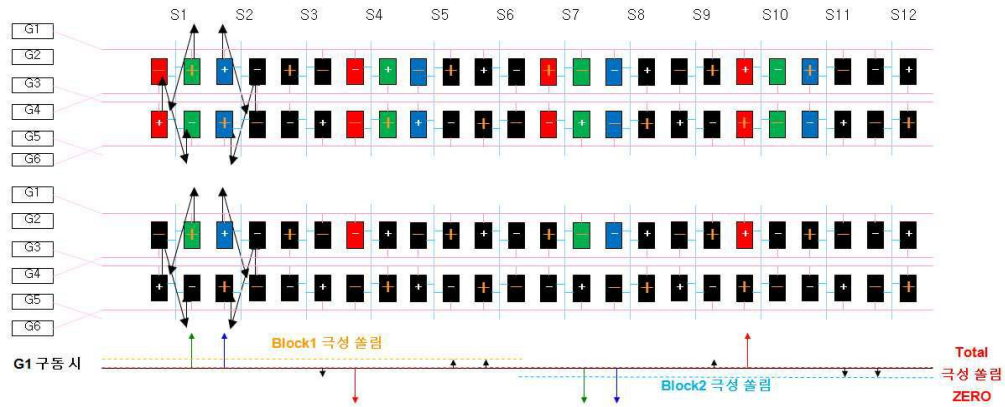
도면6a



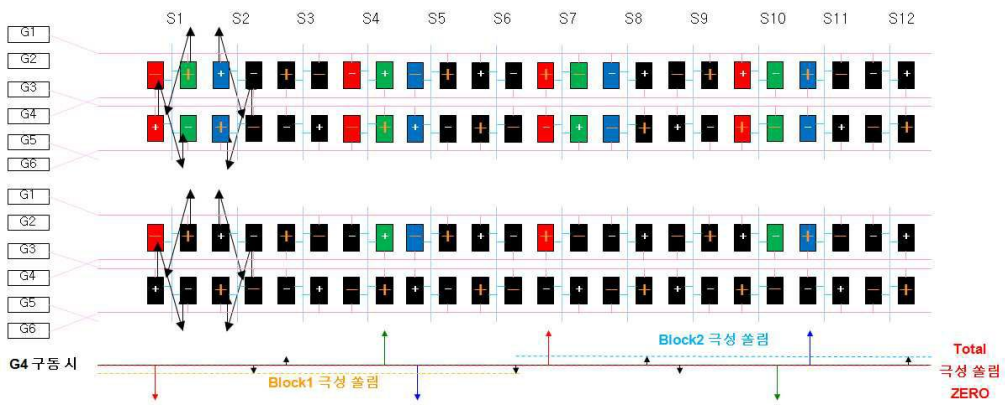
도면6b



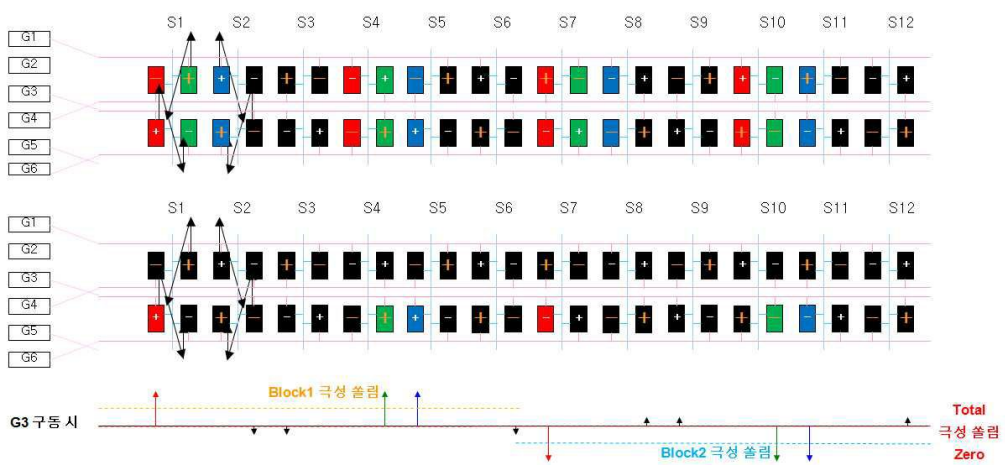
도면7



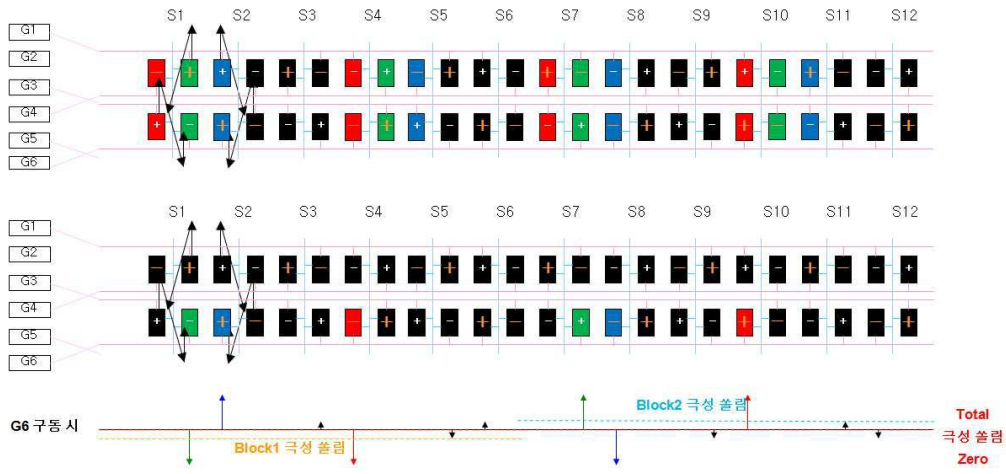
도면8



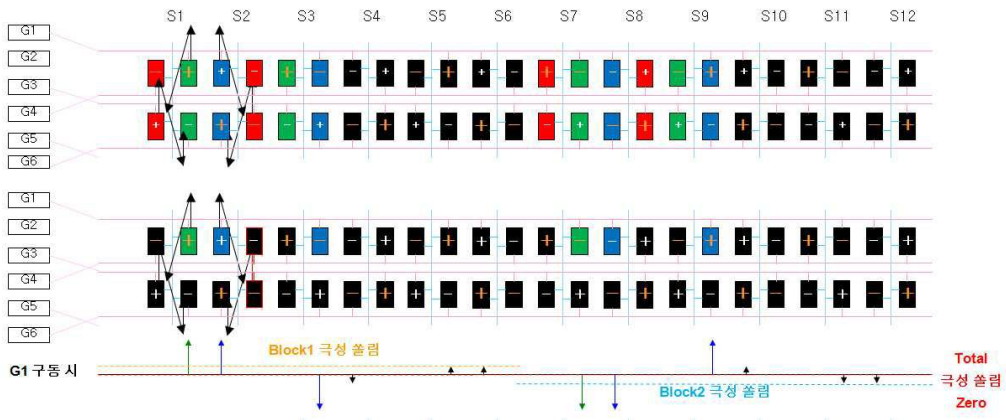
도면9



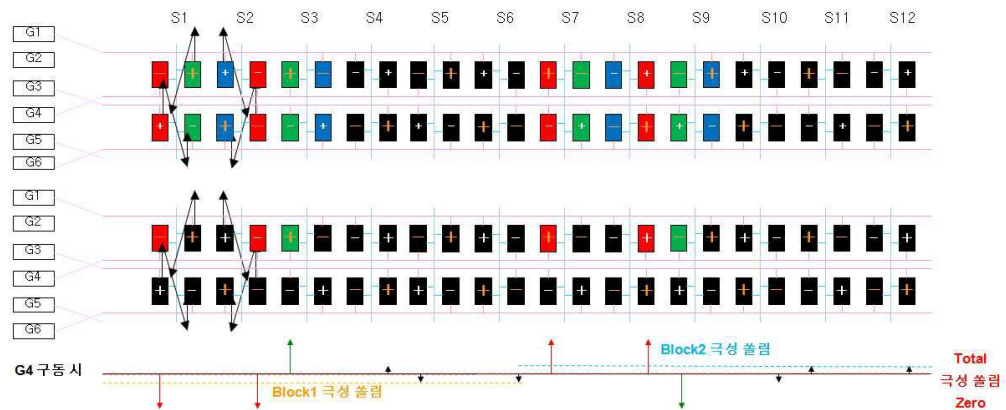
도면10



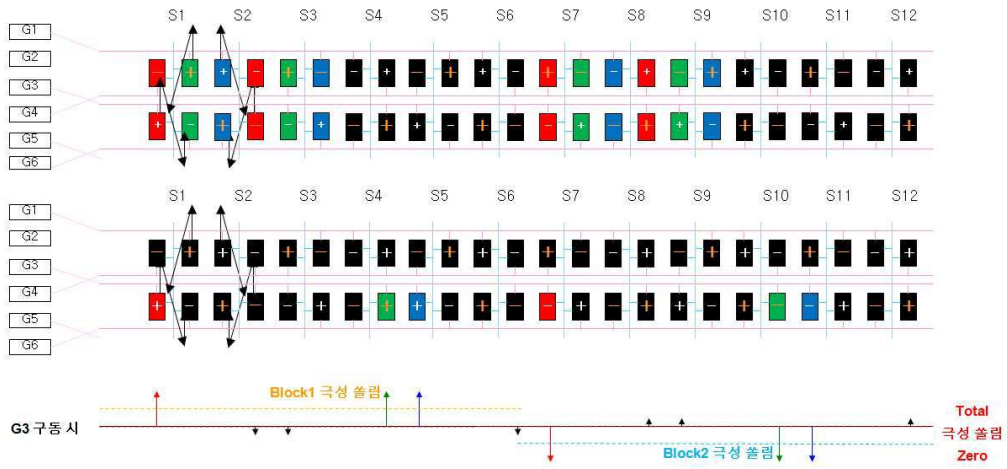
도면11



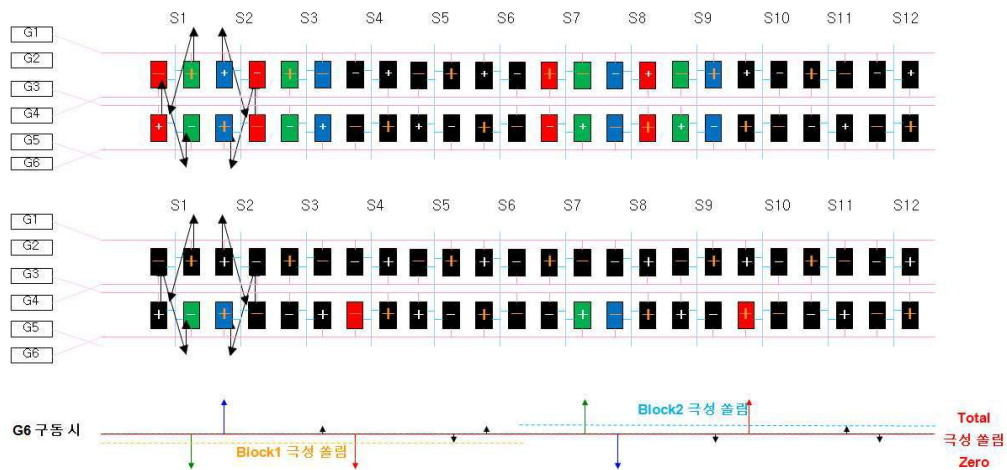
도면12



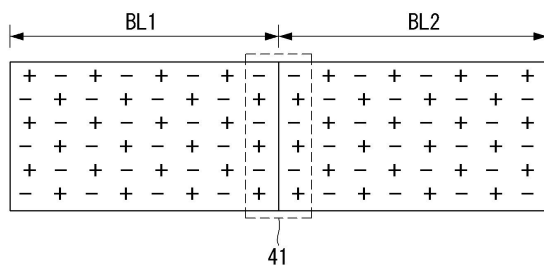
도면13



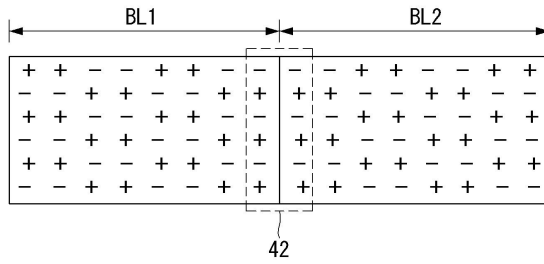
도면14



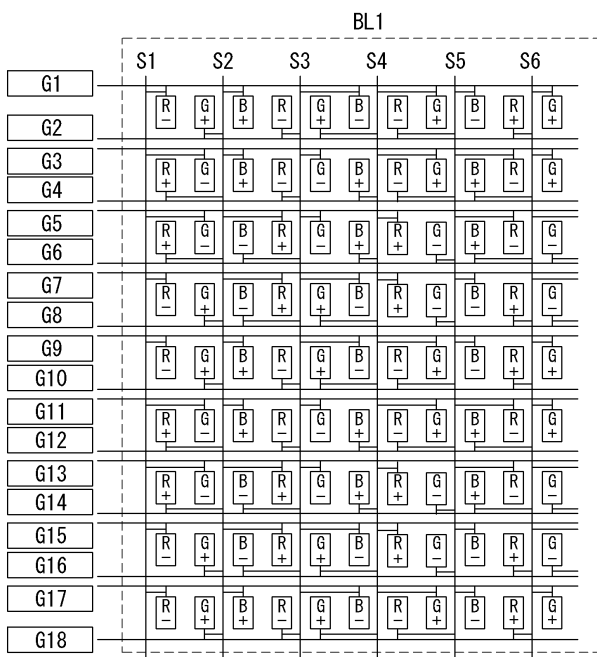
도면15



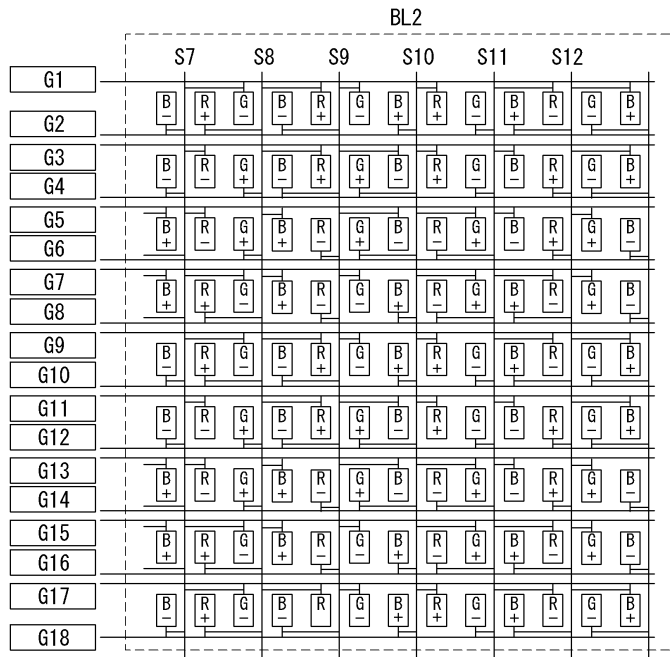
도면16



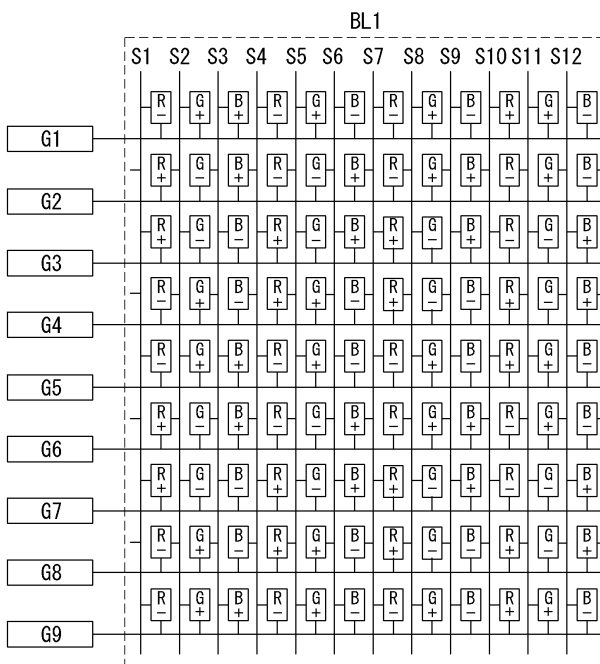
도면17a



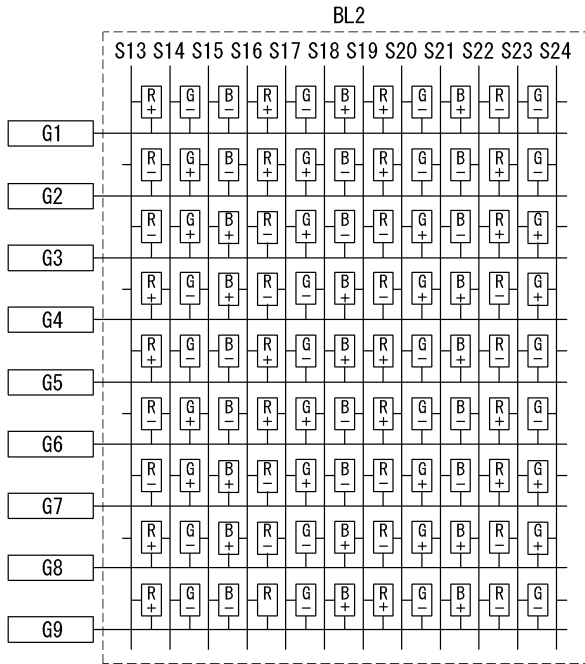
도면17b



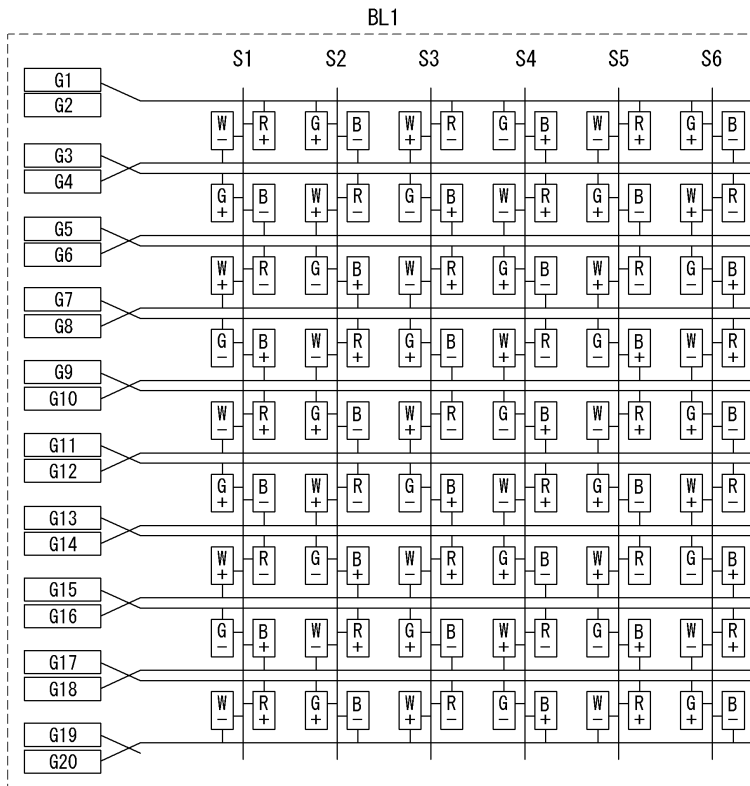
도면18a



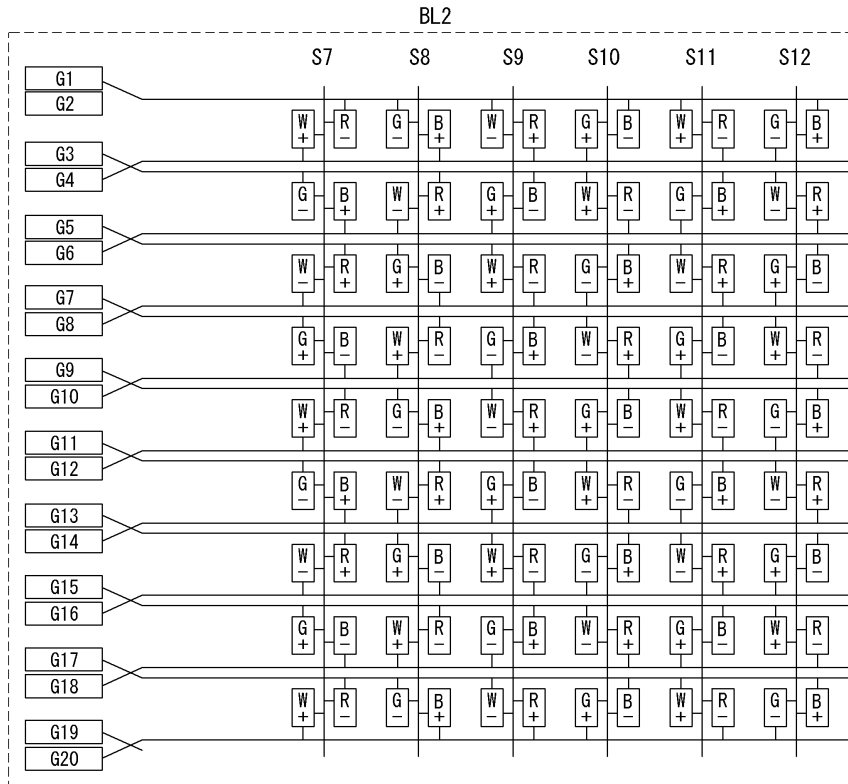
도면18b



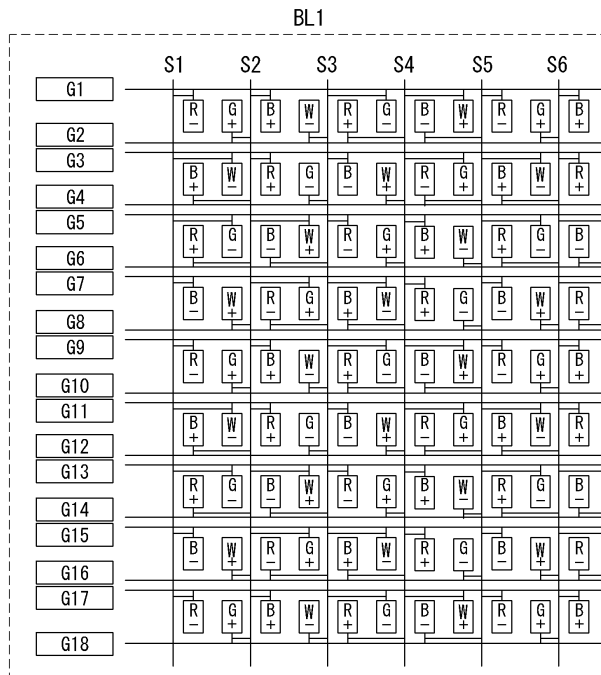
도면19a



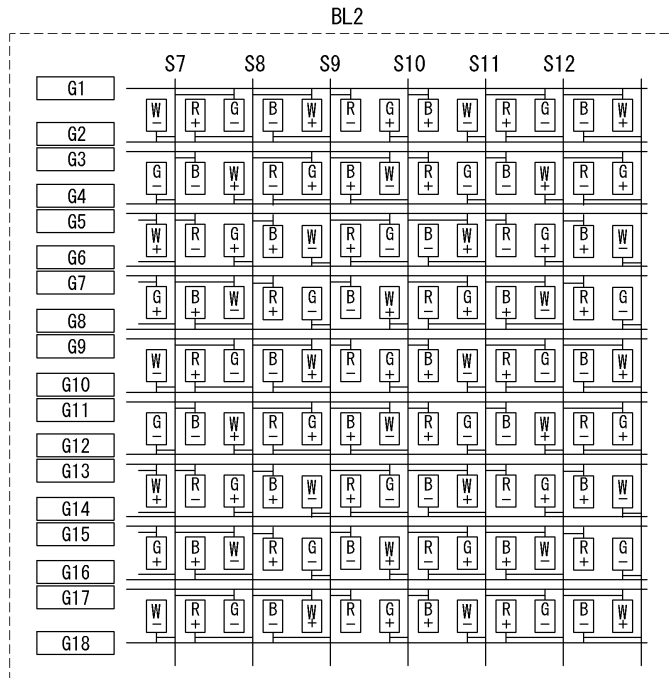
도면19b



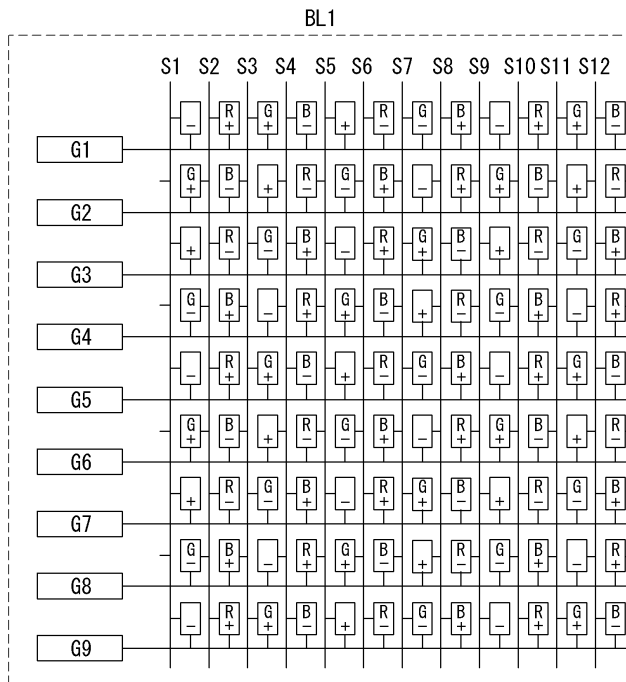
도면20a



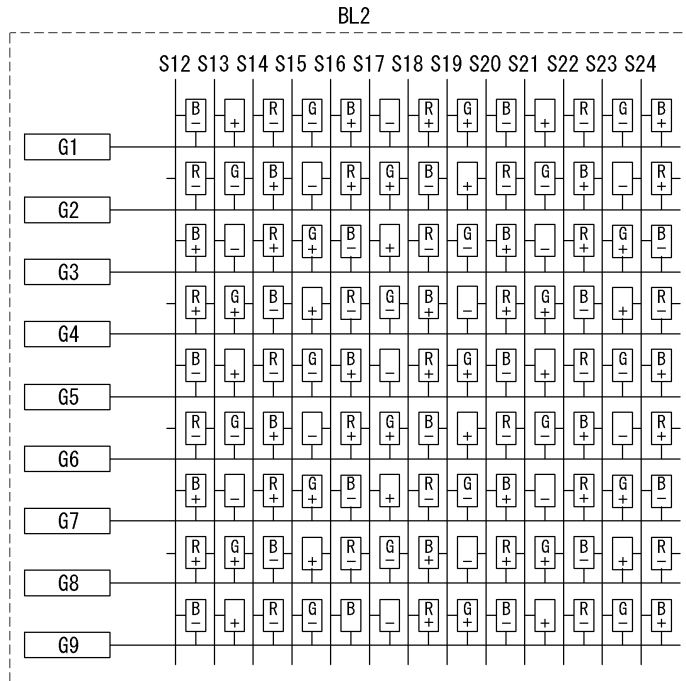
도면20b



도면21a



도면21b



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020160029225A</a>	公开(公告)日	2016-03-15
申请号	KR1020140117848	申请日	2014-09-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SANG WOO KYU 상우규 KIM KYU JIN 김규진		
发明人	상우규 김규진		
IPC分类号	G09G3/36		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示器本发明涉及一种液晶显示器，其中像素由多条数据线和多条栅极线组成，像素阵列具有至少两个块 Lt<sub>1</sub>；在每个块中，像素具有水平双点版本和水平单点版本，其具有混合的不规则极性。并且以极其反转的形式对极性反转的数据电压充电。

